

# 高速入出力インターフェース受信回路の ジッタ耐性試験用ジッタ発生回路の検討

群馬大学大学院 理工学府 理工学専攻  
電子情報・数理教育プログラム  
小林研究室

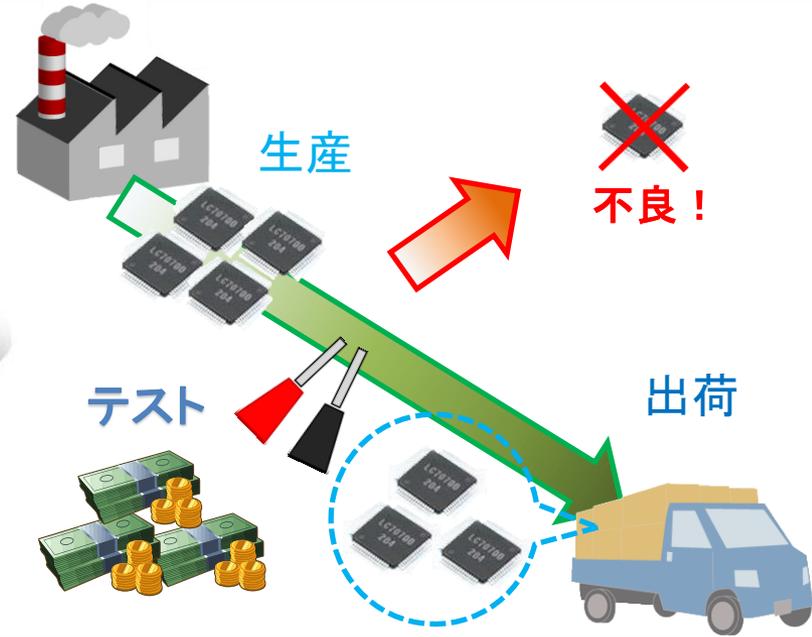
大澤 優介 村上 正紘 小林 春夫

- 研究背景、目的
- ジッタ生成基本回路
- デルタシグマ変調を用いたジッタ生成回路
- 自己校正を用いたジッタ生成回路
- シミュレーション
- まとめ

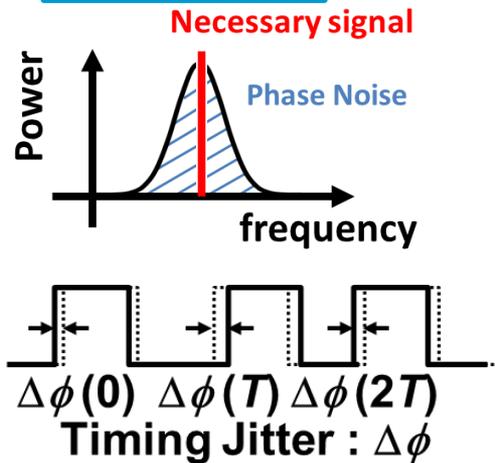
- 研究背景、目的
- ジッタ生成基本回路
- デルタシグマ変調を用いたジッタ生成回路
- 自己校正を用いたジッタ生成回路
- シミュレーション
- まとめ

LSI生産業界の要求

「**テストコスト**を下げたい！」



テスト分野



✓ 位相ノイズ・ジッタ のテスト

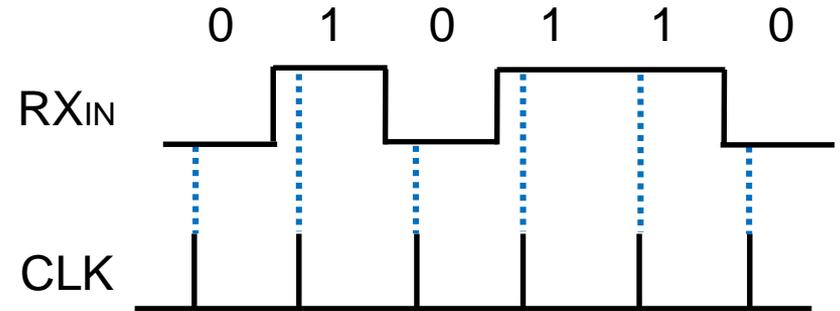
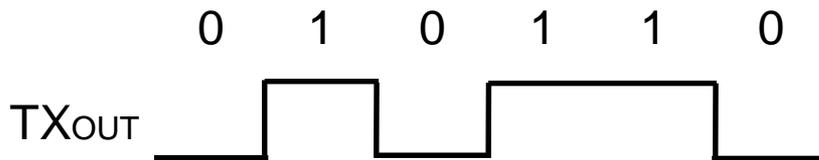
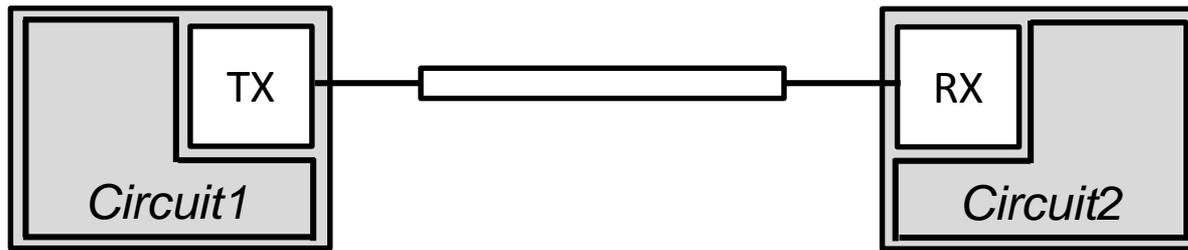
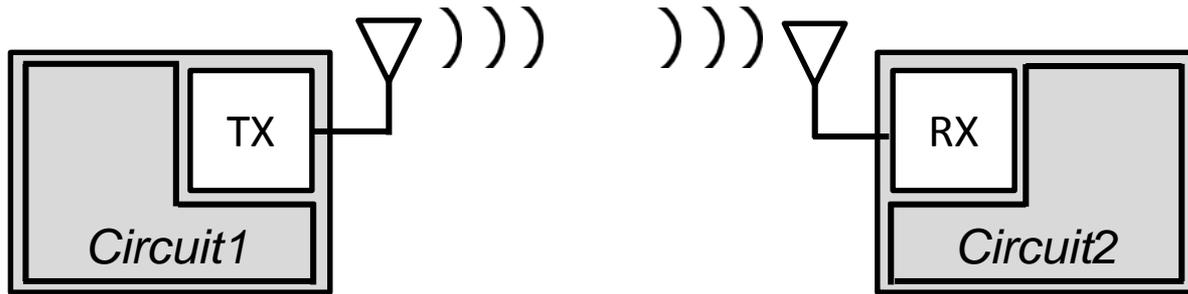
電子システムへの悪影響

量産時テストは品質を下げて



➡ 位相ノイズ・ジッタテストの高品質・低コスト化！！

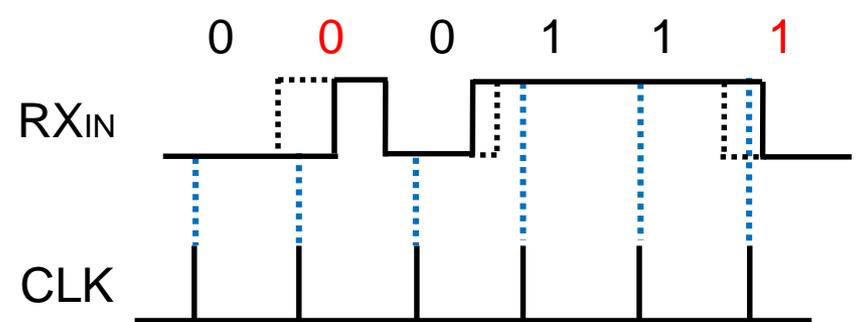
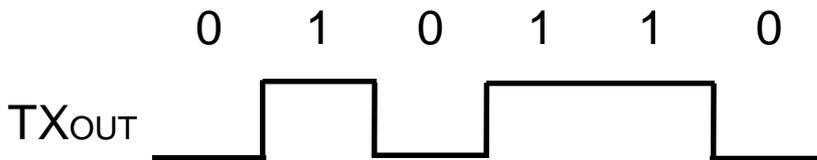
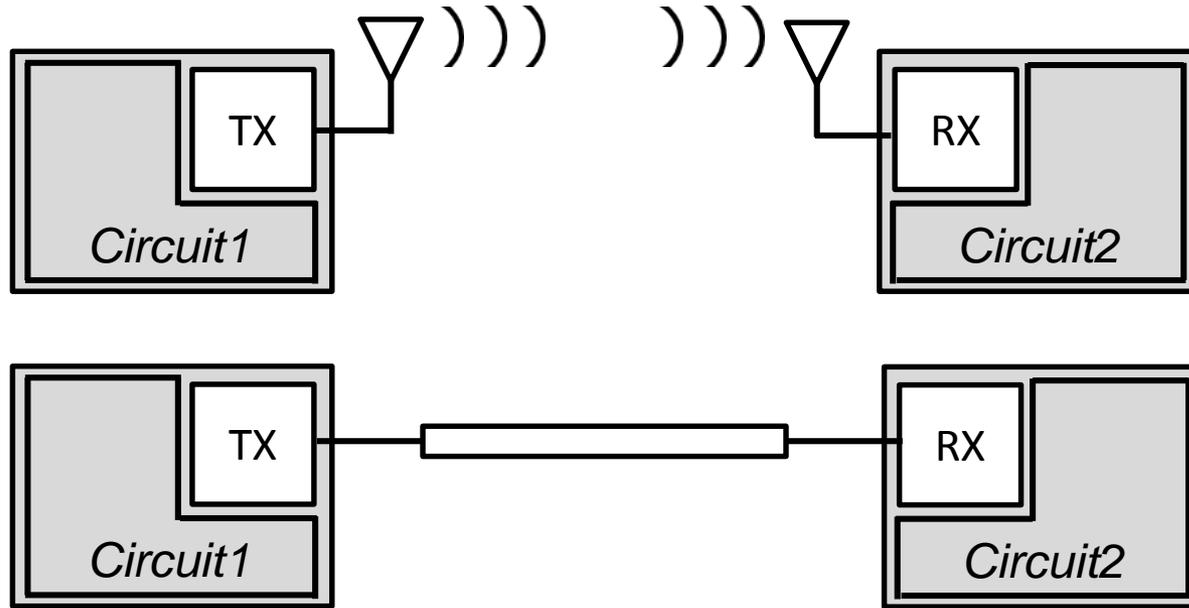
# トランシーバ回路(理想状態)



Circuit2にて受信完了



# トランシーバ回路(実際の状態)



**RXのジッタ耐性の試験が必要**

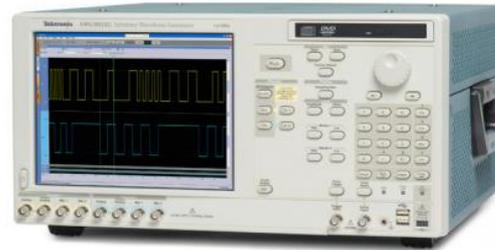


**Circuit2にて誤動作**

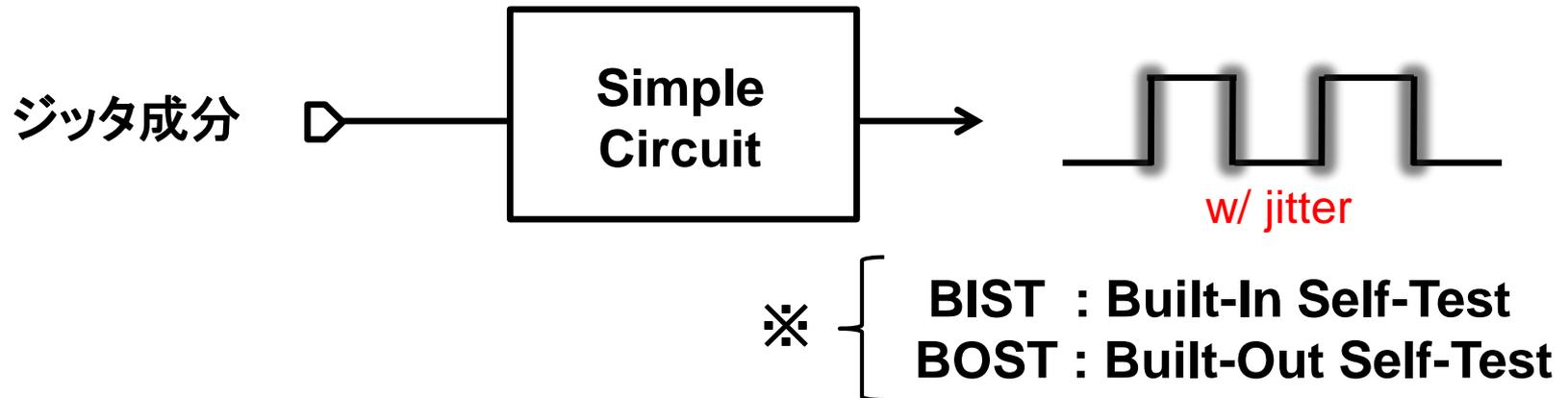


## 低コスト・高品質の ジッタ耐性試験用ジッタ生成回路

- w/o **AWG** (任意波形発生器)

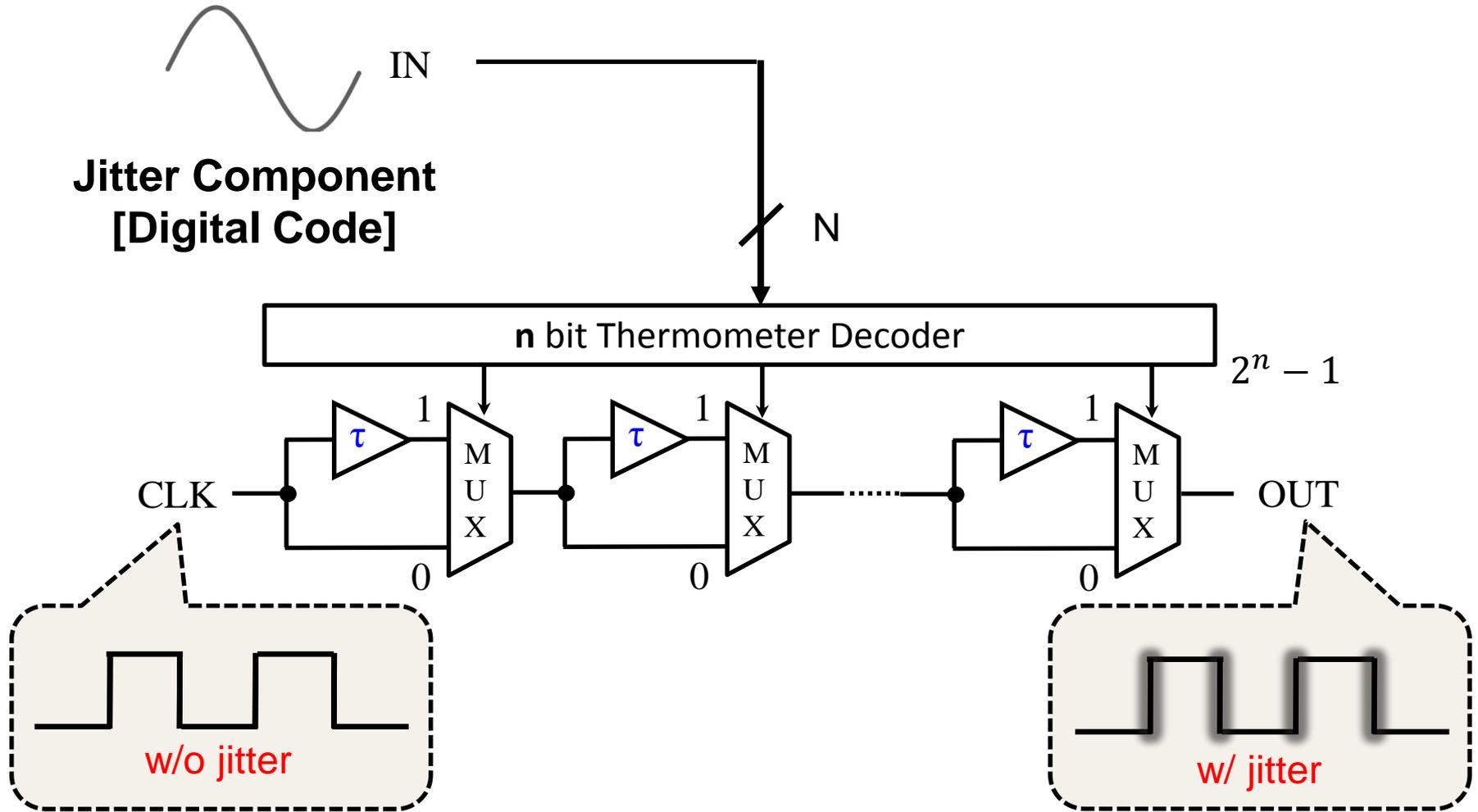


- w/ **BIST** or **BOST** のシンプル回路

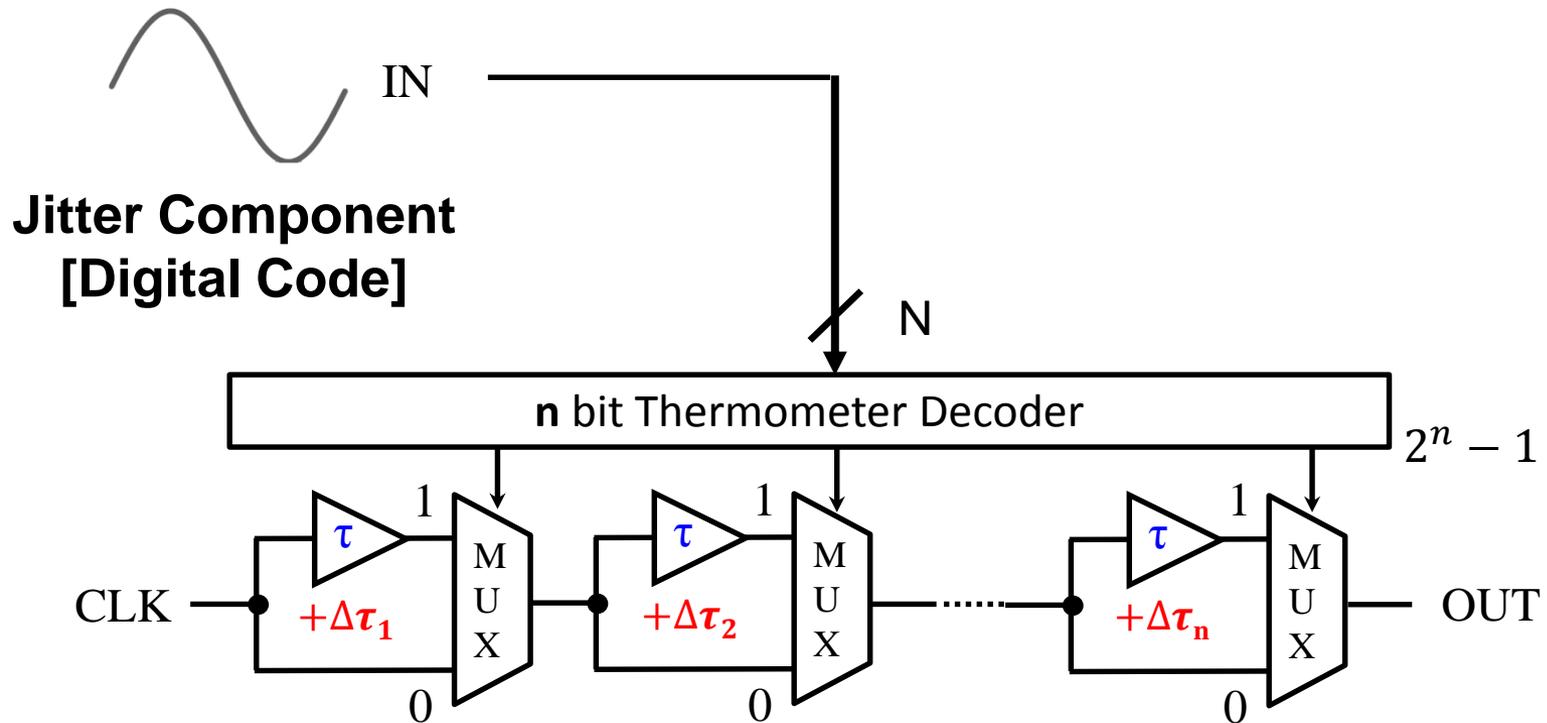


- 研究背景、目的
- **ジッタ生成基本回路**
- デルタシグマ変調を用いたジッタ生成回路
- 自己校正を用いたジッタ生成回路
- シミュレーション
- まとめ

# 提案するジッタ生成基本回路







## I. 有限時間分解能の影響

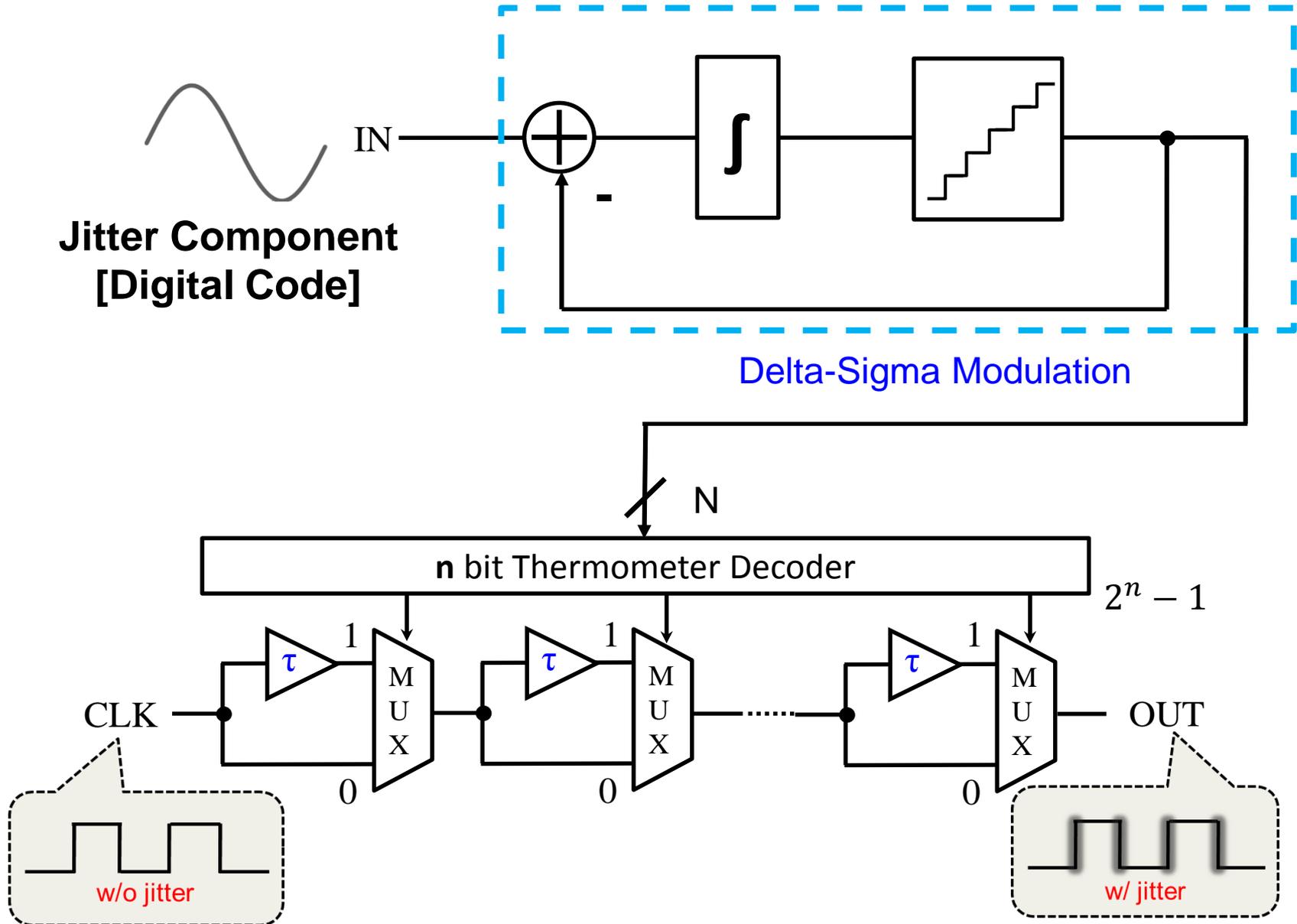
➡ デルタシグマ変調技術 による改善

## II. 遅延素子のばらつきによる線形性の劣化

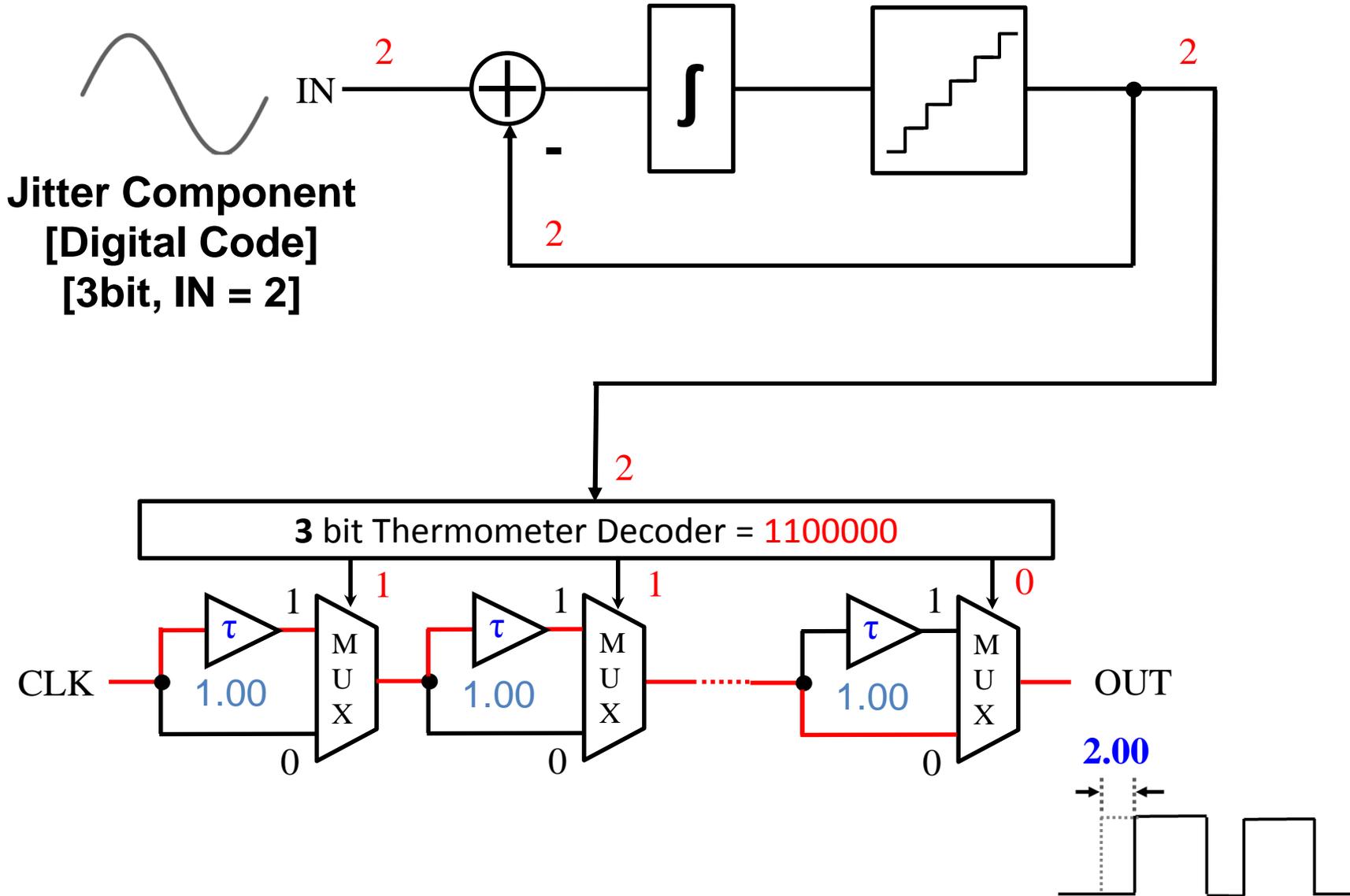
➡ 自己校正 による改善

- 研究背景、目的
- ジッタ生成基本回路
- **デルタシグマ変調を用いたジッタ生成回路**
- 自己校正を用いたジッタ生成回路
- シミュレーション
- まとめ

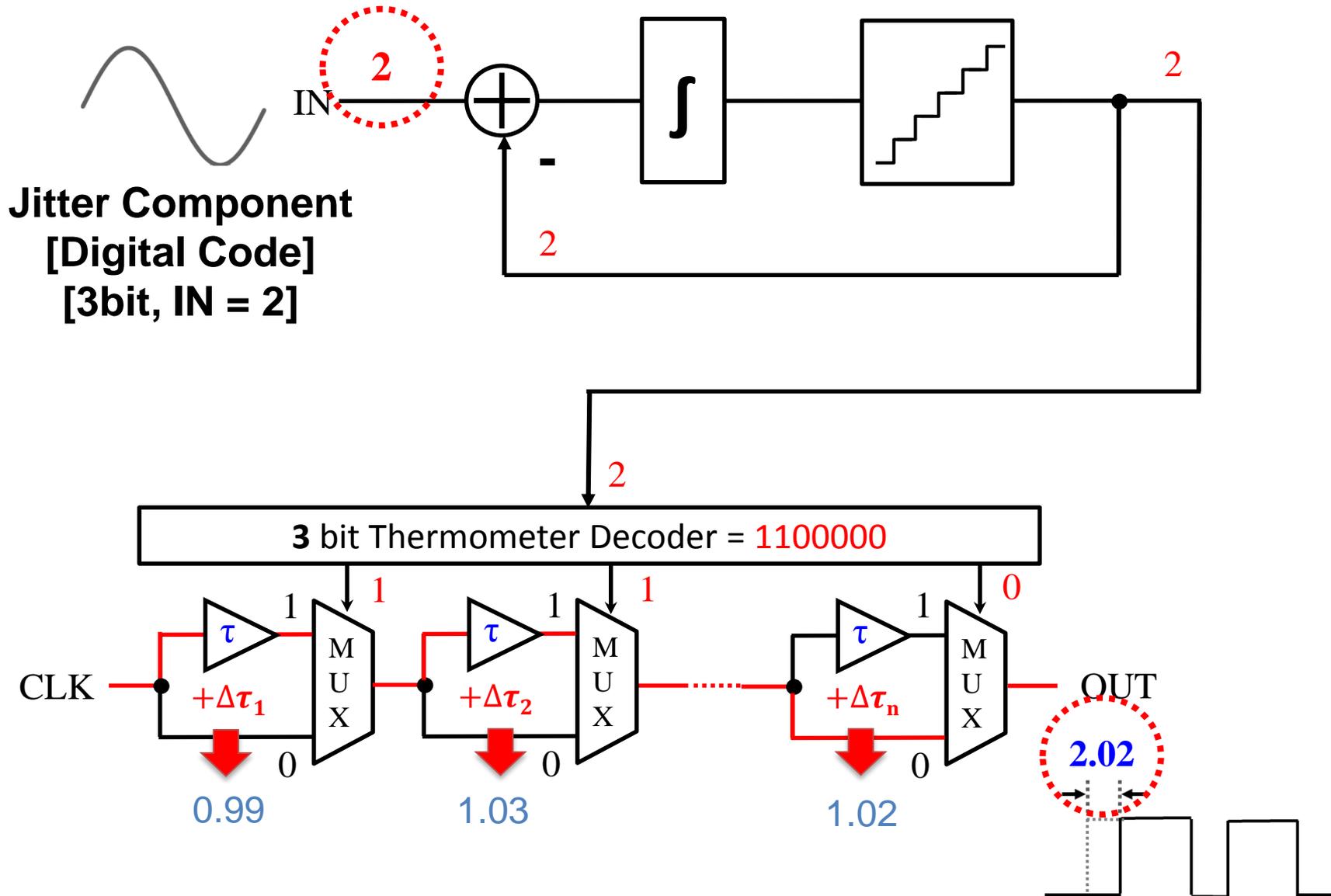
# デルタシグマ変調を用いたジッタ生成回路



# 遅延ばらつき無しの際の動作

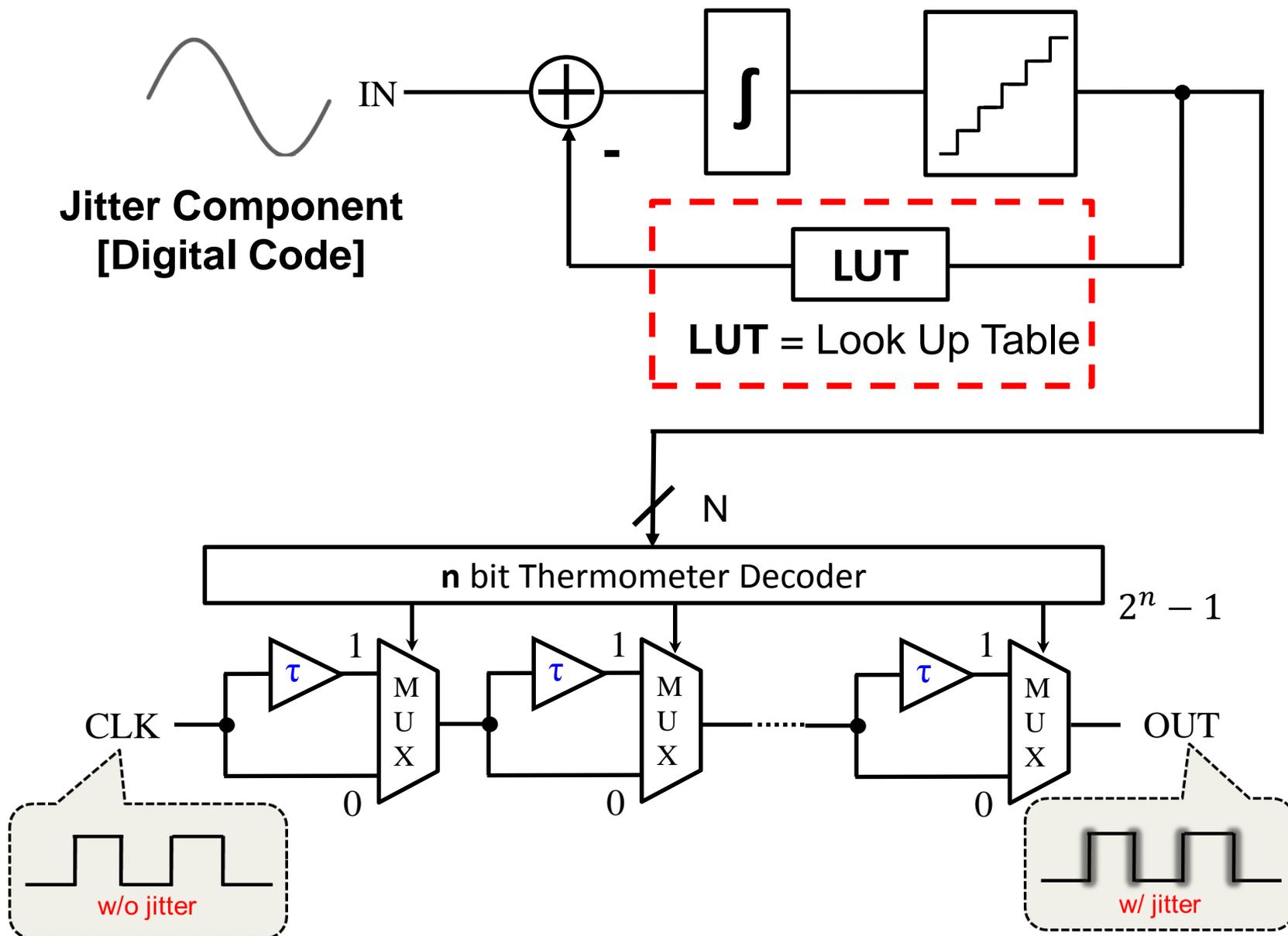


# 遅延ばらつきを考慮した動作

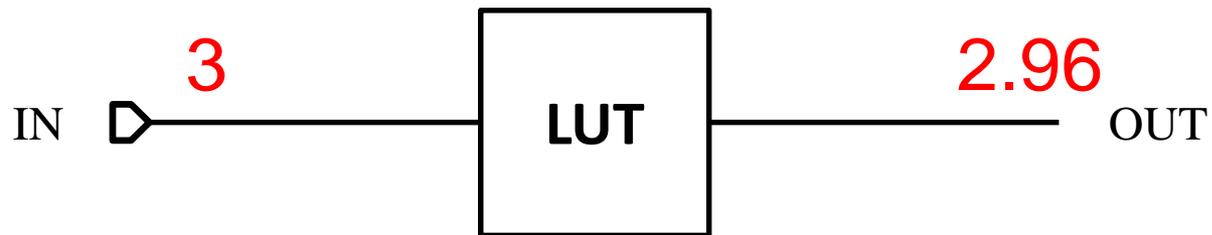


- 研究背景、目的
- ジッタ生成基本回路
- デルタシグマ変調を用いたジッタ生成回路
- **自己校正を用いたジッタ生成回路**
- シミュレーション
- まとめ

# 自己校正を用いたジッタ生成回路

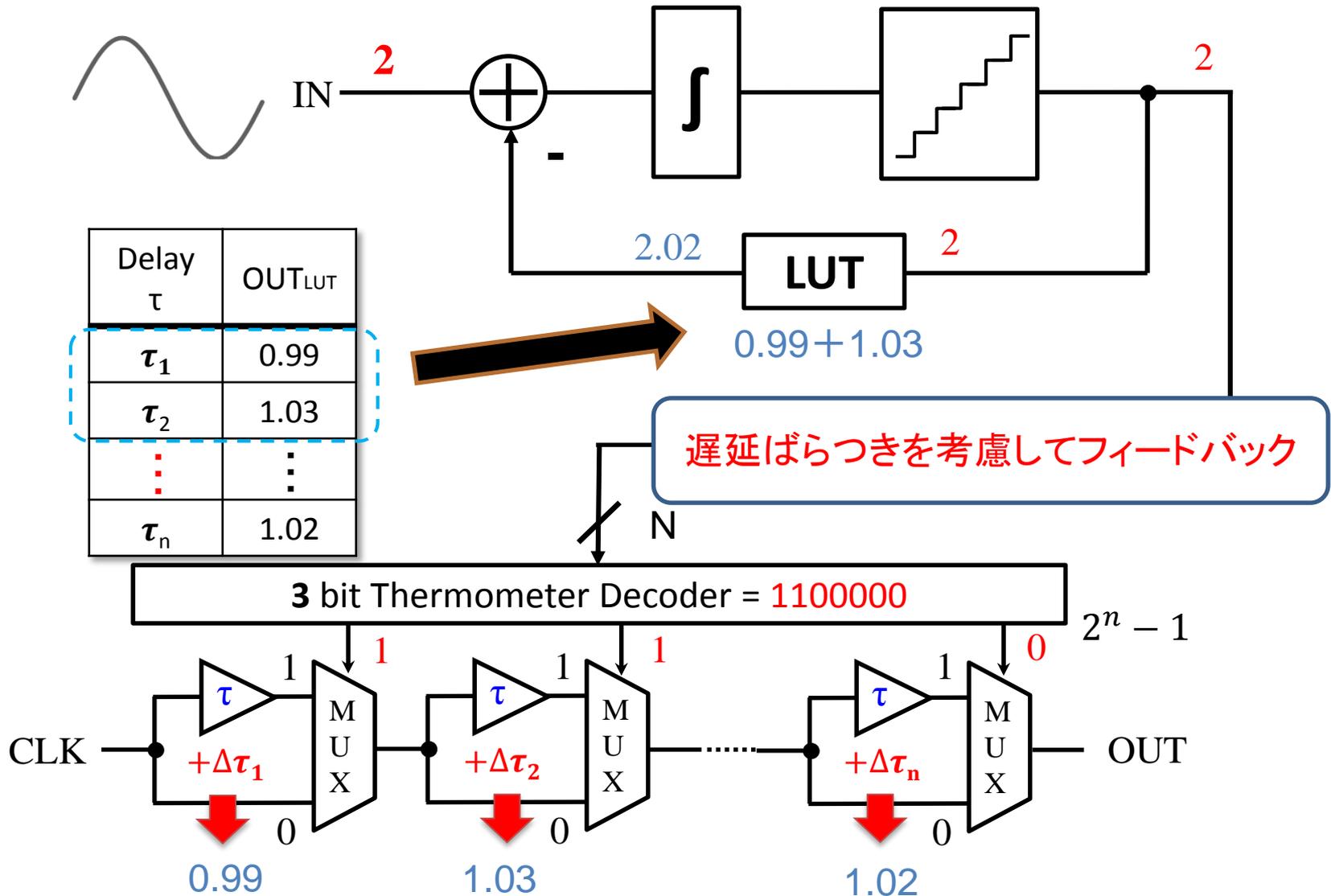


# LUT (Look Up Table)



IN	OUT
1	1.01
2	1.98
3	2.96
4	4.00
5	5.02

# 自己校正を用いたジッタ生成回路[動作] 19/28



- 研究背景、目的
- ジッタ生成基本回路
- デルタシグマ変調を用いたジッタ生成回路
- 自己校正を用いたジッタ生成回路
- **シミュレーション**
- まとめ

## 遅延ばらつき無

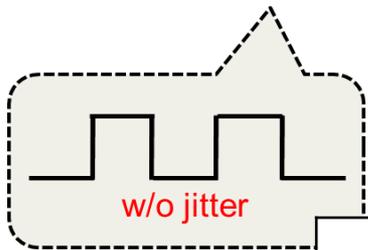
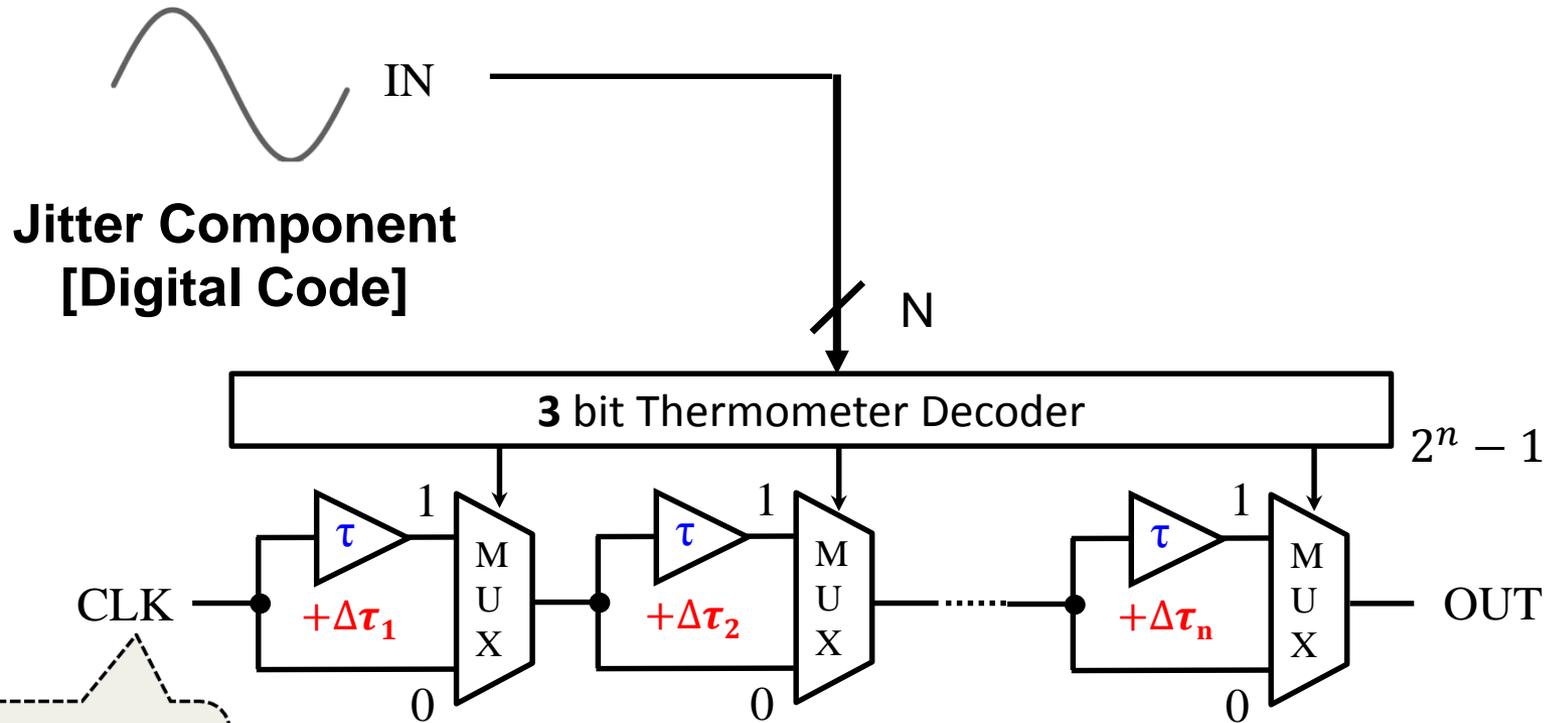
- ジッタ生成基本回路

## 遅延ばらつき考慮

- 自己校正を用いたジッタ生成回路

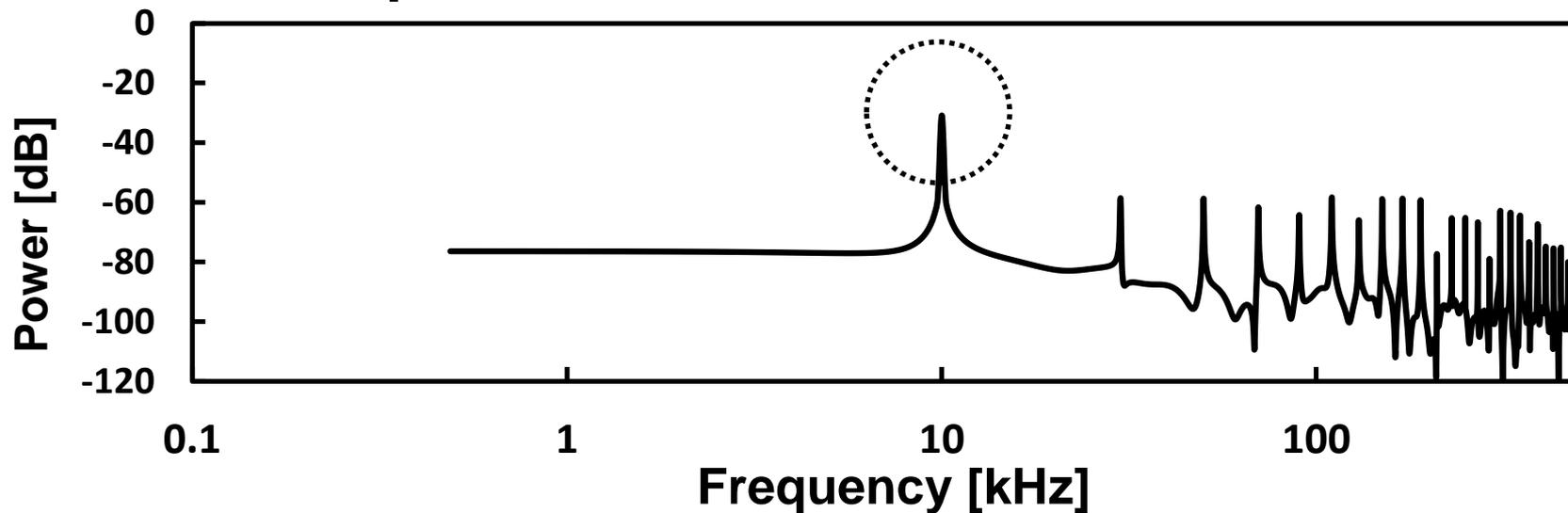
以上、2つの回路についてMATLABにより確認

# 1. ジッタ生成基本回路

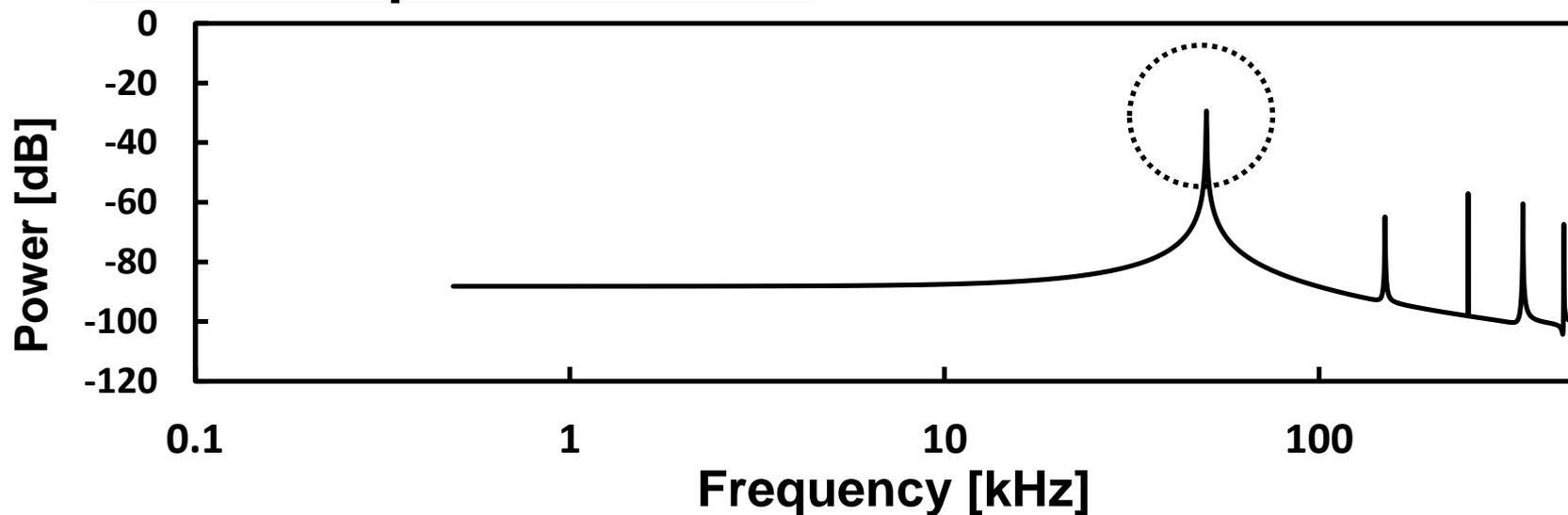


	Case 1	Case 2
Jitter Component	10kHz	50kHz
CLK	10MHz	
Delay $\tau$	10ns	
Data Points	4096 points	

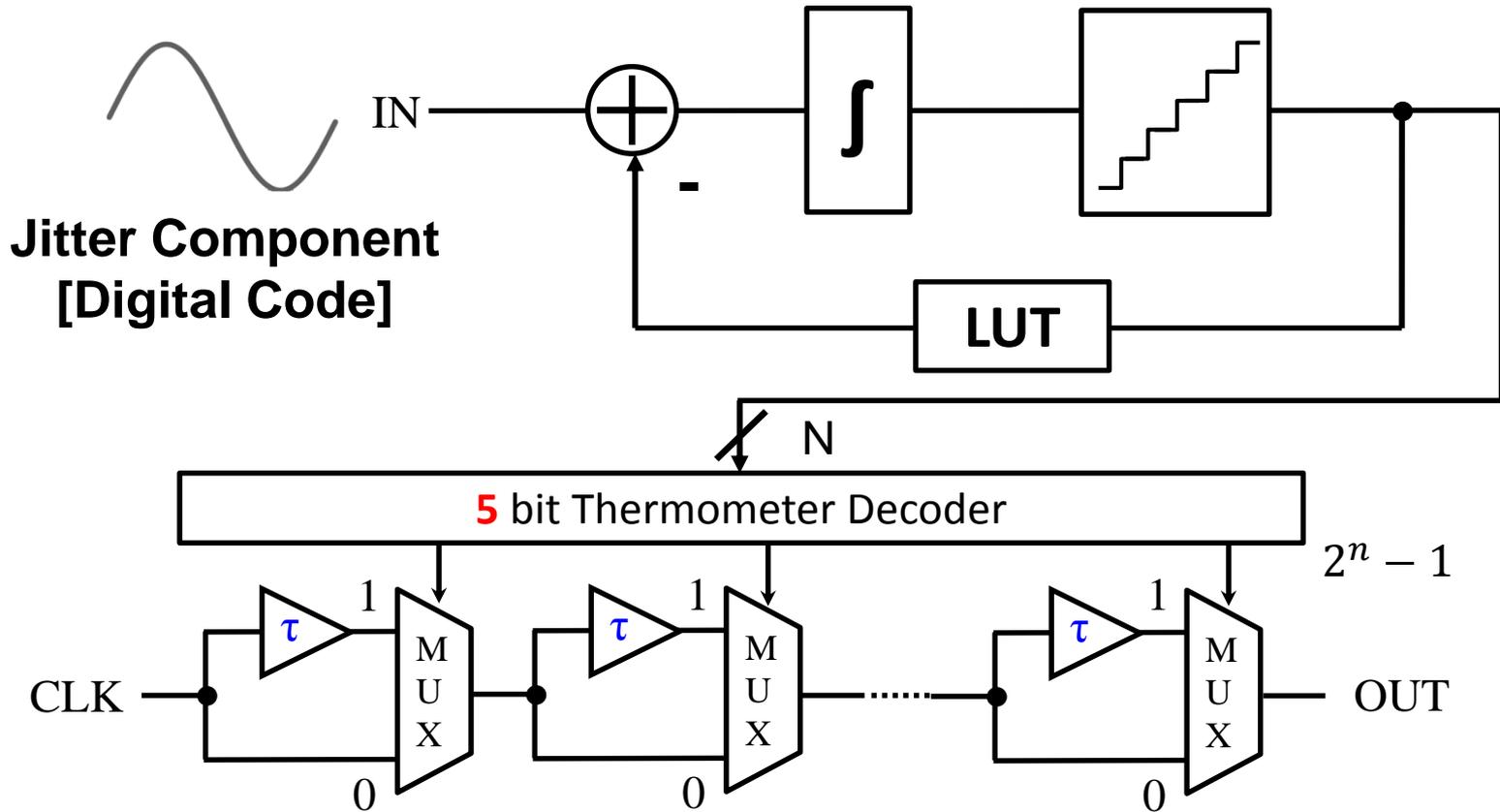
## Jitter Component : 10kHz



## Jitter Component : 50kHz

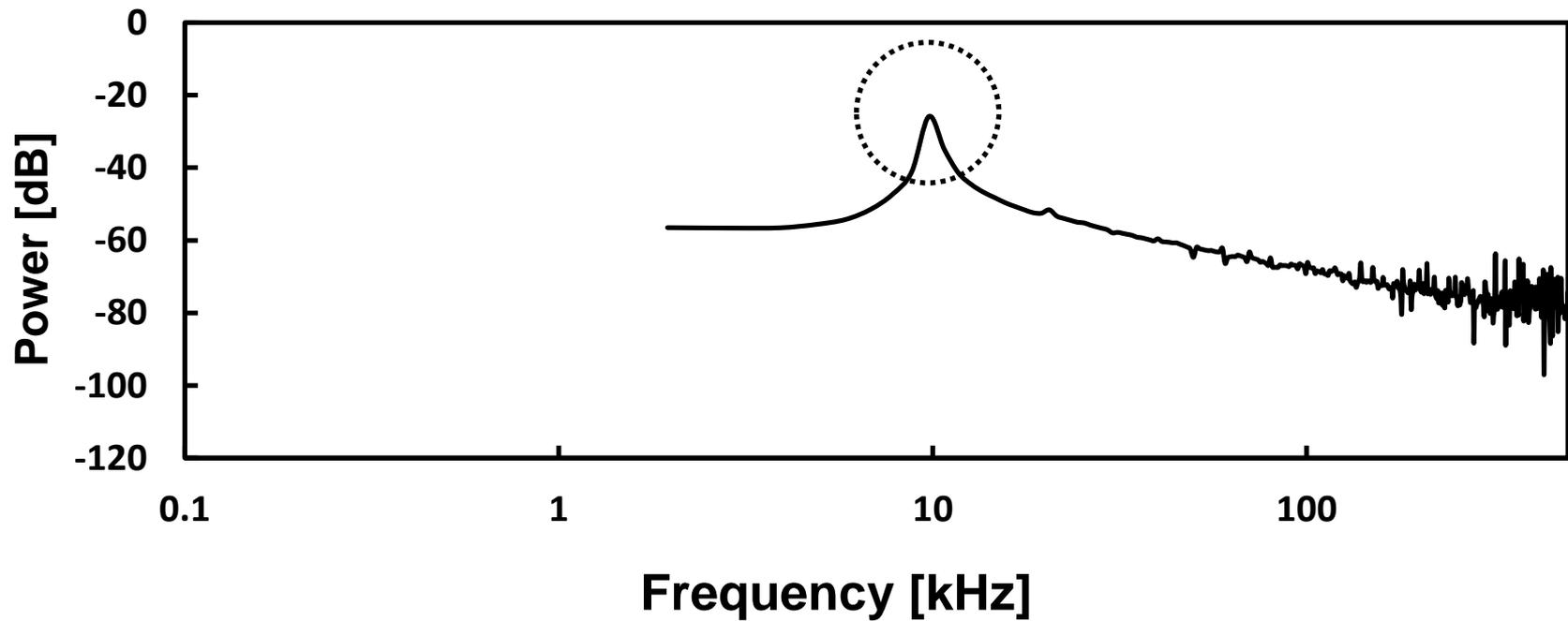


# 2. 自己校正を用いたジッタ生成回路



	Case 3
Jitter Component	10kHz
CLK	10MHz
Delay $\tau$	Random (average 4ns)
Data Points	1024 points

Jitter Component : 10kHz

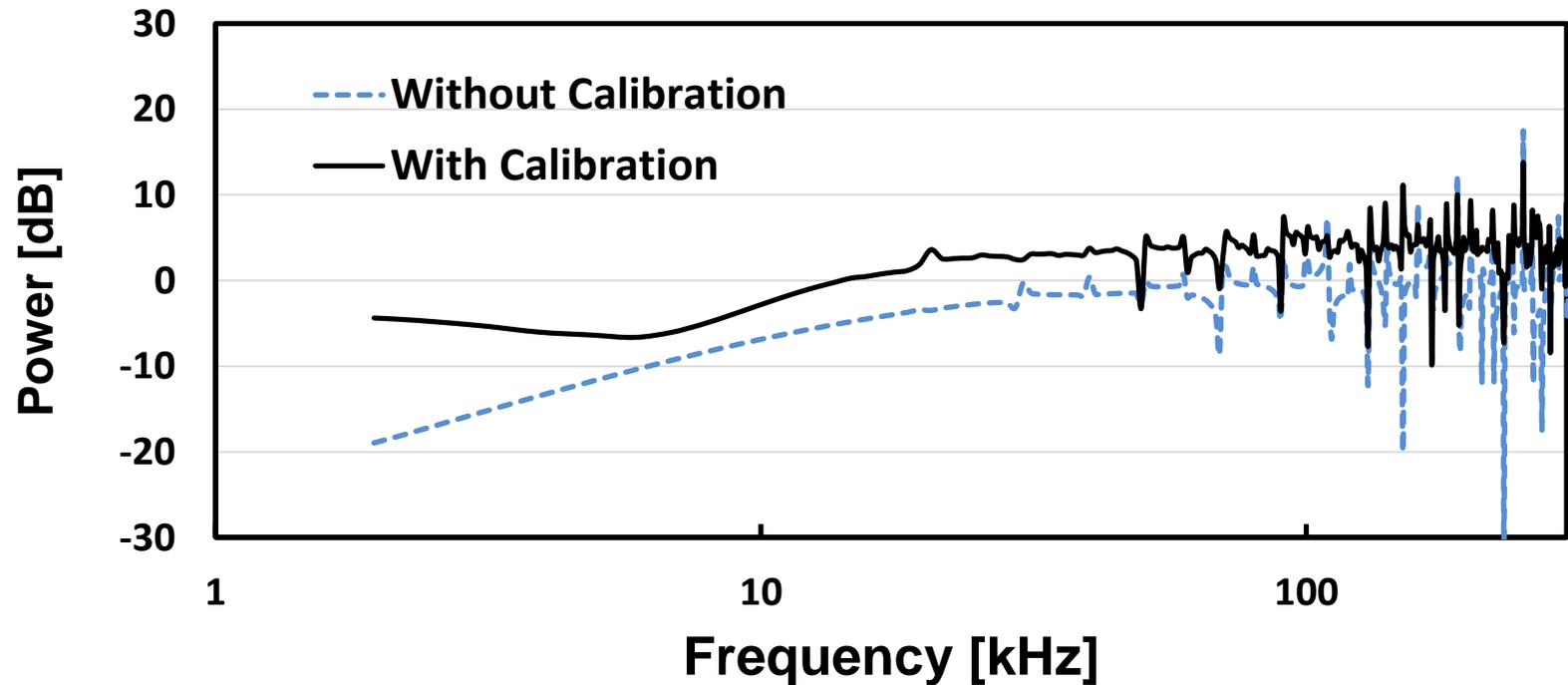


# 自己校正[有無]の比較

[遅延ばらつき無し] の結果に対する比で評価



0 [dB] に近いほど理想値



- 研究背景、目的
- ジッタ生成基本回路
- デルタシグマ変調を用いたジッタ生成回路
- 自己校正を用いたジッタ生成回路
- シミュレーション
- **まとめ**

## ■ ジッタ耐性テストに使用するジッタ生成回路の提案

- 全デジタル回路で構成



- ✓ 微細CMOS設計に最適
- ✓ 制御しやすい

- ジッタ耐性テストの高品質・低コスト化
- スペクトラム拡散クロック発生器としても期待

## ■ MATLABによる検証

- 所望周波数のジッタ生成
- 自己校正により線形性向上

## 里先生(宇都宮大学:座長)

- スライドで示しているジッタは大きく見えるのでテストをせずともいいのではないか？

➡ 近年、周波数増加に伴って無視できないところまできてしまっていることからテストが必要

## 清水先生(宇都宮大学)

- 高速とあるが、想定はどのくらいなのか？

➡ 1GHz程度を想定