

# VCO における位相雑音信頼性シミュレーションについての研究

轟 俊一郎\* 青木 均 安部 文隆 Khatami Ramin 新井 薫子  
香積 正基 戸塚 拓也 東野 将史 小林 春夫

## Study on Phase Noise Reliability Simulation in VCO

Shunichiro Todoroki<sup>\*a</sup>, Hitoshi Aoki<sup>b</sup>, Fumitaka Abe, Khatami Ramin, Yukiko Arai,  
Masaki Kazumi, Takuya Totsuka, Masasi Higashino, Haruo Kobayashi

[at13801467@gunma-u.ac.jp](mailto:at13801467@gunma-u.ac.jp) [h.aoki@oak.gunma-u.ac.jp](mailto:h.aoki@oak.gunma-u.ac.jp)

**Abstract** — In late years the performance deterioration of the product by the noise becomes the problem with miniaturization of MOSFETs. Especially,  $1/f$  noise in MOSFETs is one of the important characteristics in order to design oscillator circuits. In this paper, we analyze the phase noise in a VCO (voltage controlled oscillator) circuits, which is upconverted from  $1/f$  noise of n-MOSFETs. An  $1/f$  noise model has been newly developed for the purpose. Phase noise characteristics dependent on three different VCO circuit topologies are successfully presented.

**キーワード** :  $1/f$  ノイズ, モデリング, 位相雑音, MOSFET

(Keywords : Flicker Noise, Modeling, Phase Noise, MOSFET )

## 1. 本研究の背景と概要

近年, 半導体プロセスの微細化に伴い集積回路の小型化, 高速化, 低省電力化が進む一方, 半導体製造時の特性ばらつきが問題になっている。一般的に, 半導体プロセスの微細化においてデジタル回路が恩恵を受ける一方, アナログ回路に関しては, 電源電圧の低下によるダイナミックレンジの低下, ノイズの増大, 回路の比精度の劣化, 寄生容量の増大など, マイナスの作用が生じ, 回路設計を困難にする要因となっている。RF アナログ回路は通信機器を始め様々なアプリケーションで使用されている。中でも発振回路を用いた集積回路は基幹的な回路モジュールである。発振回路における重要な電気特性の一つに位相雑音があり, その耐久性や特性の劣化は, 最終製品の耐久性・寿命に関係してくる。

回路設計を行う際に SPICE シミュレータなどで製造前に回路特性の見積もりを行うが, これらの要因を全て SPICE シミュレータで見積もることは難しい。そのため, アナログ回路設計者は回路仕様に対して過剰にマージンを取ることではばらつきに対応している現状がある。特に, 日本の半導体メーカーは海外半導体メーカーに対して設計時に過剰にマージンを見積もる傾向があり, この過剰マージンが今日の日本の半導体産業の競争力低下に繋がっているとの見方もある。

更には, 上記の半導体製造ばらつきに加え, 経年変化による回路性能の劣化, 半導体出荷テスト時のテスト精度の不完全性なども回路仕様に対するマージンの要因となっている。

本論文では, 回路動作に影響を与えるノイズについて検討する。今回, 根幹的な回路モジュールである VCO (voltage controlled oscillator) 回路における, 位相雑音についてシミュレーションを行った。特に VCO 回路構成と位相雑音の關係に着目し考察を行った。

n チャネル型 MOSFET (n-MOSFET) は p チャネル型に比べてキャリアが電子であり, 移動度が高い。ドレイン端が高電界になった時, n チャネル型は, チャネル外に電子が飛び出し易い。以上の理由から, n-MOSFET は,  $1/f$  ノイズが p チャネル型に比べて一桁以上大きくなる。回路動作時にも大きく影響するため今回は, n-MOSFET の  $1/f$  ノイズに着目した。

考察対象とする VCO 回路についても, 使用するトランジスタとしては, n-MOSFET のみを対象とする。

## 2. MOSFET のノイズ

**〈2・1〉 位相雑音について** 位相雑音の主な原因は  $1/f$  ノイズと熱雑音 (ホワイトノイズ) である。他の原因としてランダムテレグラフノイズもあるが, ランダムノイズの一種

である為今回は考えないものとする．図 1 にノイズの基礎的なメカニズムを示す．

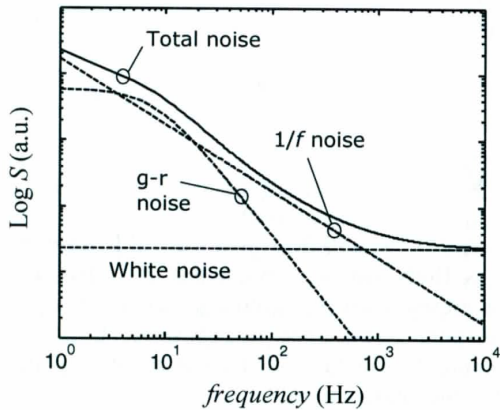


図 1 基礎的なノイズの発生分布

熱雑音は広い範囲で出現する事が分かる．実際の使用環境において，絶対零度で製品を使用することはないので熱雑音は発生してしまう．また， $1/f$  ノイズと位相雑音の関係を図 2 に示す．

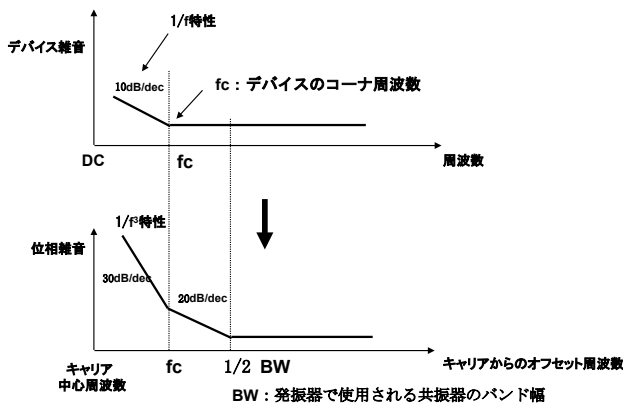


図 2 位相雑音と  $1/f$  ノイズの関係

$1/f$  ノイズは位相雑音密度に周波数の 3 乗分の 1 の大きさで影響を与える．従って  $1/f$  ノイズに着目する．

〈2・2〉  $1/f$  ノイズ発生原理  $1/f$  ノイズはトランジスタなど全ての能動素子で発生するノイズであり，特に低周波数帯で支配的となるノイズである．また，この  $1/f$  ノイズはノイズパワーが周波数に逆比例することからこのように呼ばれ，フリッカノイズやピンクノイズとも呼ばれる．この  $1/f$  ノイズの発生源としては McWorther のモデル[1]によるエネルギー準位の変動，Hooge のモデル[2]による移動度の変動などが主に指摘されている．図 3 に Si, SiO<sub>2</sub> 界面でのエネルギー準位がチャネル中の電子をトラップする様子を示した．エネルギー準位の変動によりトラップされる電子の数変動することで  $1/f$  ノイズが発生する要因となる．

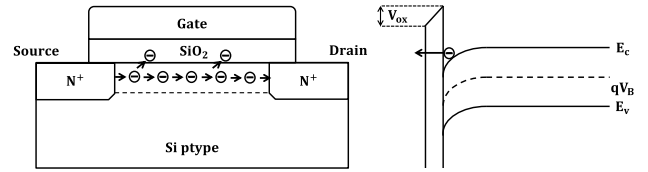


図 3 エネルギー準位による電子トラップ

### 3. $1/f$ ノイズモデルの導出

先に， $1/f$  ノイズの発生源としてエネルギー準位の変動と移動度の変動を挙げたが，SPICE の MOSFET モデルに搭載されているノイズ発生原理に忠実な基本モデル，SPICE2 モデルは，McWorther のモデルを元に解析的に導出されている．回路シミュレータ SPICE の MOSFET モデルで基本的，かつノイズ特性解析が容易な，SPICE2 モデルによるドレイン端でのノイズ密度のモデル式を(1)式に示す．

$$S_{id}(f) = \frac{KF \cdot I_{ds}^{AF}}{C_{ox} L_{eff}^2 f^{EF}} \quad (1)$$

今回のモデルは，SPICE2 モデルをさらに，Hooge が提案する移動度の変動を考慮したモデル式の効果も併用する．Hooge の  $1/f$  ノイズモデルを下式(2)，(3)に示す．

$$\frac{S_{I_D}}{I_D^2} = \frac{\alpha_H \cdot \mu_{eff} \cdot 2KT}{f L^2 I_D} \quad (2)$$

$$S_{I_D} = \frac{\alpha_H \cdot \mu_{eff} \cdot 2kT \cdot I_D}{f L^2} \quad (3)$$

(3)式において， $\alpha_H$ は Phonon Scattering(光子散乱)によって生じる係数であり，Mobility Fluctuation と関係している．この  $\alpha_H$  がばらつく事によって， $1/f$  ノイズがばらついてしまう．

以前作成した，(1)式及び(3)式を用いてばらつきを考慮した  $1/f$  ノイズモデルを以下に示す[3]．

$$S_{id}(f) = \frac{KF \cdot I_{ds}^{AF}}{C_{ox} L_{eff}^2 f^{EF}} \quad (4)$$

$$KF = C_{ox} \cdot \mu_{eff} \cdot 2kT \cdot \{\alpha_{H_{nominal}} \cdot (D - 0.5) + KFN\} \cdot e^{-(V_{gs} - V_{TH})} \quad (5)$$

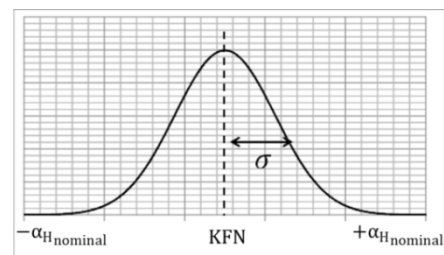


図 4 ガウシアン分布図

(5)式において KFN は図 4 によって表される．

この  $1/f$  ノイズモデルは強反転領域において, Hooge のモデルと SPICE2 モデルを考慮する事に成功した[4].

#### 4. 位相雑音測定

〈4・1〉 TEG 作成 今回, 実際に 90nm プロセス n-MOSFET のフレッシュな状態の直流, ノイズ測定のために, 実際に TEG(Test Element Group) をデザインし, チップを作成した.

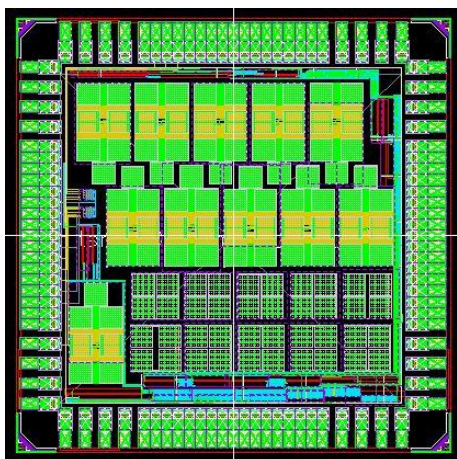


図 5 90nm プロセス n チャネル MOSFET 測定用 TEG 全体

劣化後のノイズについてシミュレーションを行い, 図 6 に示す. 図 5 の作成した TEG の, 90[nm] プロセスを用いた n-MOSFET で, チャネル幅 10.0[ $\mu\text{m}$ ], チャネル長 10.0 [ $\mu\text{m}$ ] デバイスとチャネル幅 10.0[ $\mu\text{m}$ ], チャネル長 0.3[ $\mu\text{m}$ ] デバイスの測定データを使用した.

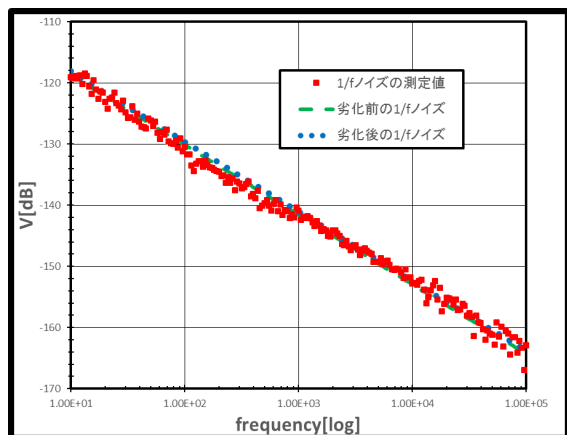


図 6 ドレイン端での  $1/f$  ノイズ電圧密度特性  
劣化後は劣化前に比べ, 0.53[db] ノイズが大きくなっている

た.

#### 5. VCO 回路でのシミュレーション

VCO(Voltage Controlled Oscillator)回路をモジュール設計して劣化前後の位相雑音特性に及ぼす影響を検証した. シミュレーションには, Cadence社のSPECTREを用いた.

4章で用いたモデルパラメータを用いて, 劣化前後の位相雑音特性について比較した. 図7より劣化後の方が10[db]程ノイズ密度が高い事が分かる. また周波数が高くなるほど, 劣化前後の位相雑音に差がない. これは低周波数の方が  $1/f$  ノイズの影響が顕著である事が理由である.

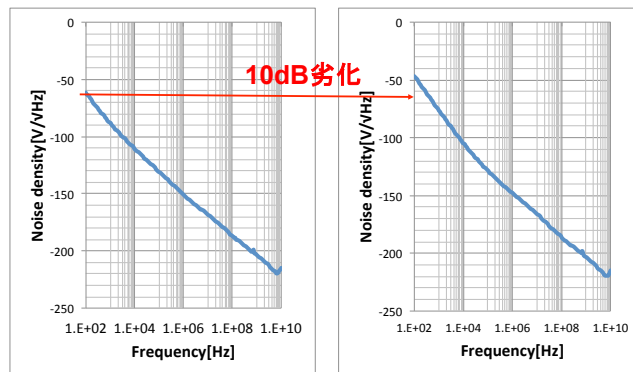


図 7 位相雑音の劣化前後

また, VCO の回路構成によりノイズ密度に違いがあるか検証を行った. 比較を行った回路構成[5]を図8に示し, シミュレーション結果を図9に示す.

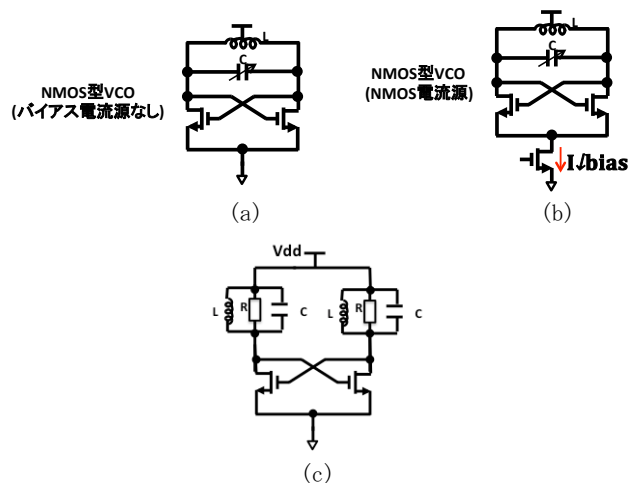


図 8 VCO 回路構成

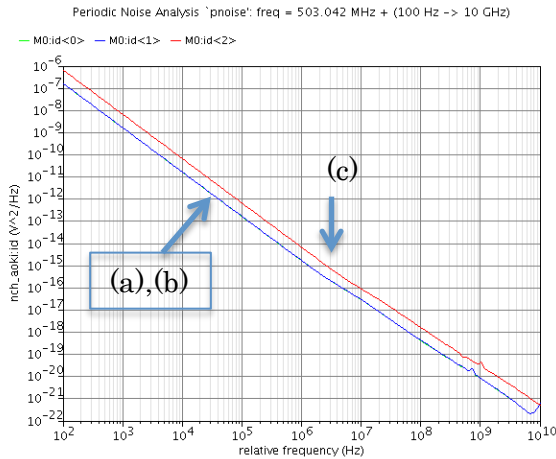


図 9 回路構成による位相雑音の比較

図 10 において、線が重なっており分かりづらいが、(a) と (b) に関しては電流源の有無によって位相雑音に違いはなかった。これは、バイアス電流源は発振に関係なく回路動作の安定性に関係がある為だと考えられる。

(c) の回路構成では全体的に位相雑音が大きくなっている。この回路構成では、バイアス源から抵抗を通った電流により熱雑音が発生し、n-MOSFET のゲート、ドレイン端子に入る。これが、n-MOSFET の  $1/f$  ノイズに重畳されるため増加する、と考えられる。以上の事から 3 つの回路構成に限れば、(a) もしくは (b) の回路構成が位相雑音を低く押さえることができると考えられる。

## 6. まとめ

本論文では、VCO 回路における位相雑音特性の重要性及び実際の回路動作としてどの様に劣化により影響があるのかを示した。

実際に TEG をデザイン・作成し、測定を行った。その結果を元に SPECTRE を用いて VCO 回路での動作を検証した。結果としては実際に劣化し、ノイズが 10[dB] 程度大きくなっていた。デバイスの劣化によりどの程度のノイズが大きくなるかが分かるという事はアナログ回路設計においてノイズの劣化考慮する事ができる。つまり、製品の経年劣化の改善に繋がる重要な特性である。n-MOSFET を用いた VCO 回路構成による位相雑音についてシミュレーションを行い、位相雑音の小さい回路構成が検証できた。

## 文 献

- [1] A. L. McWorther, Semiconductor Surface Physics, University of Pennsylvania Press, Philadelphia, (1957).
- [2] F. N. Hooge,  $1/f$  Noise Sources, IEEE Trans. Electron Devices 41, 1926-1935 (1994)
- [3] S. Todoroki, F. Abe, K. Ramin, Y. Arai, M. Kazumi, T. Totsuka, H. Aoki, and H. Kobayashi, "1/f Noise Variation Modeling of Gate Voltage Depending with n-channel MOSFETs", IEEJ Technical

Meeting on Electronic Circuits ECT-14-010, Kanazawa (Jan. 2014).

- [4] S. Todoroki, F. Abe, K. Ramin, Y. Arai, M. Kazumi, T. Totsuka, H. Aoki, and H. Kobayashi, "Gate Voltage Dependent  $1/f$  Noise Variance Model in n-Channel MOSFETs" Extended Abstracts of the 2014 International Conference on Solid State Devices and Materials, Tsukuba, 2014, pp54-55
- [5] Michael Kraemer, Daniela Dragomirescu, Robert Plana, "A High Efficiency Differential 60 GHz VCO in a 65 nm CMOS Technology for WSN Applications" Microwave and Wireless Components Letters, IEEE (Volume:21, Issue:6)