

VCOにおける位相雑音信頼性 シミュレーションについての研究

○ 轟俊一郎

安部文隆 KhatamiRamin 新井 薫子 香積 正基
戸塚拓也 東野将史 築地伸和 青木均 小林 春夫(群馬大学)

群馬大学 工学部 電気電子工学科
情報通信システム第2研究室

アウトライン

- 研究目的及び背景
- 雑音(ノイズ)の種類及び発生原因
- TEG作成
- ノイズの測定及びモデルパラメータの抽出
- 位相雑音シミュレーション
- まとめ

アウトライン

- 研究目的及び背景
- 雑音(ノイズ)の種類及び発生原因
- TEG作成
- ノイズの測定及びモデルパラメータの抽出
- 位相雑音シミュレーション
- まとめ

研究の目的

- RFアナログ回路・・・様々なアプリケーションで使用
発振回路を用いた集積回路は根幹回路モジュール
- 発振回路における重要な電気特性・・・位相雑音
位相雑音が劣化 → 製品の耐久性・寿命に影響
- 特にノイズ特性は様々な要因によりばらつきを持つため、
統計モデルを用いてモデリング

実際の回路での特性ばらつきを持った
ノイズ劣化特性の予想を可能に！

研究背景

半導体プロセスの微細化に伴い、

メリット

- 集積回路の小型化
- 高速化
- 低消費電力



デジタル回路に恩恵

デメリット

- 製造時の特性ばらつき
- 電源電圧低下による、ダイナミックレンジの低下
- 回路の比精度の劣化
- ノイズの増大



アナログ回路設計を困難

研究背景 (ノイズ)

アナログ回路設計者

製造ばらつき



回路仕様に対して過剰にマージン

特に日本は過剰にマージン



海外との競争力の低下

その他にも

経年劣化による回路性能の劣化

半導体出荷テスト時のテスト精度の不完全性



過剰マージンの要因

デバイスに生じるノイズを考慮することができれば アナログ回路設計が容易に！



ノイズに着目

研究フロー

◆ Hot Carrier Injection (HCI) NMOS劣化モデル

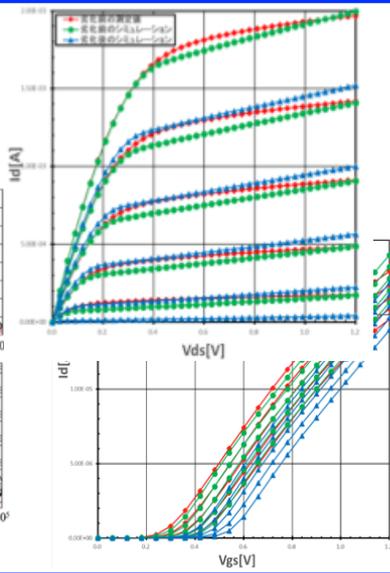
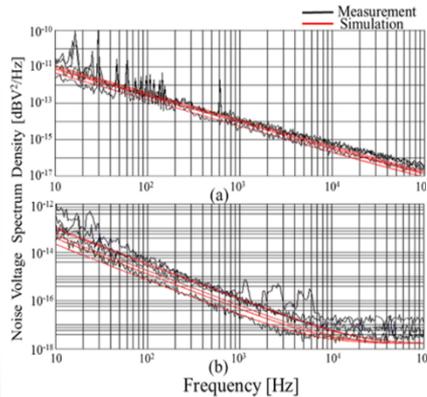
◆ 1/fノイズモデル開発

- ◆ 移動度変動による1/fノイズ発生
- ◆ インターフェースとラップ変動による1/fノイズ発生
- ◆ プロセスによるノイズばらつき

◆ HCIによるNMOS特性

◆ 1/fノイズ特性
経年劣化測定

SPICE用劣化モデル
生成ソフトウェア

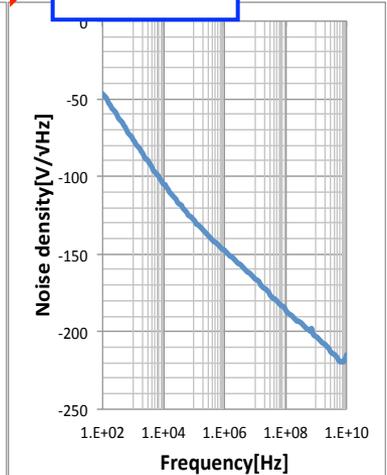
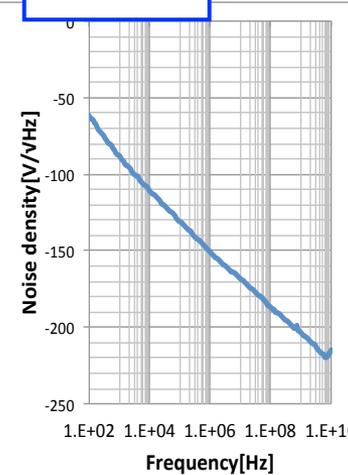


◆ 位相雑音劣化シミュレーションを行えた!

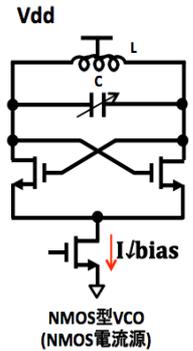
劣化前



劣化後



劣化SPICEモデル、
ライブラリ化



Voltage Controlled Oscillator (VCO) 等価回路

アウトライン

- 研究目的及び背景
- 雑音(ノイズ)の種類及び発生原因
- TEG作成
- ノイズの測定及びモデルパラメータの抽出
- 位相雑音シミュレーション
- まとめ

雑音(ノイズ)の種類

- 熱雑音

抵抗等で電流が流れていなくても、電子の不規則な熱振動により発生
電子の熱運動に起因

ノイズの大きさ  主に温度で決まる

- $1/f$ ノイズ

特にMOSFETで大きい

低周波数で支配的(ノイズパワーが周波数に逆比例)

発振回路での位相ノイズ特性の劣化



重要な仕様

- RTS(Random Telegraph Signai)ノイズ

ゲート酸化膜の界面準位による電子のランダムな捕獲と放出が原因

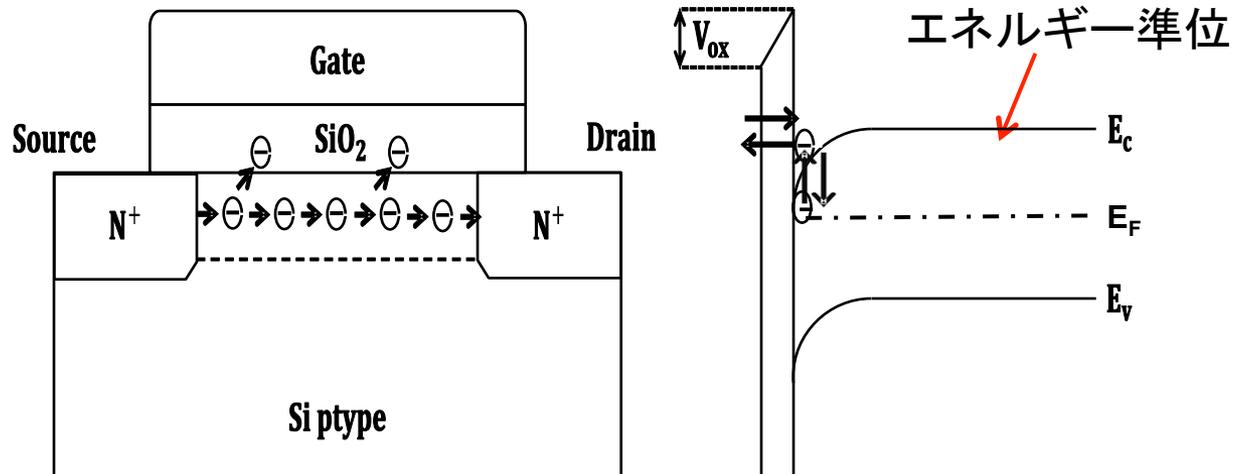
他にもpn接合で起きるショットノイズ等

1/fノイズ発生原理

主な発生原因

移動度の変動

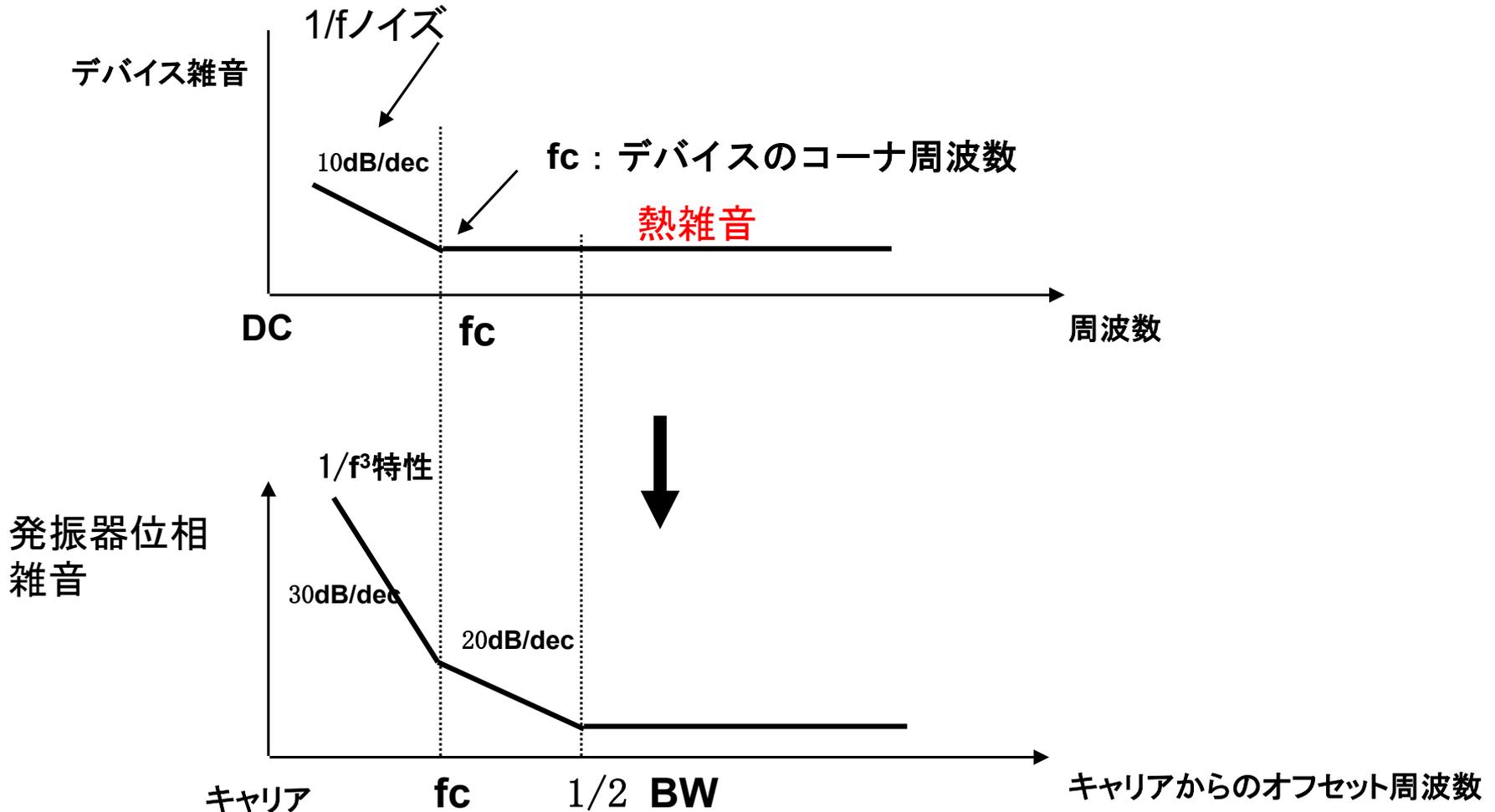
エネルギー準位の変動 → トラップされる電子の数が変動



エネルギー準位による電子トラップ

電子の変動による電位の変動が起きる

位相ノイズ



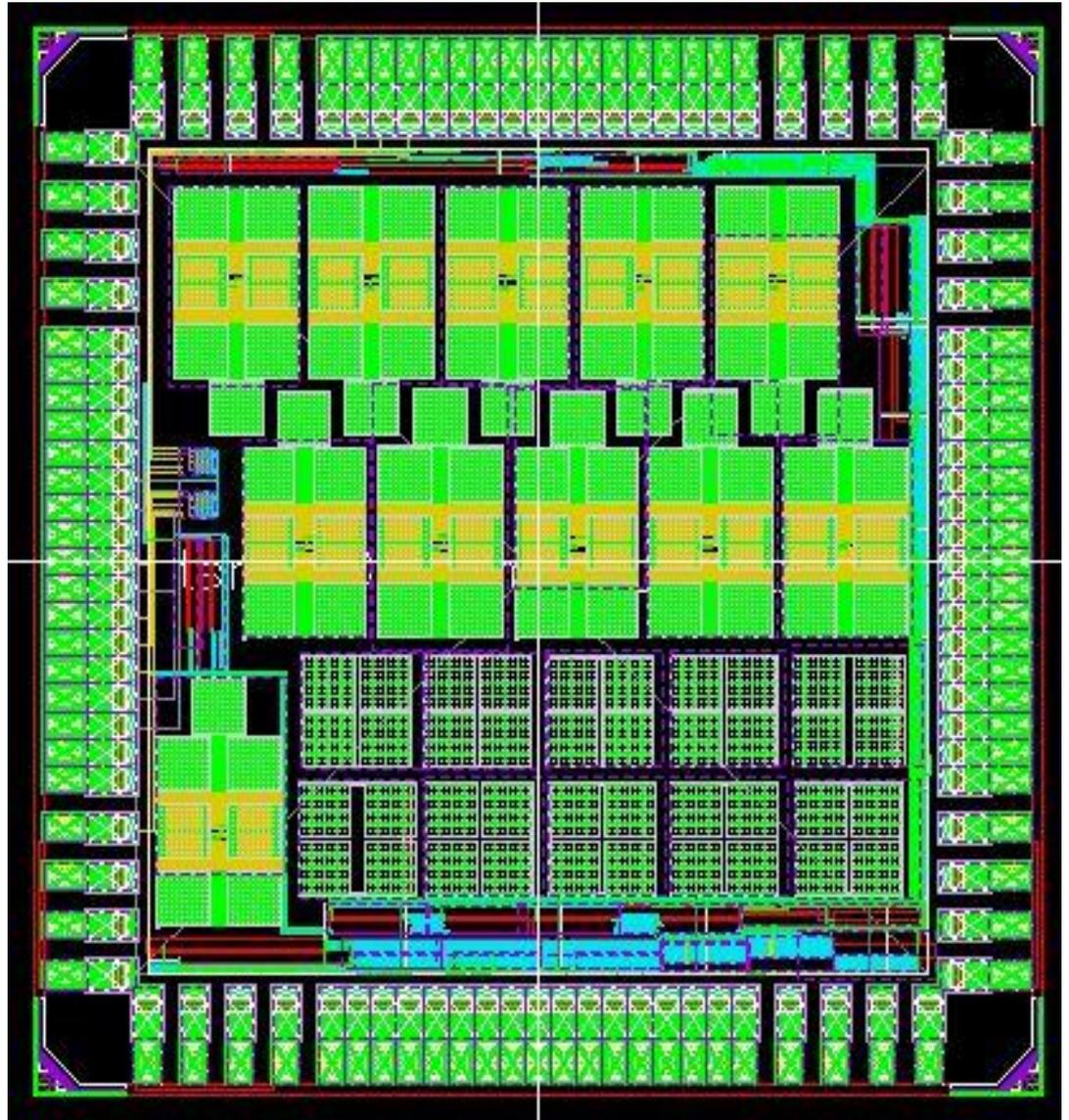
位相ノイズとは、発振周波数の短期的揺らぎ

アウトライン

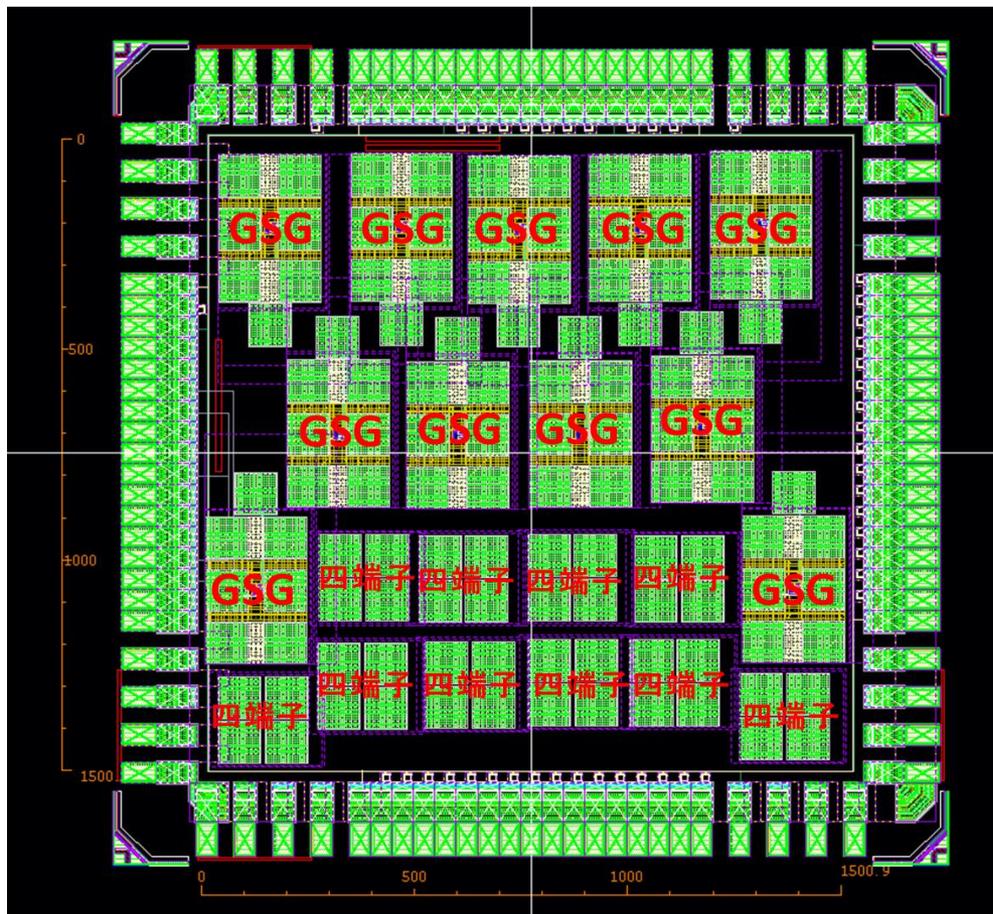
- 研究目的及び背景
- 雑音(ノイズ)の種類及び発生原因
- **TEG作成**
- ノイズの測定及びモデルパラメータの抽出
- 位相雑音シミュレーション
- まとめ

TEG作成

- 90nmプロセスn-MOSFET劣化前の直流・ノイズ測定のためにTEGを作成
- 一つのチップに作成することにより製造ばらつきによるノイズ特性の違いを考慮



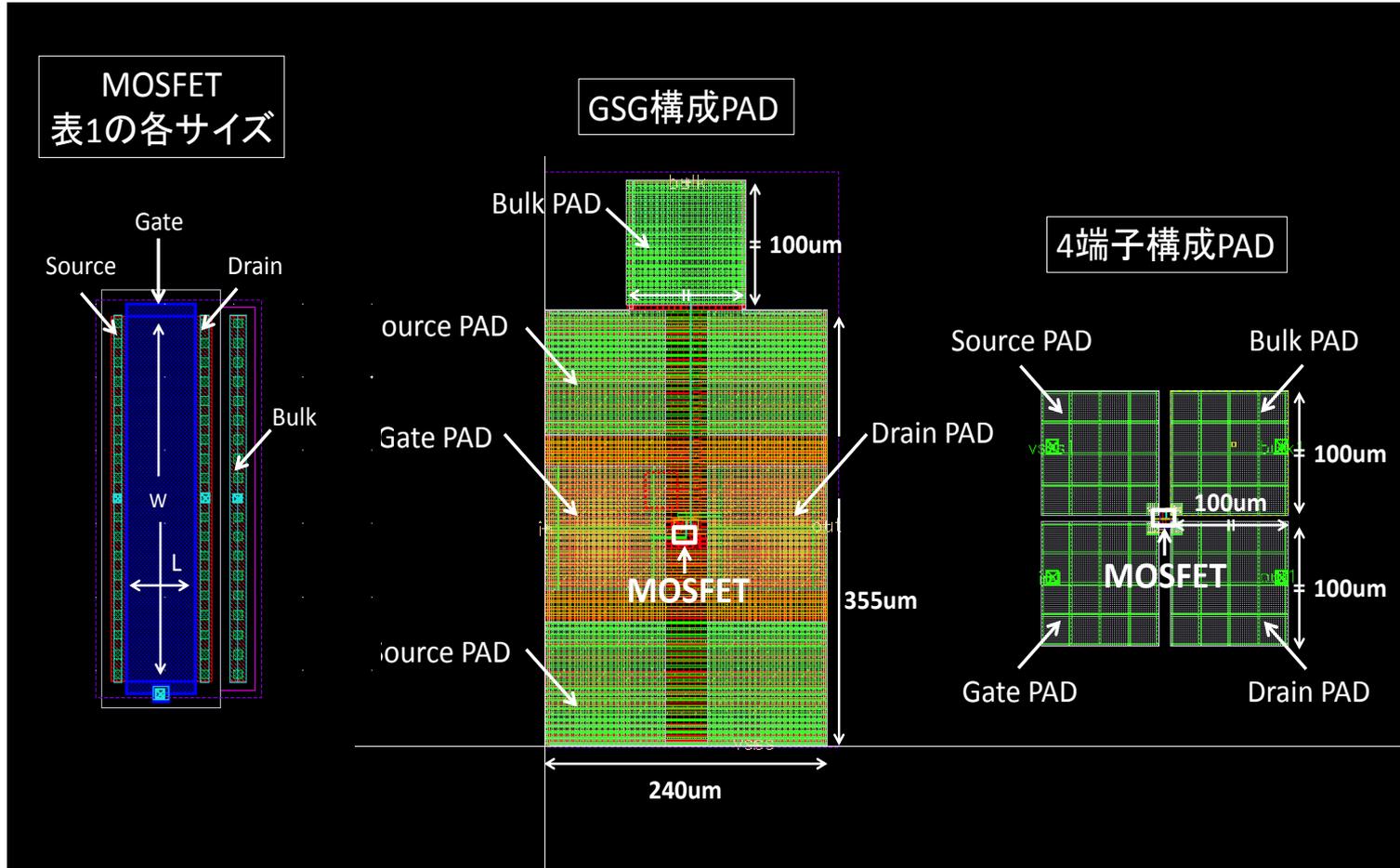
TEGの構成図



GSG: 11個
四端子: 10個

MOSFETは、1/fノイズ、DC測定用に、GSGプローブ用ブロックを中心に作成

TEG PADの構成



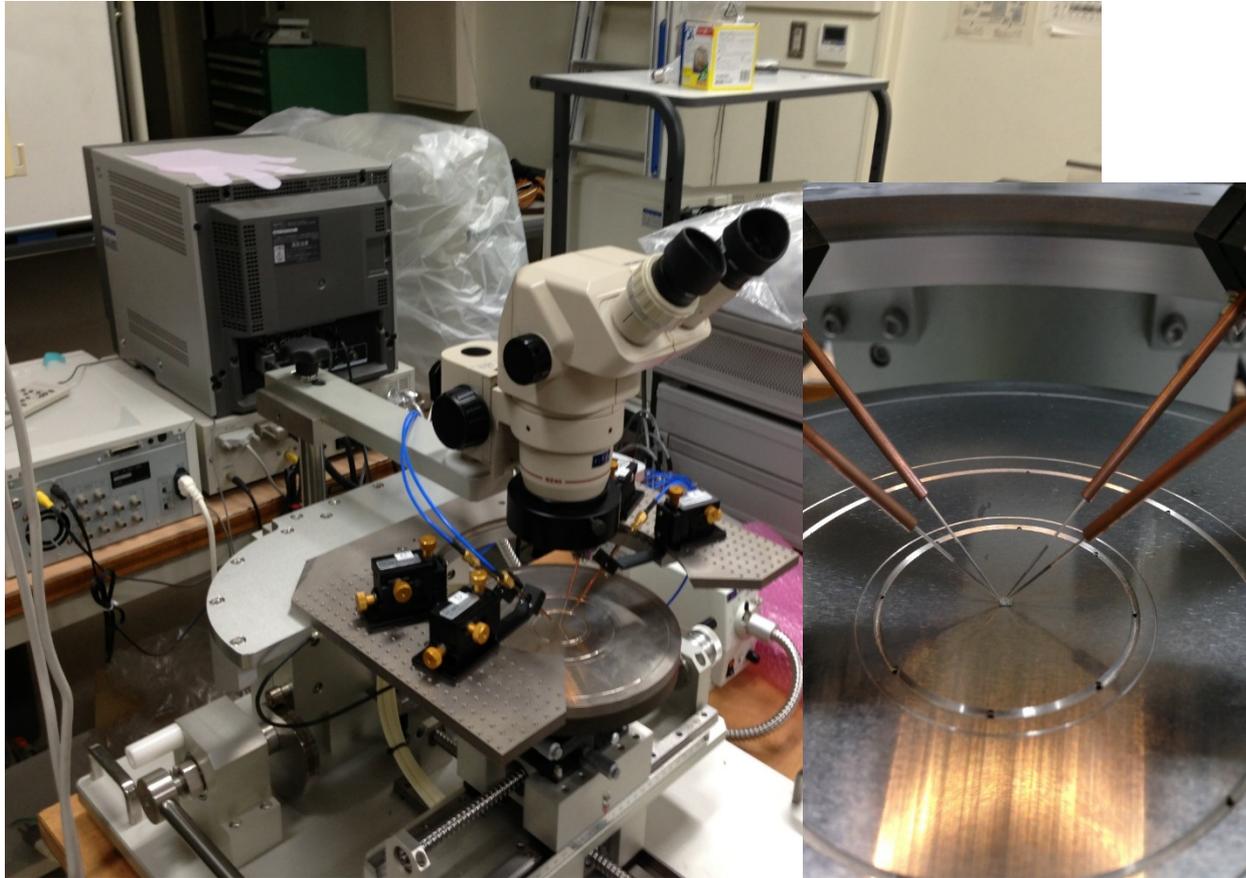
TEGサイズ

		L [um]												
		0.10	0.14	0.20	0.30	0.40	0.50	0.60	0.80	1.00	3.00	5.00	10.00	20.00
w[um]	20.0													四端子
	10.0	GSG	GSG		GSG		GSG		四端子	GSG	四端子	GSG	GSG	
	5.0	GSG		四端子	四端子									
	0.5	四端子											GSG	
	0.2	GSG											GSG	

アウトライン

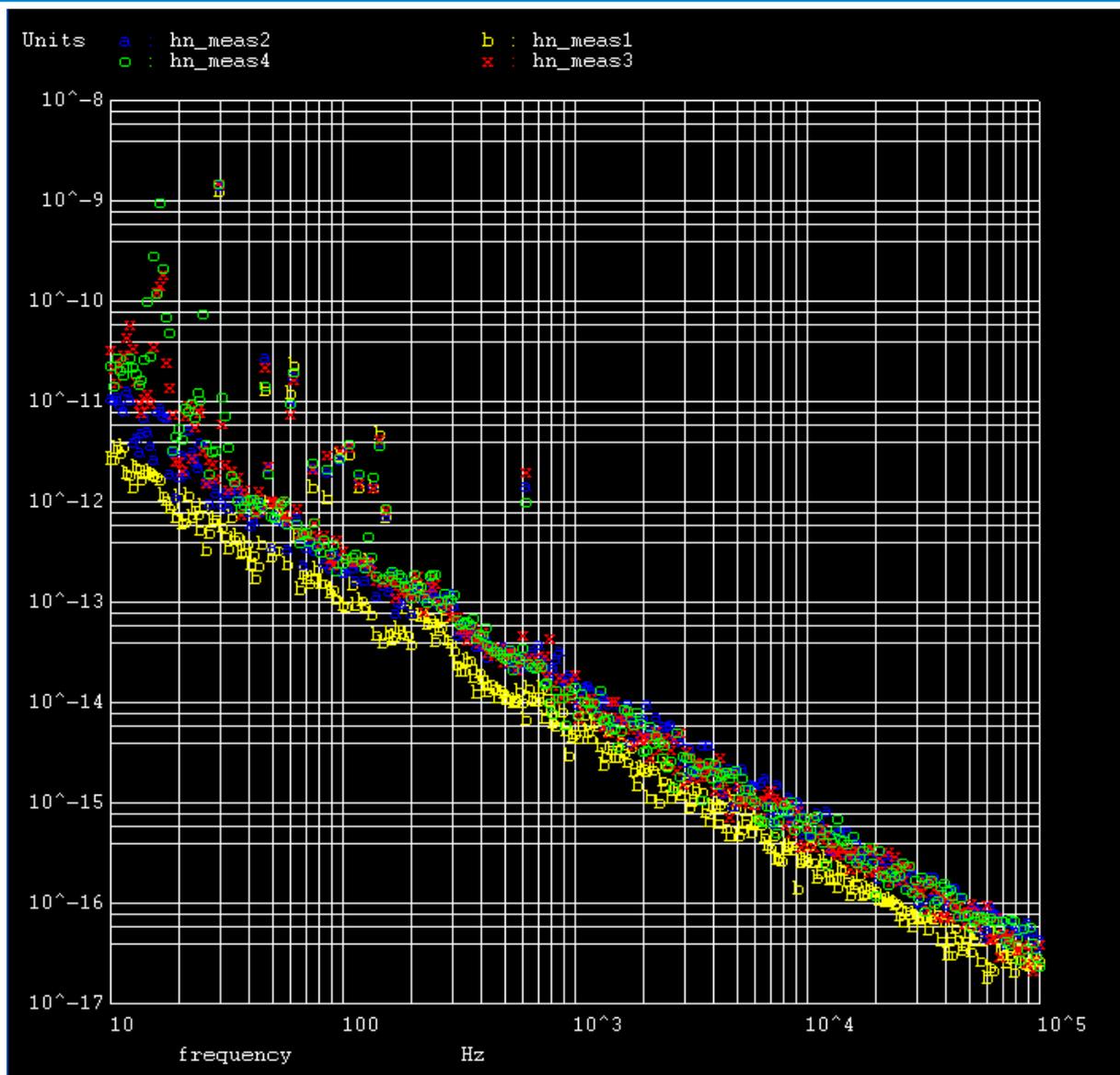
- 研究背景
- 雑音(ノイズ)の種類及び発生原因
- TEG作成
- **ノイズの測定及びモデルパラメータの抽出**
- 位相雑音シミュレーション
- まとめ

測定環境



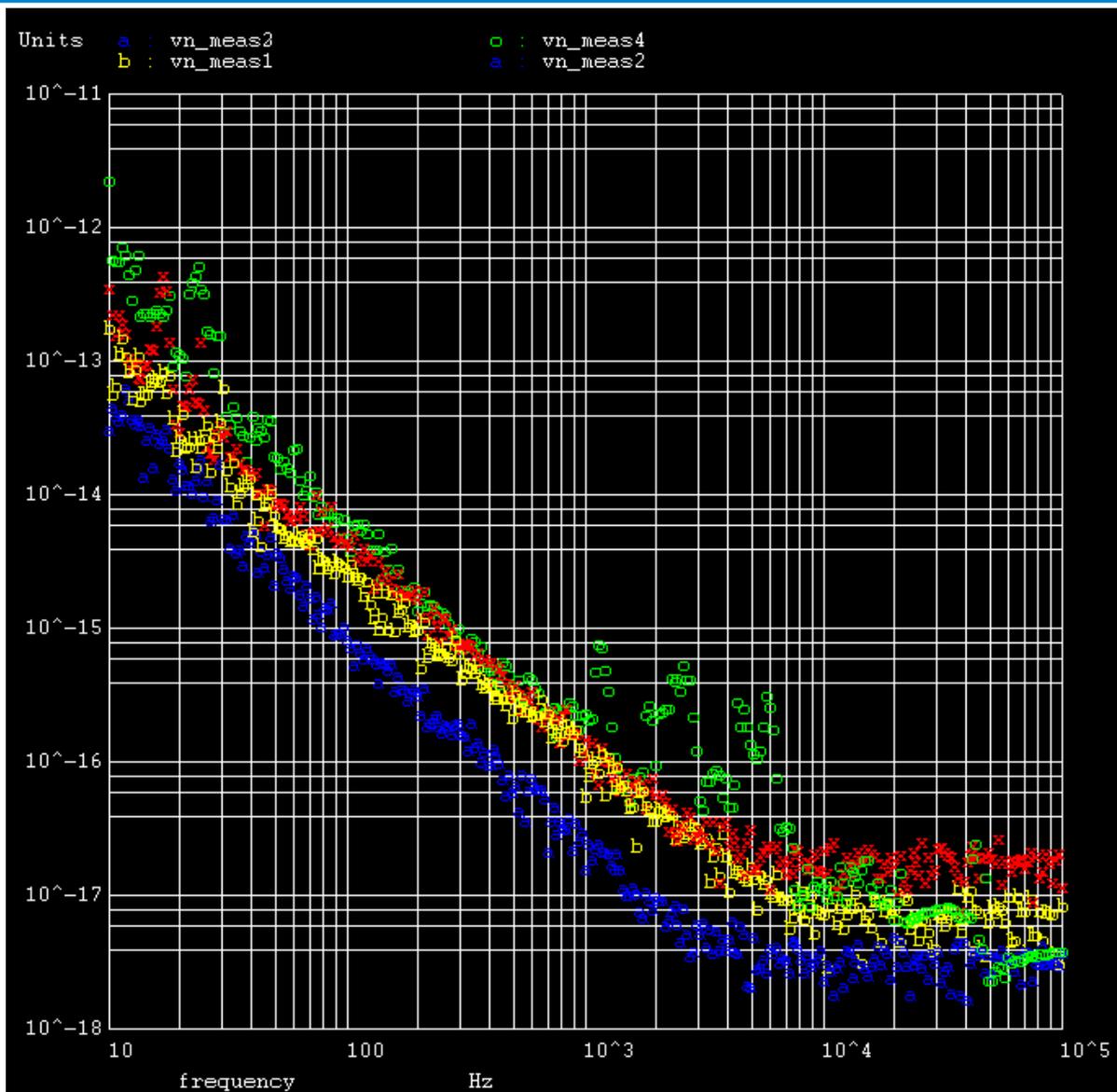
ハイソル株式会社マニュアルプローバーHMP-1000A-GU、Agilent Semiconductor Parameter Analyzerを用いて測定

1/fノイズばらつき測定結果



(VGS = 1.41 V, VDS = 1.0 V, L = 90nm, W = 10 μ m)

1/fノイズばらつき測定結果



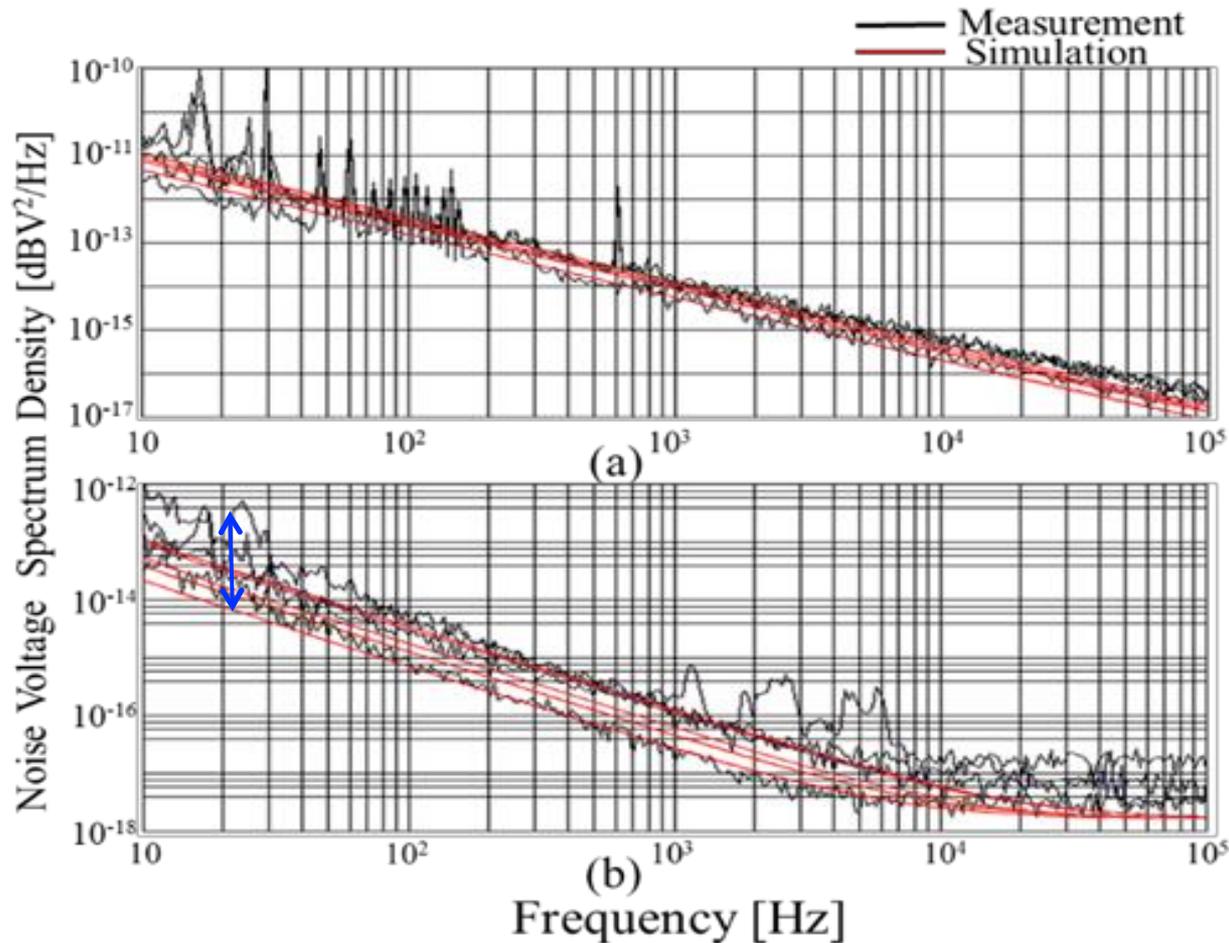
(VGS = 0.6V, VDS = 1.0 V, L = 90nm, W = 10 μ m)

抽出したモデルパラメータ

赤文字
開発した1/fノイズモデルの
パラメータ

```
.MODEL bsim4 NMOS
+ LEVEL = 9
+ BINUNIT = 1.000E+00
+ MOBMOD = 2.000E+00
+ EPSROX = 3.900E+00
+ FNOIMOD = 0.000E+00
+ TNOIMOD = 0.000E+00
+ DIOMOD = 1.000E+00
+ PERMOD = 1.000E+00
+ TOXE = 2.500e-9
+ TOXP = 2.500e-9
+ TOXM = 2.500e-9
+ TOXREF = 2.850e-9
+ DTOX = 0.000E+00
+ XJ = 1.250E-07
+ NDEP = 3.100E+18
+ NGATE = 1.000E+20
+ NSD = 5.100E+020
+ RSH = 0.000E+00
+ RSHG = 1.000E-01
+ TNOM = 25
+ LINT = -3.1692e-08
+ WINT = 2.9978e-08
+ VTH0 = 0.25155
+ VFB = -1.000E+00
+ PHIN = 0.000E+00
+ VOFF = -0.053757
+ NFACTOR = 0.69662
+ U0 = 0.064594
+ K1 = 0.52714
+ K2 = -0.055059
+ K3 = -168.2349
+ K3B = 90.2483
+ W0 = 4.7667e-06
+ LPE0 = 1.740E-07
+ LPEB = 0.000E+00
+ VBM = -3.000E+00
+ DVT0 = 0.11122
+ DVT1 = 0.06234
+ DVT2 = -0.00030983
+ DVT0W = -0.0016858
+ DVT1W = 145867.098
+ DVT2W = -0.46535
+ UA = 1.3558e-15
+ UB = 8.371e-20
+ UC = -9.9563e-19
+ EU = 1.6855
+ VSAT = 286843.3158
+ A0 = 4.9093
+ AGS = 1.1921
+ KETA = 0.045909
+ A1 = 0.000E+00
+ A2 = 1.000E+00
+ DELTA = 0.029728
+ VTL = 2.050E+05
+ RDSW = 65.3708
+ RDW = 1.000E+02
+ RSW = 1.000E+02
+ CDSC = 2.400E-04
+ ETA0 = -141.7894
+ ETAB = 1.03074647941e+13
+ DSUB = 5.600E-01
+ PCLM = 1.3969
+ PDIBLC1 = 0.0102
+ PDIBLC2 = 1.4882e-05
+ PDIBLCB = 0.000E+00
+ DROUT = 5.600E-01
+ PSCBE1 = 239141665.679
+ PSCBE2 = 1.6177e-05
+ PVAG = 0.000E+00
+ ALPHA0 = 5.6466e-10
+ ALPHA1 = -0.0028911
+ BETA0 = 4.95
+ AGIDL = 0.000E+00
+ BGIDL = 2.300E+09
+ CGIDL = 5.000E-01
+ EGIDL = 8.000E-01
+ AIGBACC = 4.300E-01
+ BIGBACC = 5.400E-02
+ CIGBACC = 7.500E-02
+ AIGBINV = 3.500E-01
+ BIGBINV = 3.000E-02
+ CIGBINV = 6.000E-03
+ EIGBINV = 1.100E+00
+ NIGBINV = 3.000E+00
+ AIGC = 5.400E-02
+ BIGC = 5.400E-02
+ CIGC = 7.500E-02
+ NIGC = 1.000E+00
+ AIGSD = 4.300E-01
+ BIGSD = 5.400E-02
+ CIGSD = 7.500E-02
+ EM = 859.0
+ AF = 0.3
+ EF = 1.3
+ ALPH = 4.0E-4
+ KFN = 2.0E-3
+ WL = -7.3447e-16
+ WLN = 1.000E+00
.SUBCKT noise1 1 2 3 4
CFO1 1 0 1E-005
RFO 1 11 100
CFO2 11 0 0.001
RLOAD 11 12 100
COUT 12 3 1E-005
ROUT 3 0 1E+006
RSOURCE 13 10 50
CFI2 10 0 0.001
RFI 10 2 100
CFI1 2 0 1E-005
CDUM 2 4 100
CIO 12 13 1E-015
M1 21 22 23 0
+ bsim4
+ L = 9E-008
+ W = 10E-006
RD 12 21 0.01
RG 13 22 0.01
RS 0 23 0.01
```

1/fノイズ測定結果



1/fノイズ測定とシミュレーション((a) $V_{GS} = 1.41V$ 、(b) $V_{GS} = 0.45V$)
 $V_{DS} = 1.0 V$, $L = 90 \text{ nm}$, $W = 10 \mu\text{m}$ のn-MOSFETを使用

V_{GS} が大きい(a)のに比べ(b)の方が一桁以上1/fノイズのばらつきの幅が大きいことが分かる。

劣化後のモデルパラメータ

```
.MODEL bsim4 NMOS
+ LEVEL = 9
+ BINUNIT = 1.000E+00
+ MOBMOD = 2.000E+00
+ EPSROX = 3.900E+00
+ FNOIMOD = 0.000E+00
+ TNOIMOD = 0.000E+00
+ DIOMOD = 1.000E+00
+ PERMOD = 1.000E+00
+ TOXE = 2.500e-9
+ TOXP = 2.500e-9
+ TOXM = 2.500e-9
+ TOXREF = 2.850e-9
+ DTOX = 0.000E+00
+ XJ = 1.250E-07
+ NDEP = 3.100E+18
+ NGATE = 1.000E+20
+ NSD = 5.100E+020
+ RSH = 0.000E+00
+ RSHG = 1.000E-01
+ TNOM = 25
+ LINT = -3.1692e-08
+ WINT = 2.9978e-08
+ VTH0 = 1.01155
+ VFB = -1.000E+00
+ PHIN = 0.000E+00
+ VOFF = -0.053757
+ NFACTOR = 0.69662
+ U0 = 0.064594
+ K1 = 0.52714
+ K2 = -0.055059
+ K3 = -168.2349
+ K3B = 90.2483
+ W0 = 4.7667e-06
+ LPE0 = 1.740E-07
+ LPEB = 0.000E+00
+ VBM = -3.000E+00
+ DVT0 = 0.11122
+ DVT1 = 0.06234
+ DVT2 = -0.00030983
+ DVT0W = -0.0016858
+ DVT1W = 145867.098
+ DVT2W = -0.46535
+ UA = 1.3558e-15
+ UB = 8.371e-20
+ UC = -9.9563e-19
+ EU = 1.6855
+ VSAT = 286843.3158
+ A0 = 4.9093
+ AGS = 1.1921
+ KETA = 0.045909
+ A1 = 0.000E+00
+ A2 = 1.000E+00
+ DELTA = 0.029728
+ VTL = 2.050E+05
+ RDSW = 65.3708
+ RDW = 1.000E+02
+ RSW = 1.000E+02
+ CDSC = 2.400E-04
+ ETA0 = -141.7894
+ ETAB =
1.03074647941e+13
+ DSUB = 5.600E-01
+ PCLM = 1.3969
+ PDIBLC1 = 0.0102
+ PDIBLC2 = 1.4882e-05
+ PDIBLCB = 0.000E+00
+ DROUT = 5.600E-01
+ PSCBE1 = 239141665.679
+ PSCBE2 = 1.6177e-05
+ PVAG = 0.000E+00
+ ALPHA0 = 5.6466e-10
+ ALPHA1 = -0.0028911
+ BETA0 = 4.95
+ AGIDL = 0.000E+00
+ BGIDL = 2.300E+09
+ CGIDL = 5.000E-01
+ EGIDL = 8.000E-01
+ AIGBACC = 4.300E-01
+ BIGBACC = 5.400E-02
+ AIGBINV = 3.500E-01
+ BIGBINV = 3.000E-02
+ CIGBINV = 6.000E-03
+ EIGBINV = 1.100E+00
+ NIGBINV = 3.000E+00
+ AIGC = 5.400E-02
+ BIGC = 5.400E-02
+ CIGC = 7.500E-02
+ NIGC = 1.000E+00
+ AIGSD = 4.300E-01
+ BIGSD = 5.400E-02
+ CIGSD = 7.500E-02
+ EM = 859.0
+ AF = 0.3
+ EF = 1.3
+ ALPH = 4.5E-4
+ KFN = 3.4E-3
+ WL = -7.3447e-16
+ WLN = 1.000E+00
.SUBCKT noise1 1 2 3 4
= CFO1 1 0 1E-005
RFO 1 11 100
CFO2 11 0 0.001
RLOAD 11 12 100
COUT 12 3 1E-005
ROUT 3 0 1E+006
RSOURCE 13 10 50
CFI2 10 0 0.001
RFI 10 2 100
CFI1 2 0 1E-005
CDUM 2 4 100
CIO 12 13 1E-015
M1 21 22 23 0
+ bsim4
+ L = 9E-008
+ W = 10E-006
RD 12 21 0.01
RG 13 22 0.01
RS 0 23 0.01
```

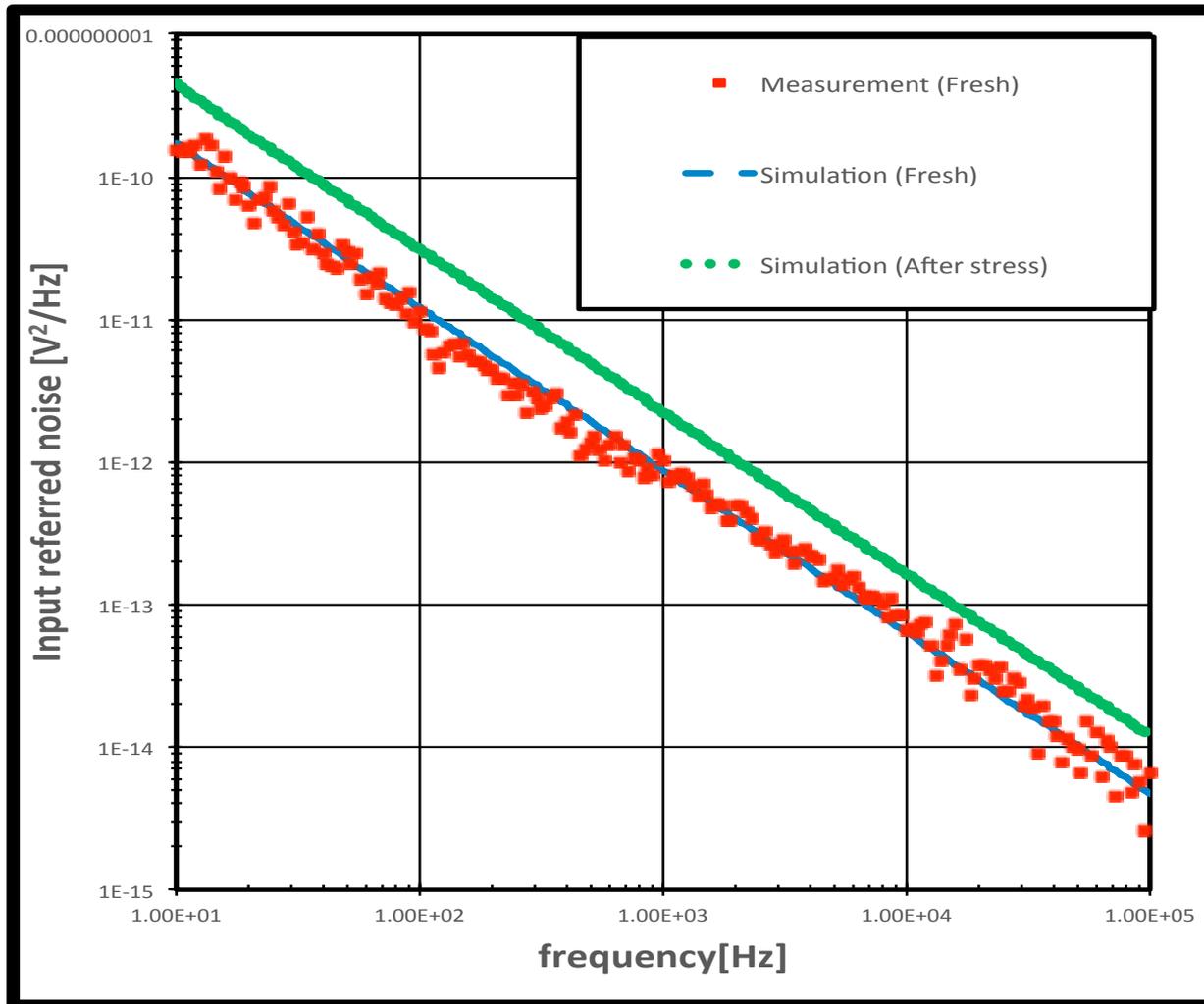
赤文字

劣化後のパラメータ

劣化前後の1/fノイズ特性

65 nm のデバイスの実験によるパラメータ値を入力

劣化後(室温300.15K、1000時間後)

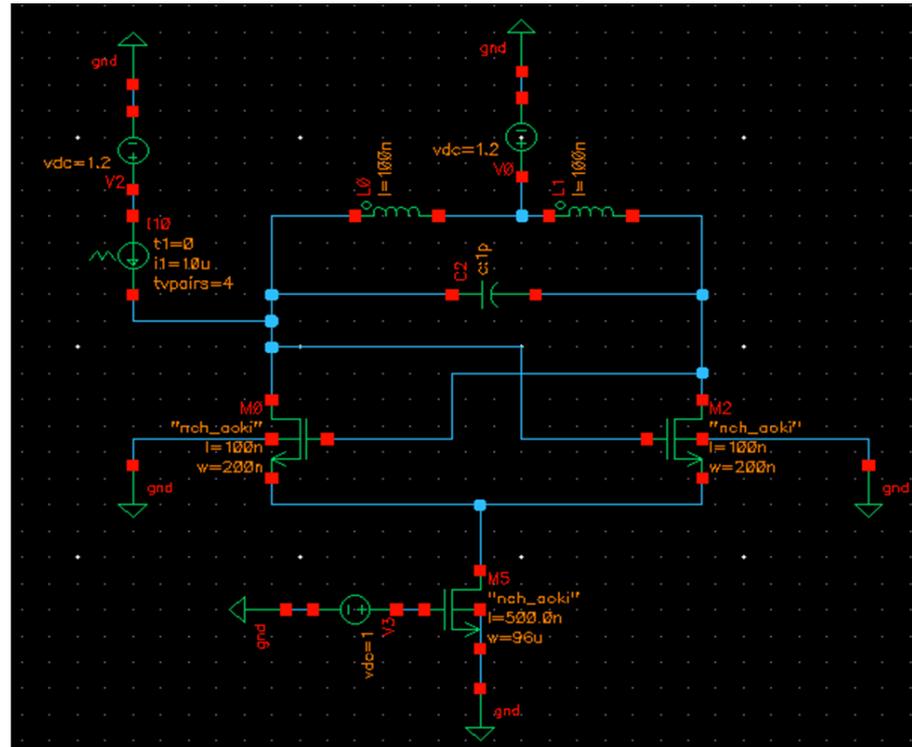
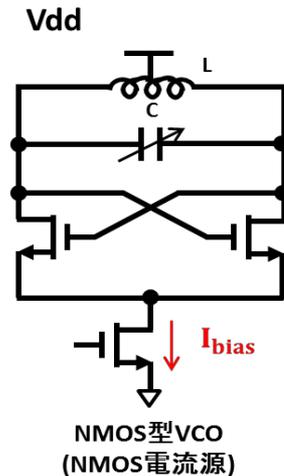


ドレイン出力1/fノイズ電圧密度特性

アウトライン

- 研究目的及び背景
- 雑音(ノイズ)の種類及び発生原因
- TEG作成
- ノイズの測定及びモデルパラメータの抽出
- **位相雑音シミュレーション**
- まとめ

VCO回路設計

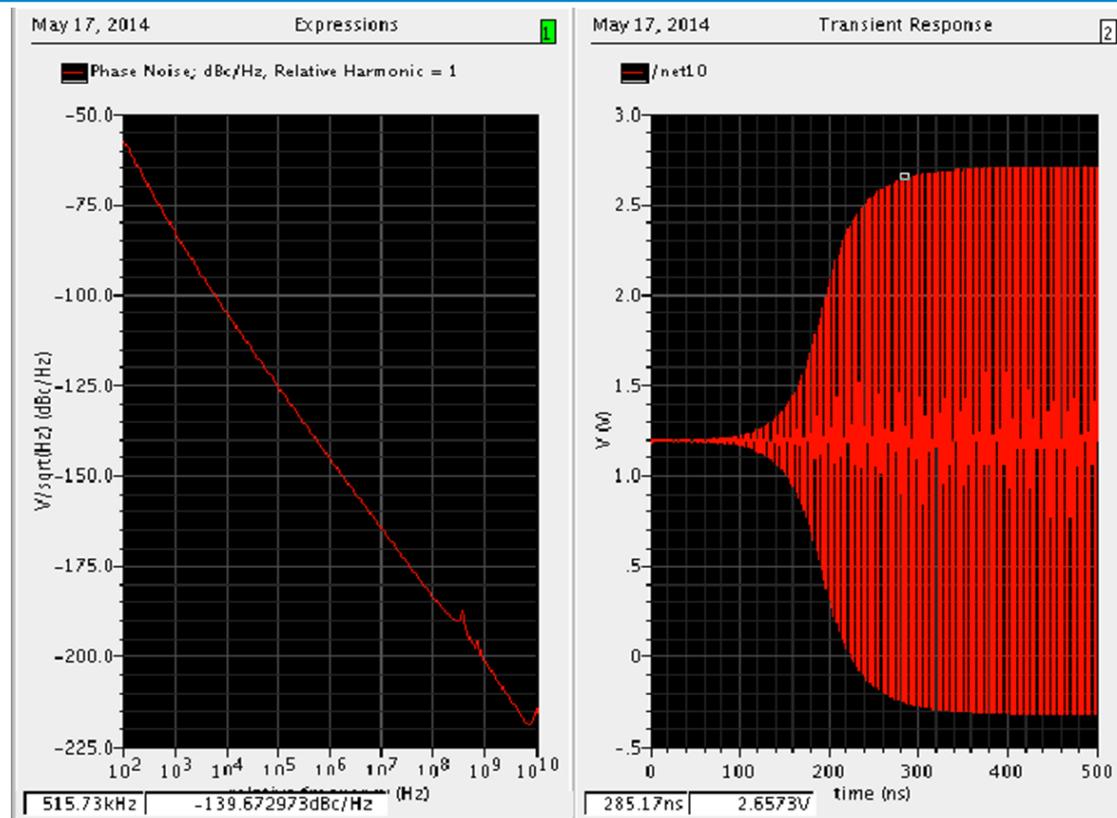


Cadence社のSPECTREシミュレーターを用いて位相雑音をシミュレーション

- 測定結果を用いるため → n-MOSFETのみのVCO回路構成
- n-MOSFET...キャリアが電子 → 移動度が高い
- ドレイン端が高電界になった時...チャンネル外に電子が飛び出し易い

- p-MOSFETに比べノイズが一桁以上大きい
- 回路動作にも大きく影響

位相雑音及び発振波形

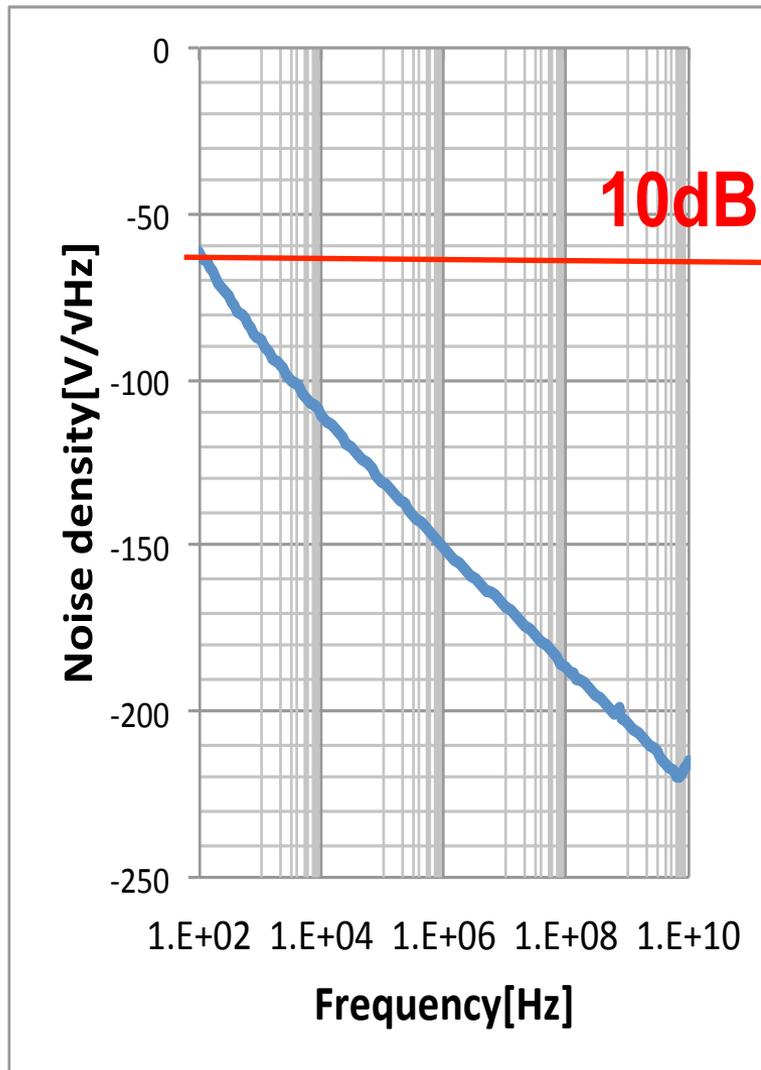


解析方法は以下の方法を用いた。

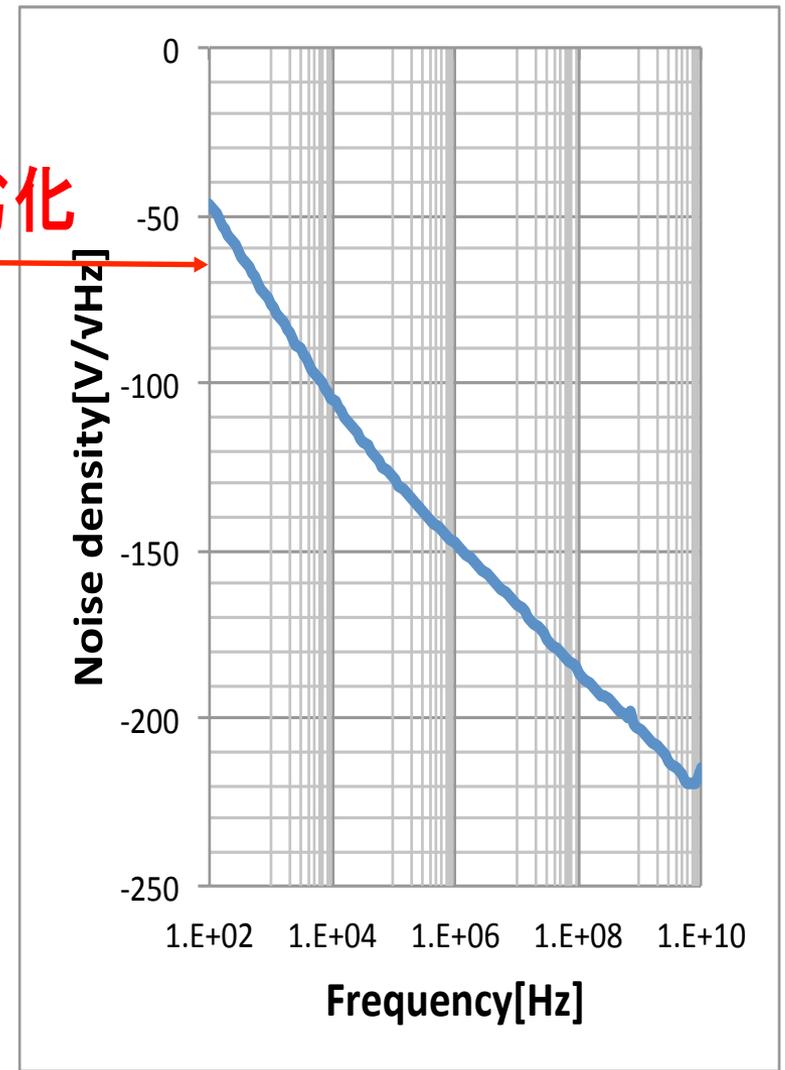
1. Transient analysis(tran)： 過渡解析
2. Periodic steady state analysis (pss) : 周期回路の定常状態の1周期タイムドメインベースで計算
3. Periodic noise analysis (pnoise) : pssの結果をベースにしたノイズ解析

発振していることを確認した。

位相雑音の劣化



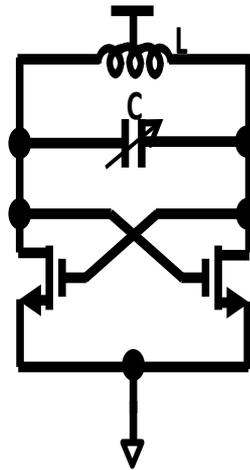
10dB劣化



位相雑音が劣化して大きくなっている

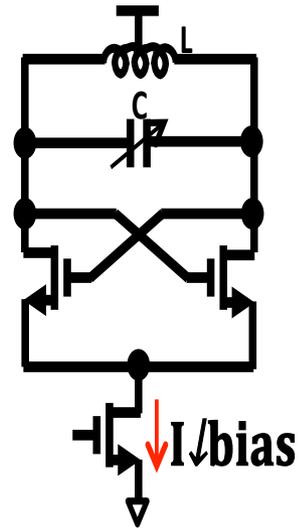
VCO回路構成

NMOS型VCO
(バイアス電流源なし)

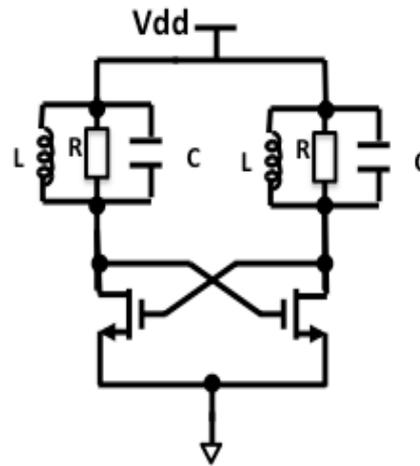


(a)

NMOS型VCO
(NMOS電流源)

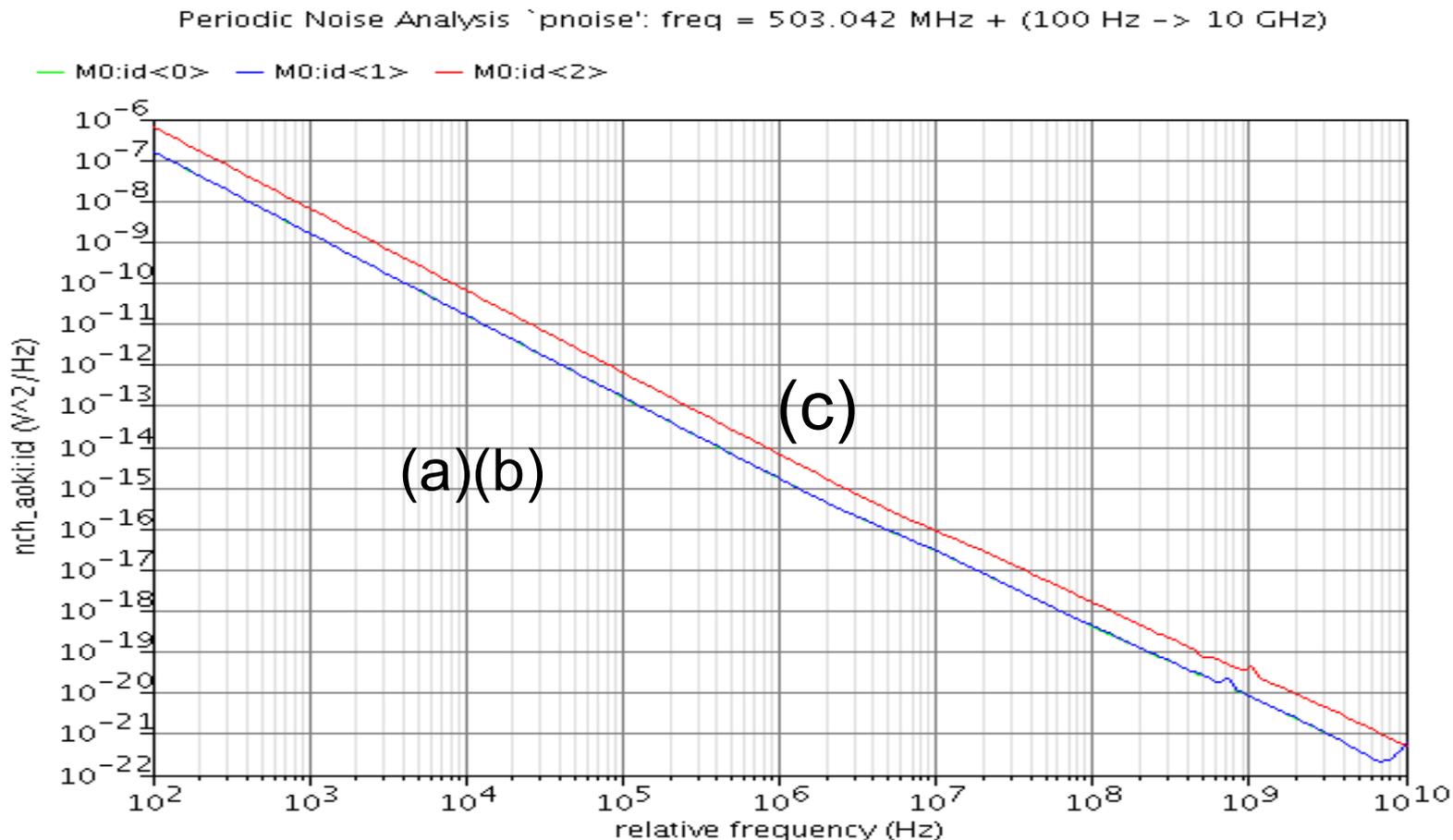


(b)



(c)

回路構成による位相雑音



(a)、(b)よりバイアス電流源は発振に関係ない

(c)バイアス源から抵抗を通った電流により熱雑音が発生する

アウトライン

- 研究目的及び背景
- 雑音(ノイズ)の種類及び発生原因
- TEG作成
- ノイズの測定及びモデルパラメータの抽出
- 位相雑音シミュレーション
- まとめ

まとめ

- TEGを作成し、ノイズの測定を行った
→ モデルパラメータの抽出
- 抽出したモデルパラメータをもとにデバイスの経年劣化時の特性を求めた
- 位相雑音の劣化が確認できた
- 回路トポロジーの違いによる位相雑音の比較を行った

実際の回路での特性ばらつきを持ったノイズ劣化特性の予想が可能に！

Q&A

- 里周二(宇都宮大)

Q: $1/f$ ノイズは $f=0$ の時どうなるか？(P11)

A:大きくなるのですが、発散するわけではなく、ある大きさになると思います。

- 清水(宇都宮大学)

Q:なにが原因で劣化が起きるのか？(P6)

A:経年変化による劣化を考えております。