

90nm n-channel MOSFET の Hot Electron Stress による経時劣化特性モデル化に関する研究

戸塚 拓也* 青木 均 新井 薫子
轟 俊一郎 香積 正基 東野将史 小林 春夫 (群馬大学)

Aging Model Development for 90nm n-MOSFETs Due to Hot Electron Stress

Takuya Totsuka*, Hitoshi Aoki, Yukiko Arai,
Shunichiro Todoroki, Masaki Kazumi, Masashi Higashino, Haruo Kobayashi (Gunma University)

1. はじめに

近年集積回路の微細化、アナログ・デジタル混載チップの性能向上や低電圧動作に伴い、モデルと実測との不一致が問題となり、回路使用に対して製造ばらつきや経時劣化が生じるといった問題がある。[1] そのため、設計にはマージンをとる必要がある。マージンを小さくすることで無駄を省き、量産コストを安く出来る。我々は経時劣化に焦点を置き、LDMOS 及び n チャネル MOSFET の、信頼性について研究を進める。本論文では 90 nm n チャネル MOSFET (n-MOSFET) について言及する。本研究ではこの HCI 現象を回路シミュレータ SPICE で回路設計者がシミュレーションを行い、劣化前、劣化後の直流電圧・電流特性を事前に予想できるよう、n-MOSFET のデバイスモデルに組み込むことを目的としている。本研究で使用する MOSFET モデルは BSIM4 モデル [2] を採用した。

n-MOSFET の経時、温度劣化には、飽和領域の高ドレイン電流において起こる、Hot Carrier Injection (HCI)や正の電圧ストレスを長時間かけることで発生する Positive Bias Temperature Instability (PBTI)現象がある。筆者らはここでより支配的であるとされる HCI 現象に焦点を当て特性解析化を行う。LDMOS, MOSFET において HCI 劣化特性の論文 [3, 4]では、測定や式中に I_{sub} などのバルクに関するパラメータを使用している。バルクに関するパラメータを使用していると、

ソースとバルクをショートして使用する場合に、正しく評価することが難しい。我々は、HCI による劣化をバルク電流を使わずに、しきい値を元に劣化特性を表していく。

HCI現象のモデルは、カリフォルニア大学バークレイ校 (UCB) のHu教授によって最初に導入された。[4] 後に発表されたHCIモデルは、Hu教授と同じ理論に基づいているが、異なる分析方法を考察し、より高度なCMOS技術にモデルを適用することを意図している。[5] 本HCIモデルはInterface Trap Number を算出しており、キャリアの移動度についても導出を行っている。そこで今回は本モデル式を利用する。また、HCI現象をSPICE上でシミュレーションするため、DC劣化現象をBSIM4モデルに取り込む。我々が使用しているSPICEモデルのBSIM4パラメータを用いて計算を行えるようにする。作成したトランジスタTEGを用いてフレッシュな状態のモデルパラメータを抽出し、シミュレーション上でチャンネル長依存の劣化DC特性を示す。

2. HCIによる劣化式の検討

HCIのモデルについては、多くのモデルが検討されている。[6, 7, 8, 9] その中で今回使用するモデルは、RDモデル [10] と呼ばれ、トランジスタのドレイン近傍で発生するホットキャリア効果を、修復されることなくモデル化する事が出来る。RDモデルはチャンネル/酸化膜界面及びゲートの接合部分付近

の水素拡散粒子の生成を方程式で表しており、劣化を単純化することができる。RDモデルでは N_{it} すなわち界面トラップ数、チャンネル/酸化膜界面での水素反応式は以下のように表す事が出来る。

$$N_{H(0)}N_{it} \approx \frac{k_F}{k_R}N_0 \quad (1)$$

$N_{H(0)}$ は界面における水素濃度の初期値、 N_{it} は界面トラップ数、 k_F は酸化膜電界依存フォワード解離速度定数、 k_R はアニーリング速度定数、 N_0 はSi-H結合の初期値を示している。

$$N_{H_x} = k_H N_H^{n_x} \quad (2)$$

N_H は体積あたりの水素粒子の濃度、 k_H は反応定数、 n_x は水素粒子あたりの水素原子数を示している。

界面トラップの数も破線のSi-H結合の数を積算することにより算出することができ、水素粒子は、ゲート酸化膜にそれらが作成されドレインから拡散する。したがってH原子は界面トラップ数の平均数として計算で以下のように表せる。

$$\begin{aligned} N_{it} &= \frac{\pi W}{2A_{tot}} n_x \int_0^{\sqrt{D_{H_x}t}} \left(N_{H_x(0)} \left[r - \frac{r^2}{\sqrt{D_{H_x}t}} \right] \right) dr \\ &= N_{H_x(0)} \frac{\pi n_x}{12L} D_{H_x}t \end{aligned} \quad (3)$$

$D_{H_x}t$ は N_H の密度、 A_{tot} ゲート下の総面積、 L はn-MOSFETの長さ、 W は幅を示している。

(1)(2)(3)式を組み合わせると以下ようになる。

$$N_{it} = \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \quad (4)$$

容量特性から、界面トラップによる電荷の電圧依存特性は、しきい値電圧近傍のSub-threshold特性カーブのずれとして表され、以下ようになる。

$$\begin{aligned} \Delta V_{th_{DEGRADATION}} &= \\ C_{HCI} \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \end{aligned} \quad (5)$$

D_H は水素原子の密度、 t は時間、 C_{HCI} は技術依存なパラメー

タである。式(5)のしきい値電圧のずれを移動度モデルの式に代入できれば、移動度劣化現象もモデル化できる。RDモデルは回路シミュレータ用コンパクトモデルとしては、そのままでは使用できない。このため、改造を加えたDC HCIモデル [5] を用いる。

BSIM4モデルの移動度モデル式は、以下のように3種類が搭載されており、MOBMODというパラメータで切り替えて使用可能である。

MOBMOD=1

$$\begin{aligned} \mu_{eff} &= \frac{U_0}{1 + (UA + UC * V_{bseff}) \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)} \\ &\frac{*f(L_{eff})}{+UB \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)^2 + UD \left(\frac{V_{th} * TOXE}{V_{gsteff} + 2V_{th}} \right)^2} \end{aligned} \quad (6)$$

MOBMOD=2

$$\begin{aligned} \mu_{eff} &= \frac{U_0}{1 + (UA + UC * V_{bseff})} \\ &\frac{*1}{\left[\frac{V_{gsteff} + C_0(\overline{V_{TH0}}) - V_{FB} - \phi_S}{TOXE} \right]^{EU}} \end{aligned} \quad (7)$$

MOBMOD=3

$$\begin{aligned} \mu_{eff} &= \frac{U_0}{1 + UD \left(\frac{V_{th} * TOXE}{V_{gsteff} + 2V_{th}} \right)^2 + (1 + UC * V_{bseff})} \\ &\frac{*f(L_{eff})}{\left[UA \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right) + UB \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)^2 \right]} \end{aligned} \quad (8)$$

式(8)の $f(L_{eff})$ は以下の式で表す。

$$f(L_{eff}) = 1 - UP * \exp\left(-\frac{L_{eff}}{LP}\right) \quad (9)$$

U_0 はキャリア移動度、 UA は移動度劣化の一次係数、 UB 移動度劣化の二次係数、 UC は移動度劣化の基板効果係数、 UD はクーロン散乱移動度劣化係数、 UP は移動度チャンネル長係

数, LP は移動度チャンネル長指数, $TOXE$ は電気ゲート酸化膜厚, V_{TH0} はドレイン電圧がゼロにおけるしきい値電圧, V_{th} はしきい値電圧, V_{FB} はフラットバンド電圧, V_{gsteff} は $V_{gs} - V_{th}$ の実効値, L_{eff} は実効チャンネル長, V_{bseff} は実効基板・ソース電圧, ϕ_s は表面電位, C_0 は定数でn-MOSFETのとき2.0, pチャンネルMOSFETのとき2.5である.

この3つの移動度モデルの中で, しきい値のパラメータが直接使用されているのは式 (7)のみである. よって $MOBMOD=2$ を選択して, モデルパラメータを抽出・最適化すれば移動度の劣化が直接シミュレーションできる.

次にしきい値電圧劣化をモデル式に反映させる. $BSIM4$ モデルのしきい値式に式 (5) の $\Delta V_{th_DEGRADATION}$ を加えることで, 直接しきい値を可変にすることができる.

$$\begin{aligned}
 V_{th} = & V_{TH0} + \Delta V_{th, body_effect} \\
 & - \Delta V_{th, charge_sharing} - \Delta V_{th, DIBL} \\
 & + \Delta V_{th, reverse_short_channel} + \Delta V_{th, narrow_width} \\
 & + \Delta V_{th, small_size} - \Delta V_{th, pocket_implant} \\
 & + \Delta V_{th_DEGRADATION}
 \end{aligned} \tag{10}$$

3. シミュレーションでの劣化DC特性及び

1/fノイズの劣化特性

$BSIM4$ モデルのDCのモデルパラメータを抽出・最適化して, その劣化をSPICEによりシミュレートする.

本実験では, チャンネル長依存の劣化DC特性をシミュートしていく. 作成したTEGの, 90 nmプロセスを用いたn-MOSFETで, チャンネル幅 $10.0 \mu m$, チャンネル長 $10.0 \mu m$ デバイスとチャンネル幅 $10.0 \mu m$, チャンネル長 $0.1 \mu m$ デバイスの測定データを使用した. チャンネル幅 $10.0 \mu m$, チャンネル長 $10.0 \mu m$ デバイスをLarge, チャンネル幅 $10.0 \mu m$, チャンネル長 $0.1 \mu m$ デバイスをShortとして示す.

[10]の文献で記述されている式 (5)に65 nmのデバイスの実験によるパラメータ値を利用し実際にどの程度劣化するのかを計算し, 室温300.15 Kでのしきい値電圧劣化特性を1,000秒後について求めた. このしきい値電圧を $BSIM4$ の V_{TH0} に加えることで, 1,000秒後の劣化後シミュレーションを行った. 使用した測定データに比べて, [10]の実験データはより微細なプロセスを用いているため, 誤差が発生している可能

性がある. 図1ではLargeでの $I_{DS} - V_{GS}$ 特性, 図2ではShortでの $I_{DS} - V_{GS}$ 特性を示している. 図3ではLargeでの $I_{DS} - V_{DS}$ 特性, 図4ではShortでの $I_{DS} - V_{DS}$ 特性を示している. 図1,2,3,4を比べて, LargeとShortでは電流量としきい値に短チャンネル効果が現れている. V_{th} のパラメータのみを劣化させているのだが, 図1, 2の $I_{DS} - V_{GS}$ 特性ではしきい値だけでなく, 傾きも変化していることが見て取れる. これは, 主に移動度のモデル式にも V_{TH0} のパラメータが用いられているからであり, 移動度の劣化が起きていることを示す. 図3, 4の $I_{DS} - V_{DS}$ 特性では, 電流量の減少がある. これは, HCI がドレイン端の高電界によってチャンネル内の電子がホットエレクトロンとなり, ゲート酸化膜への注入, 基板でのイオン化が起こりドレインチャンネルに到達する電子が減少するという理論[11]に一致している.

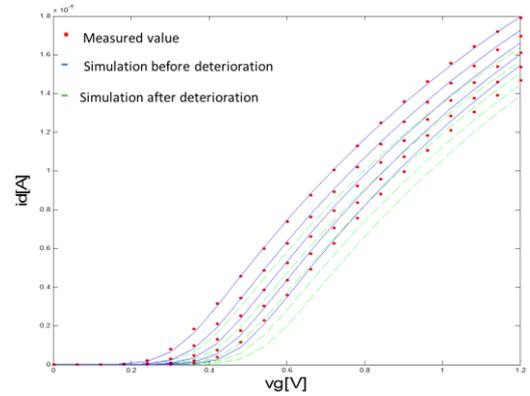


図1. Largeでの劣化前, 劣化後の $I_{DS} - V_{GS}$ 特性 ($V_{DS} = 0.01 V$)

Fig. 1. I_{DS} vs. V_{GS} characterizations of fresh and degraded n-MOSFET of Large ($V_{DS} = 0.01 V$)

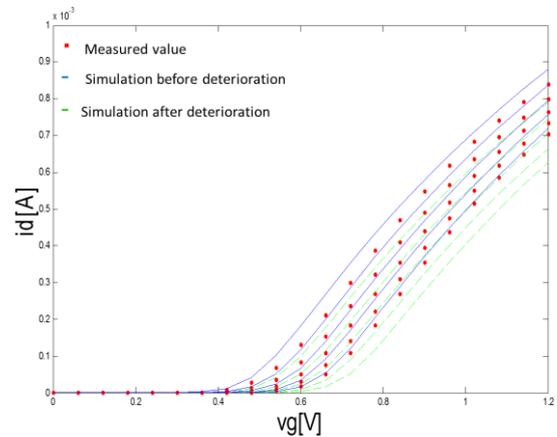


図2. Shortでの劣化前, 劣化後の $I_{DS} - V_{GS}$ 特性 ($V_{DS} = 0.01 V$)

Fig. 2. I_{DS} vs. V_{DS} characterizations of fresh and degraded n-MOSFET of Short ($V_{BS} = 0.01$ V)

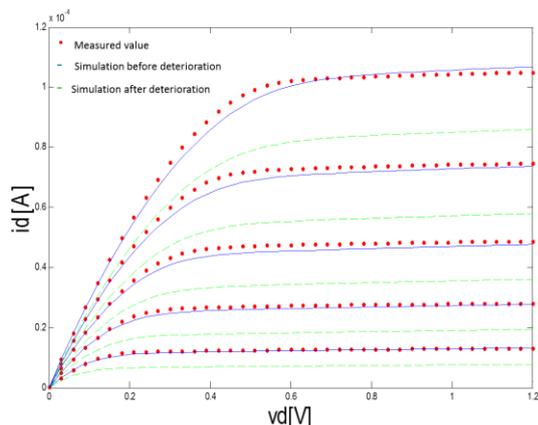


図3. Largeでの劣化前,劣化後のIds-Vds特性 ($V_{ds} = 0.0$ V)

Fig.3. I_{DS} vs. V_{DS} characterizations of fresh and degraded n-MOSFET of Large ($V_{BS} = 0.0$ V)

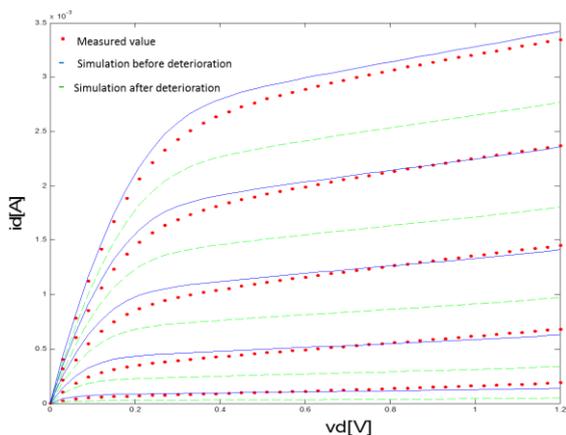


図4. Shortでの劣化前,劣化後のIds-Vds特性 ($V_{ds} = 0.0$ V)

Fig.4. I_{DS} vs. V_{DS} characterizations of fresh and degraded n-MOSFET of Short ($V_{BS} = 0.0$ V)

まとめ

本研究ではnチャネルMOSFETのHCI現象を回路シミュレータSPICEを用い、劣化前、劣化後の直流電圧・電流特性を事前に予想するための手法を開発した。nチャネルMOSFETのデバイスモデルにはBSIM4モデルを採用した。TEGを設計し、DC特性の測定を行い、モデルパラメータの抽出を行った。DC特性のモデルパラメータをHCI劣化式で計算することで、バルク電流を使わずに劣化現象をシミュレートした。

参考文献

- [1] Y. Tsvividis, K. Suyama “MOSFET Modeling for Analog Circuit CAD: Problems and Prospects” IEEE Journal, Solid-State circuits, 29(3), 210 – 246, 1994,
- [2] Information on <http://www-device.eecs.berkeley.edu/bsim/>
- [3] D. Brisbin, A. Strachan, P. Vhparala ” Hot-Carrier Reliability and Design of N- LDMOS Transistor Arrays” Integratd Reliability Workshop Final Report,2001. 2001 IEEE International. 44-48, 2001.
- [4] C. Hu, et al, ”Hot-electron induced MOSFET degradation model, monitor, and improvement, ” IEEE Trans. Electron Devices, 32(2), 375-385, 1985.
- [5] E. Maricau and G. Gielen, *Analog IC Reliability in Nanometer CMOS*, Springer Science+Business Media, New York, 2013.
- [6] X. Federspiel, M. Rafik, D. Angot, F. Cacho, D. Roy “Interaction between BTI and HCI degradation in High-K devices” IEEE International, 14-18, 2013.
- [7] X. Federspiel, F. Cacho, D. Roy “Experimental characterization of the interactions between HCI, off-state and BTI degradation modes” IEEE International, 16-20, 2011
- [8] W. Xiaofei, P. Jain, D. Jiao, C. Kim “Impact of Interconnect Length on BTI and HCI Induced Frequency Degradation” IEEE International, 15-19, 2012
- [9] W. Xiaofei, T. Qianying, P. Jain, D. Jian, C. Kim “The Dependence of BTI and HCI-Induced Frequency Degradation on Interconnect Length and Its Circuit Level Implications” IEEE Trans, Very Large Scale Integration Systems, 23(2), 280-291, 2014
- [10] H. Kufluoglu, M. A. Alam, “A unified modeling of NBTI and hot carrier injection for MOSFET reliability. ” 10th International Workshop on Computational Electronics, pp. 28-29, Oct. 2004.
- [11] 青木均, 鷲末政憲, 川原康雄, *CMOSモデリング技術*, 丸善出版, 2006