

# LDMOS の経時・温度劣化特性解析とモデル化に関する研究

築地 伸和\* 青木 均 新井 薫子 轟 俊一郎 香積 正基  
戸塚 拓也 東野 将史 小林 春夫 (群馬大学)

## A Study on Time and Temperature Degradation Characterization and the Modeling of Laterally Diffused Metal Oxide Semiconductors

Nobukazu Tsukiji\*, Hitoshi Aoki, Yukiko Arai, Shunichiro Todoroki, Masaki Kazumi

Takuya Totsuka, Masashi Higashino, Haruo Kobayashi (Gunma University)

tsukiji@el.gunma-u.ac.jp h.aoki@oak.gunma-u.ac.jp k.haruo@el.gunma-u.ac.jp

キーワード：信頼性解析, 経時劣化, 経時劣化モデル, LDMOS, デバイスマデリング  
(Reliability Analysis, Time Degradation, Aging Model, LDMOS, Device Modeling)

### 1. はじめに

Laterally Diffused MOS (LDMOS)はドレイン領域を横方向に拡張することにより, ドレインとゲート間の電界強度を緩和する構造にした横型 MOS トランジスタである. 耐圧が高く, オン抵抗が低いことが特徴で, DC/DC コンバータの出力段や携帯基地局用のパワーアンプなどに用いられている. これらのアプリケーションは高電圧・大電流で使用するため, 低電圧領域で使用する MOS トランジスタより経時・温度劣化が顕著となり, これらの劣化を予測することはデバイスの信頼性において重要な課題である.

一般的な n チャネル MOSFET の経時・温度劣化には, 飽和領域の高ドレイン電流において起こる Hot Carrier Injection (HCI)や正の電圧ストレスを長時間かけることで発生する Positive Bias Temperature Instability (PBTI)現象がある[1]. 筆者らは, より支配的であるとされる HCI 現象に焦点を当て特性解析を行う.

本研究では DC バイアスによる HCI 劣化現象を回路シミュレータ SPICE で回路設計者がシミュレートし, 劣化前, 劣化後の直流電圧・電流特性を事前に予想できるよう, n チャネル LDMOS のデバイスマデルに組み込むことを目的とする. 本研究で使用する n チャネル LDMOS モデルは高耐圧トランジスタの国際標準モデルである HiSIM-HV[2]を採用した.

LDMOS の HCI 劣化現象に関する文献[3]によると, n チャネル LDMOS における“HCI による劣化現象は, ドリフト層のキャリア減少からのオン抵抗増加による”と報告されており, 文献[4,5]などでオン抵抗の HCI 劣化モデルが報告されている. したがって, 今回は LDMOS における HCI 劣化現象をドリフト領域のオン抵抗増加を前提とし, 劣化前後の DC 特性の変化をモデル化したのでこれを報告する.

### 2. LDMOS の基本構造と HiSIM-HV モデル

図 1 に LDMOS の基本構造, 図 2 に HiSIM-HV モデルにおける LDMOS モデルのコンセプトを示す. LDMOS の最も重要な特徴は高耐圧を実現するために導入されたドリフト領域にある. LDMOS におけるキャリアはソースから供給され, チャンネル領域の反転層を通じて拡散した後, ドリフト領域からドリフトによってドレインへ到達する. このときドレイン・ソース間に印加される電圧の大部分はドリフト領域で電圧降下する. 図 2 のように HiSIM-HV モデルでは LDMOS のドリフト領域を抵抗としてモデル化している. HiSIM-HV モデルにおけるドリフト領域の抵抗  $R_{drift}$  は式(1)~(3)のように定義されている[2].

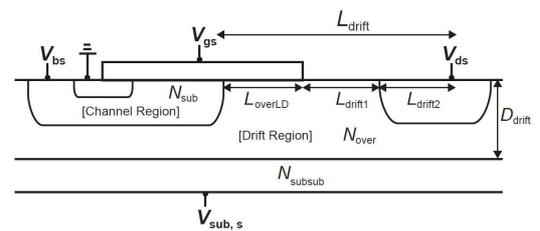


図 1 LDMOS の構造 [2]

Fig.1 Schematic of a LDMOS

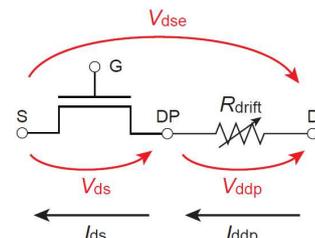


図 2 LDMOS モデルのコンセプト[2]

Fig.2 LDMOS Model concept in HiSIM-HV

$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left( 1 + \frac{RDVG11}{RDVG12} - \frac{RDVG11}{RDVG12} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot RDVB) \cdot \left( \frac{LDRIFT1 + LDRIFT2}{DDRIFT - W_{dep}} \right) \quad (1)$$

$$R_d = \frac{R_{d0}}{W_{eff,LD} \cdot NF} \left( 1 + \frac{RDS}{(W_{gate} \cdot 10^6 \cdot L_{gated0} \cdot 10^6)^{RDSF}} \right) \quad (2)$$

$$R_{d0} = (RD + R_{d0,temp}) f_1 \cdot f_2 \quad (3)$$

### 3. モデルパラメータ抽出とシミュレーション

ここでは文献[6]で報告されている直流電流・電圧特性を数値化し、測定データとした。図3は測定に使用されたnチャンネルLDMOSの断面図である。このnチャンネルLDMOSはプロセス幅0.18 $\mu$ mで作製され、ゲート長は20 $\mu$ m、ゲート幅は0.4 $\mu$ m、ゲート酸化膜厚は115Åである。

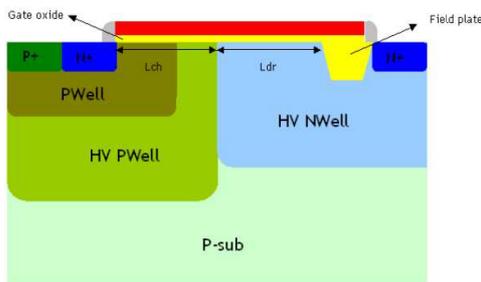


図3 測定に用いたnチャンネルLDMOSの断面図[6]

Fig.3 Schematic cross section of the n-type LDMOS transistor used in [6].

はじめに、HCI劣化におけるドレイン電流・ゲート電圧特性の解析を行った。図4にHCI劣化前後のドレイン電流・ゲート電圧特性を示す。図4より、ストレス印加前後でしきい値電圧が変化せず、実効移動度減少、または、ドレイン抵抗増加によりドレイン電流が減少しているということが判る。この二つの要因を仮定し、HiSIM-HVモデルのモデル式を解析し、劣化特性のモデルパラメータ選定を行った。図5に測定データから抽出したモデルと測定データのドレイン電流・ゲート電圧特性の比較を示す。抽出したモデルは測定データと良く一致しており、解析した結果、HiSIM-HVモデルにおけるドリフト抵抗パラメータRDが劣化していることが判明した。

次にHCI劣化におけるドレイン電流・電圧特性の解析を行った。図6にHCI劣化前後のドレイン電流・電圧特性を示す。図6より、ストレス印加前後において飽和領域のドレイン電流は変化せず、変化しているのはピンチオフ領域に限定されていることが判る。図7に測定データから抽出したモデルと測定データのドレイン電流・電圧特性の比較を示す。ストレス印加前後においてモデルパラメータはドリフト抵抗RDのみを変化させている。抽出したモデルは、実験的に行ったために、まだ測定データと完全に一致はしていないが、飽和領域のドレイン電流は変化せず、ピンチオフ領域のみ変化するという特徴を再現していることが確認できる。

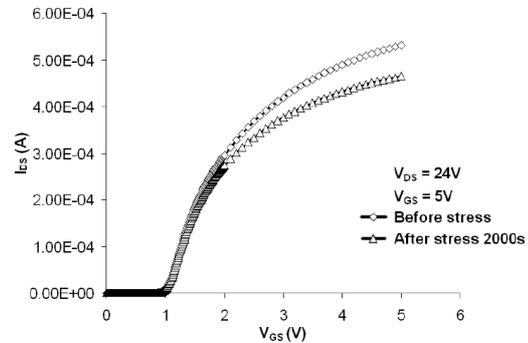


図4 HCI劣化前・劣化後のIds vs Vgs特性[6]

Fig.4 Ids vs Vgs characteristics of an n-type LDMOS before and after hot-carrier induced degradation.

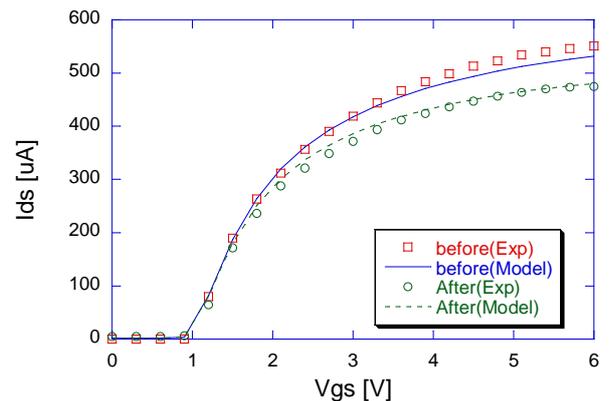


図5 抽出モデルと測定データのIds vs Vgs特性比較

Fig.5 Ids vs Vgs characteristics of an n-type LDMOS before and after hot-carrier induced degradation.

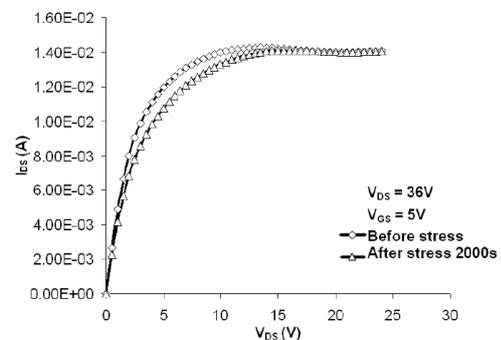


図6 HCI劣化前・劣化後のIds vs Vds特性[6]

Fig.6 Ids vs Vds characteristics of an n-type LDMOS before and after hot-carrier induced degradation.

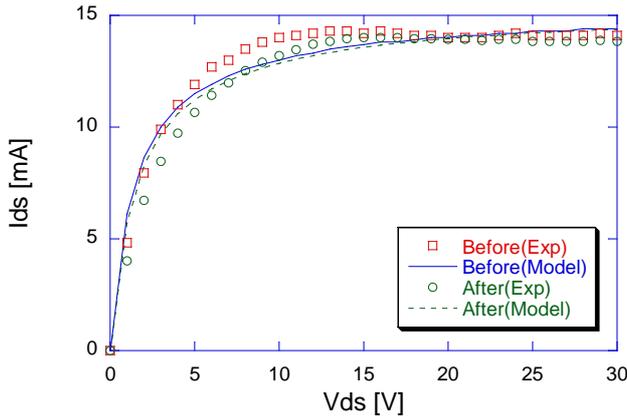


図7 抽出モデルと測定データの  $I_{ds}$  vs  $V_{ds}$  特性比較  
Fig.7  $I_{ds}$  vs  $V_{ds}$  characteristics of an n-type LDMOS before and after hot-carrier induced degradation.

最後に、HCI 劣化におけるドレイン電流の時間変化の解析について示す。図8にHCI劣化によるドレイン電流の時間変化を示す。縦軸はストレス印加前のドレイン電流値からの変化率を示しており、これは式(4)で表すことができる。

$$\Delta I_D = \frac{I_D(0) - I_D(t)}{I_D(0)} \times 100 \quad (4)$$

$I_D(0)$ はストレス印加前の電流値である。図9は図8の測定データを数値化し、関数を作成してフィッティングをしたものを示している。フィッティング関数は式(5)を用いることで測定データとよく一致した。この結果より、HCI劣化によるドレイン電流は指数関数的に減少していくことが予想される。

$$y(t) = A_1 \exp(-t/\tau_1) + A_2 \exp(-t/\tau_2) + y_0 \quad (5)$$

これまでの解析より、①HCIによってドリフト抵抗が劣化し、②劣化によるドレイン電流は指数関数的に減少するということがわかっている。これらの結果をふまえ、HCI劣化現象を回路シミュレータSPICEで再現させるモデルを作成した。図10にHCI劣化によるドレイン電流の時間変化測定データとSPICEシミュレーション値の比較を示す。測定データは、図8の電流変化率から式(4)を用いて絶対値に変換した。シミュレーション値はHiSIM-HVモデルのドリフト抵抗パラメータRDを式(6)に置き換えてシミュレーションしたものである。

$$RD = RD_{Fresh} \cdot AD \cdot \exp(-BD/t) \quad (6)$$

ここで、AD、BDはフィッティングパラメータ、 $RD_{Fresh}$ はRDの初期値である。簡易的なモデルのため細部まで測定データと一致はしていないが、ドリフト抵抗の劣化による電流値減少を再現していることが確認できる。

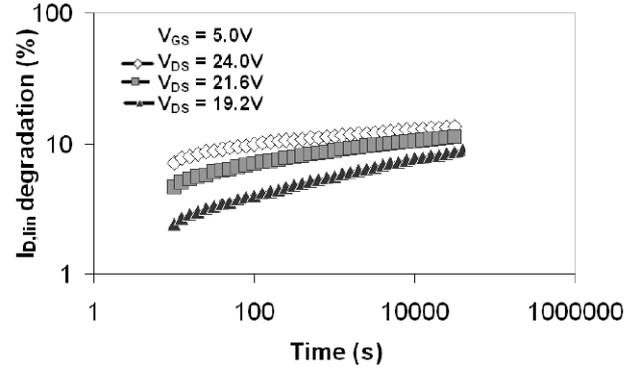


図8 HCI劣化によるドレイン電流の変化 [6]

Fig.8  $I_{d,lin}$  shift as a function of stress time for the device stressed under various  $V_{DS}$  with  $V_{GS} = 5V$ .

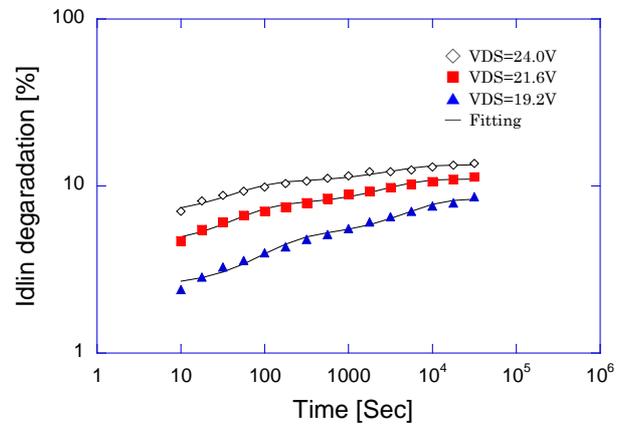


図9 HCI劣化によるドレイン電流変化の関数フィッティング

Fig.9 Function fitting of time variation of  $I_{d,lin}$  due to HCI degradation.

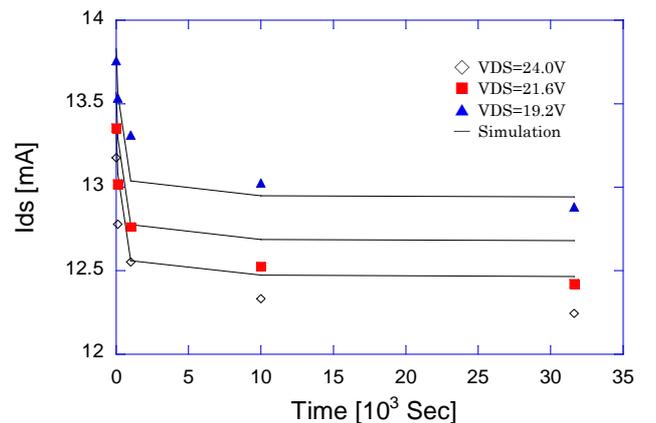


図10 HCI劣化によるドレイン電流変化の測定値とシミュレーション値の比較

Fig.10 Comparison measured with simulated values of the time variation of drain current due to HCI degradation.

#### 4. まとめ

本研究では、n チャネル LDMOS の HCI 劣化前後の直流電圧・電流特性を解析し、回路シミュレータ SPICE を用いて、事前に劣化前後の直流電圧・電流特性に予想するためのモデルを開発した。n チャネル LDMOS のデバイスモデルには、HiSIM-HV モデルを採用し、ドリフト抵抗のモデルパラメータを、劣化式で計算することによりシミュレーションし、時間経過によるドレイン電流の減少を再現した。

本論文で作成したモデルはフィッティングモデルである。また、モデルパラメータもドリフト領域の抵抗に限定している。今後は HCI 劣化におけるゲート・ドレインのストレス電圧依存性、移動度・しきい値など、他のパラメータの劣化メカニズムの解析・実測を行い、LDMOS の経時・温度劣化モデルを完成させたい。

#### 文 献

- 
- [1] E. Marica and G. Gielen, : “Analog IC Reliability in Nanometer CMOS”, Springer Science+Business Media New York (2013).
  - [2] Hisim-HV 2.2.0 User’s manual  
[http://home.hiroshima-u.ac.jp/usdl/HiSIM\\_HV/C-Code/HiSIM\\_HV\\_C.html](http://home.hiroshima-u.ac.jp/usdl/HiSIM_HV/C-Code/HiSIM_HV_C.html)
  - [3] S. Reggiani, et al.: “Physics-Based Analytical Model for HCS Degradation in STI-LDMOS Transistors”, IEEE Transactions on Electron Devices, vol. 58, No. 9, pp.3072-3080, (2011).
  - [4] P. Moens, et al.: “A Comprehensive Model For Hot Carrier Degradation in LDMOS Transistors”, IEEE International Reliability physics symposium,pp.492-497, (2007).
  - [5] Guido. T. Sasse, et al.: “An LDMOS hot carrier model for circuit reliability simulation”, IEEE International Reliability physics symposium,pp.5D.5.1-5D.5.6, (2014).
  - [6] N. Soin.S.S.Shahabudin and K.K.Goh, et al.: “Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type Lateral DMOS Transistors”,10th IEEE International Conference on Semiconductor Electronics, pp.659-663 (2012)