

LDMOSの経時・温度劣化 特性解析とモデル化に関する研究



群馬大学大学院理工学府 電子情報数理領域

発表者 博士後期課程1年 築地 伸和

青木均 新井薫子 轟俊一郎

香積 正積 戸塚拓也 東野将司 小林春夫

アウトライン

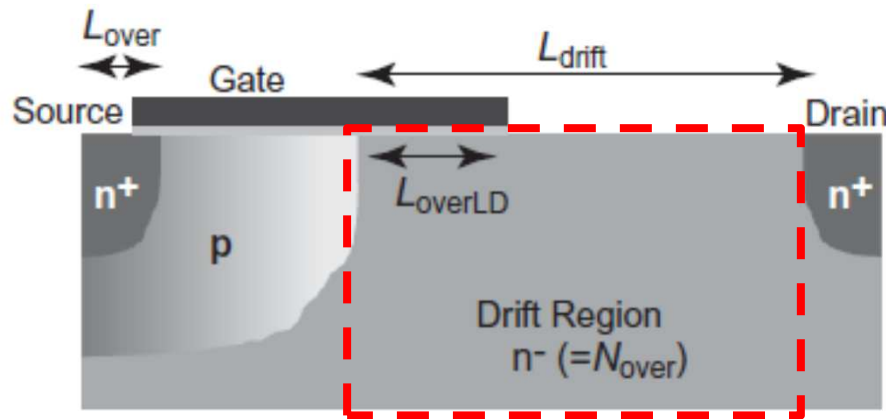
- 研究背景
- 研究目的
- HiSIM-HVにおけるLDMOSモデル
- モデルパラメータ抽出とシミュレーション
- まとめ
- 今後の課題

アウトライン

- **研究背景**
- 研究目的
- HiSIM-HVにおけるLDMOSモデル
- モデルパラメータ抽出とシミュレーション
- まとめ
- 今後の課題

研究背景

- LDMOS(Laterally Diffused MOS)とは？



特徴

ドレイン領域拡張し、
横方向電界緩和により
高耐圧化

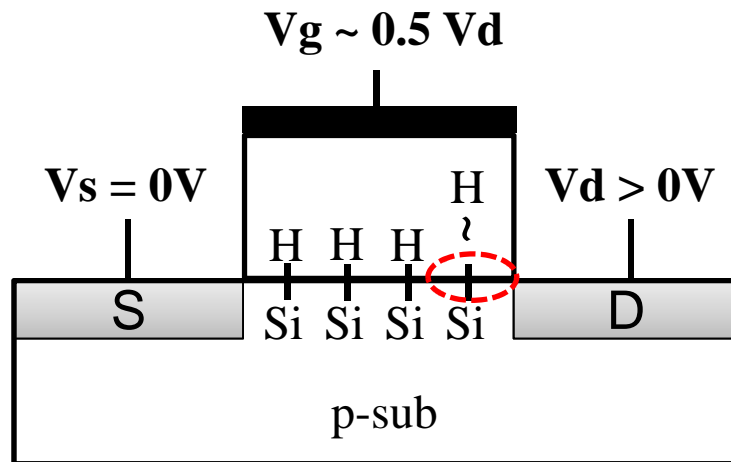
- LDMOSの用途

– 携帯基地局パワーアンプ/DC・DCコンバータ

→ 主に高電圧・大電流用途に使用されるため、
経年劣化によるデバイス信頼性が重要な課題

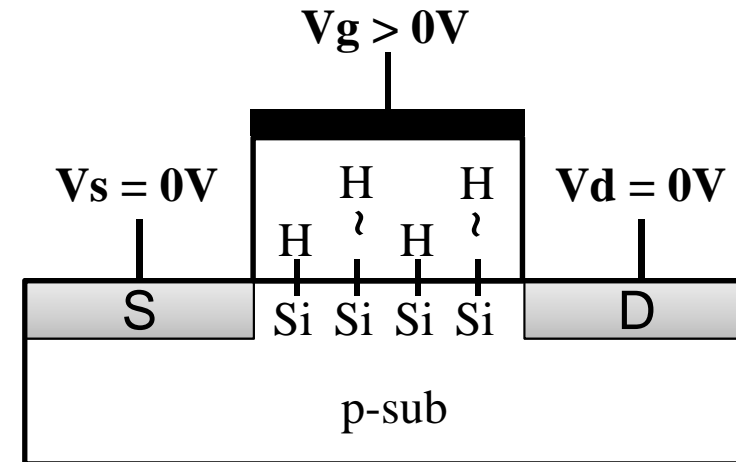
研究背景

- NMOSの劣化メカニズム



HCI

(Hot Carrier Injection)



PBTi

(Positive Bias Temperature Instability)

- LDMOSの劣化メカニズム

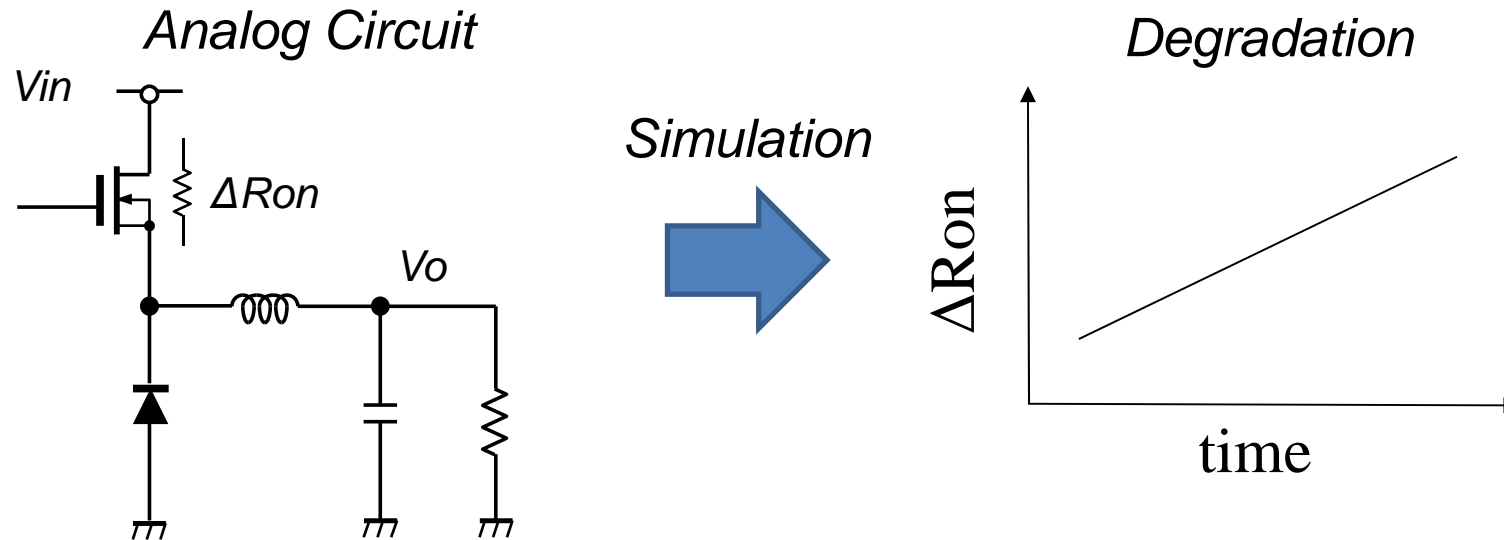
- 用途(高電圧・大電流)よりHCIが支配的
- 詳細は研究途上

アウトライン

- 研究背景
- **研究目的**
- HiSIM-HVにおけるLDMOSモデル
- モデルパラメータ抽出とシミュレーション
- まとめ
- 今後の課題

研究目的

- LDMOSのHCI劣化現象をモデル化
 - 回路シミュレータでHCI劣化による性能変化を予想可能



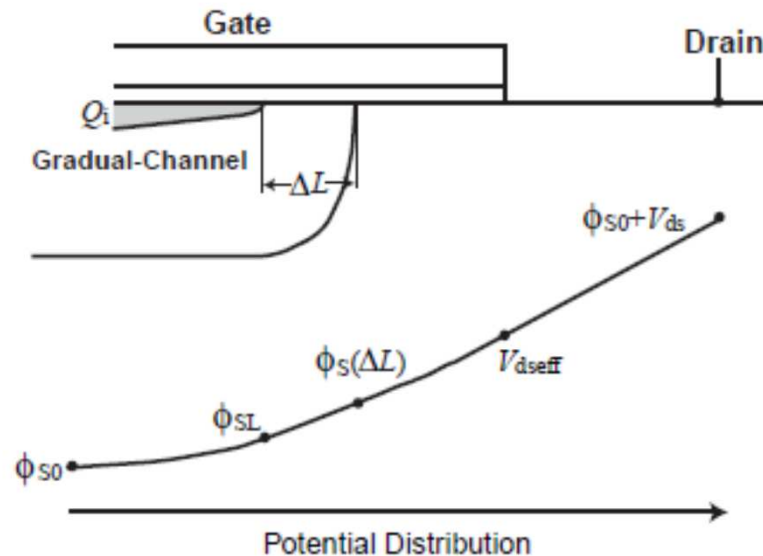
※劣化条件はDCバイアス、デバイスはnチャネルLDMOSに限定

アウトライン

- 研究背景
- 研究目的
- **HiSIM-HVにおけるLDMOSモデル**
- モデルパラメータ抽出とシミュレーション
- まとめ
- 今後の課題

HiSIM-HV

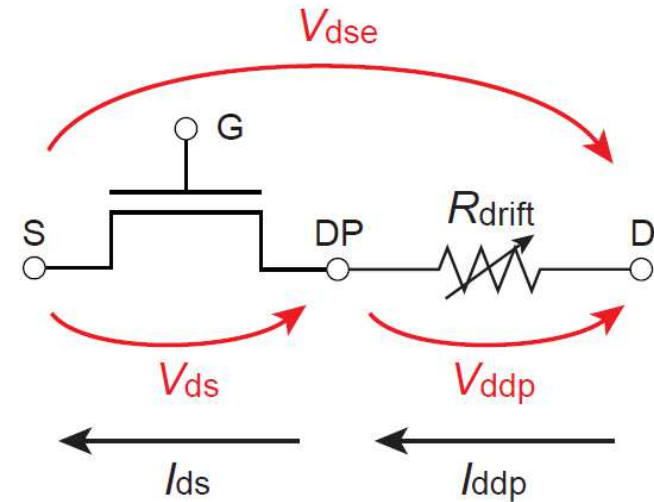
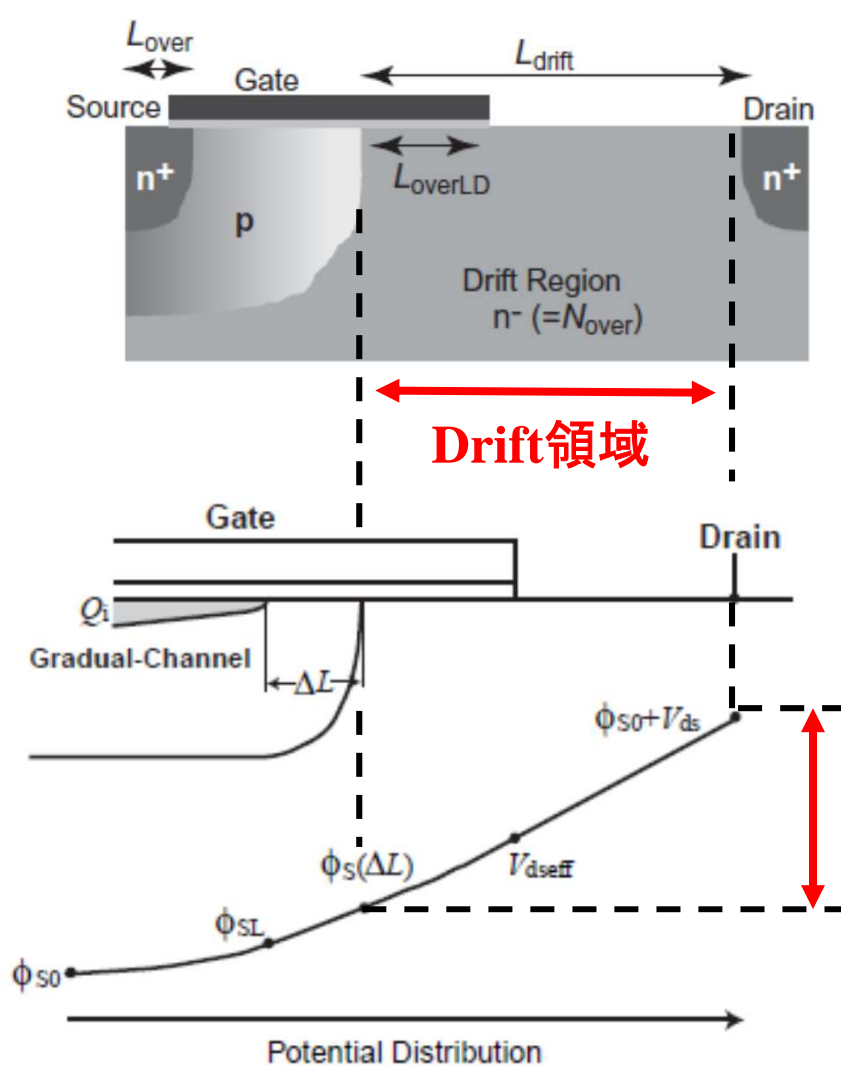
- HiSIM-HVは高耐圧MOSの国際標準モデル
(Hiroshima-University STARC IGFET Model-High Voltage)
- HiSIMは表面電位基準モデル
 - しきい値基準: BSIM1,3,4
 - 電荷基準: EKV,BSIM6



Φ_{S0}, Φ_{SL} の導出

ポアソン方程式を反復計算により求解

LDMOSモデルのコンセプト



Drift領域の電圧降下
抵抗としてモデル化

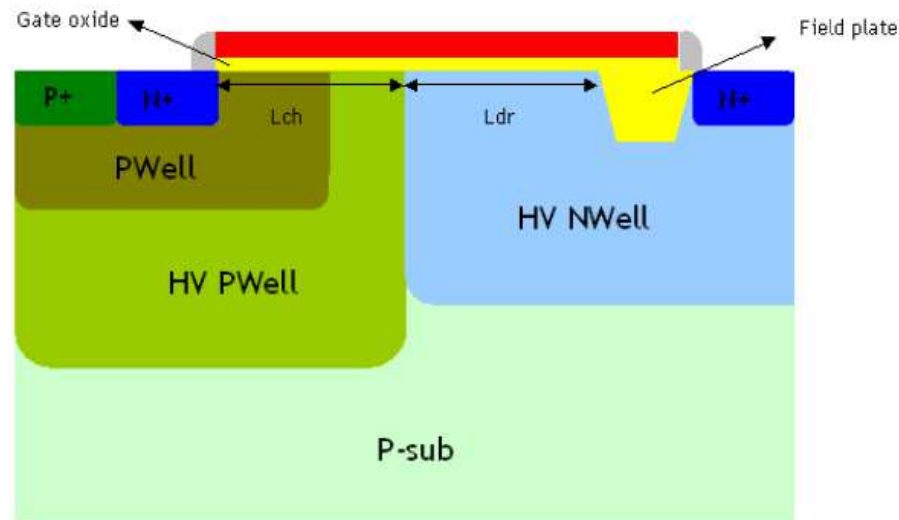
アウトライン

- 研究背景
- 研究目的
- HiSIM-HVにおけるLDMOSモデル
- **モデルパラメータ抽出とシミュレーション**
- まとめ
- 今後の課題

モデルパラメータ抽出に使用した測定データ

- 本研究では文献[1]の測定データを使用

試料構造(文献[1]より引用)

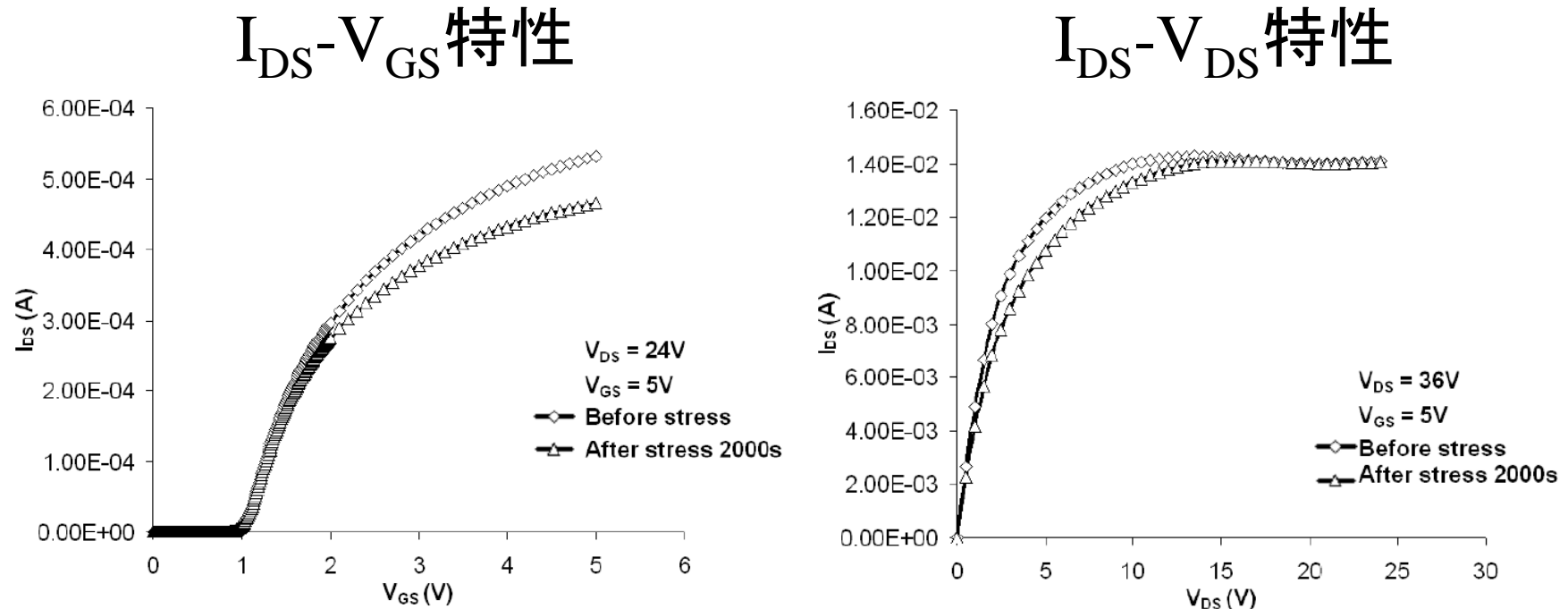


プロセス幅	0.18um
ゲート長	0.4um
ゲート幅	20um
ゲート酸化膜厚	115Å

[1] N.Soin, et al, "Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type Lateral DMOS Transistors", IEEE International Conference on Semiconductor Electronics, pp.659-663,2012

モデルパラメータ抽出に使用した測定データ

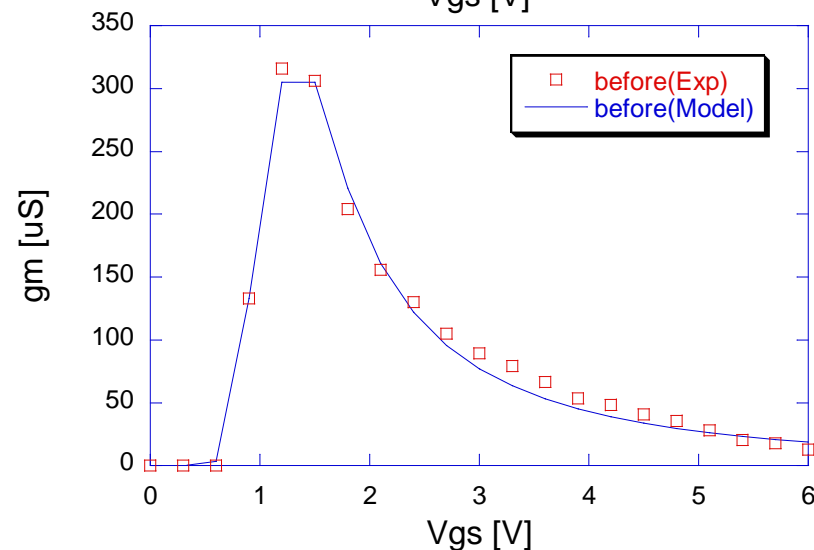
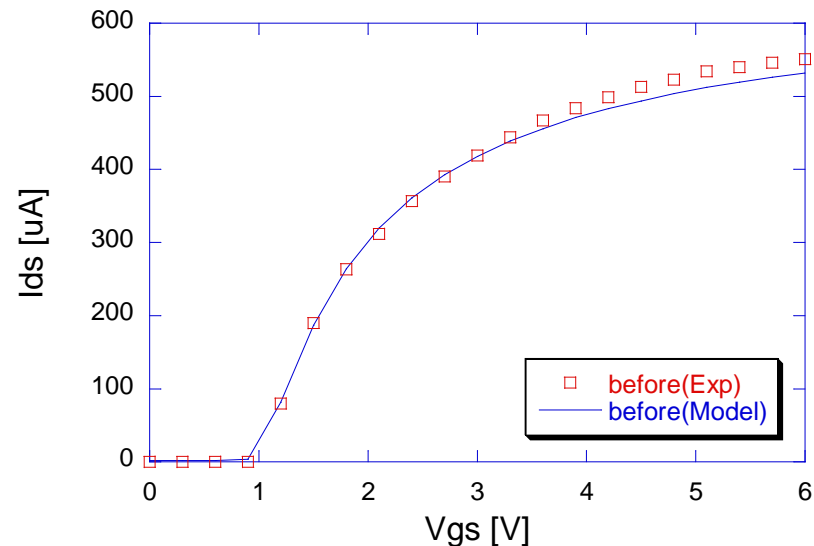
測定データ(文献[1]より引用)



[1] N.Soin, et al ,“Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type Lateral DMOS Transistors”, IEEE International Conference on Semiconductor Electronics, pp.659-663,2012

モデルパラメータ抽出($I_{DS}-V_{GS}$)

- 劣化前の特性からモデルパラメータを抽出



しきい値パラメータ

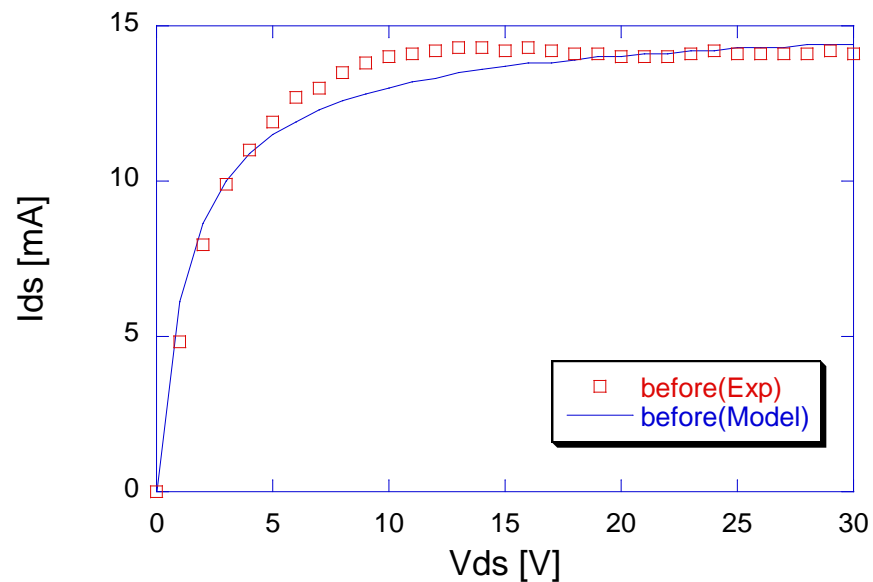
VFBC	-500.0m
MUECB0	105.2
MUECB1	272.1
NSUBC	1.093E+17

線形パラメータ

MUEPH0	313.5m
MUEPH1	50.00k
RD	4.891m
RDVG11	100.0m
RDVG12	5.000
LDRIFT1	1.000u
LDRIFT2	1.000u
RDVD	117.9m

モデルパラメータ抽出($I_{DS}-V_{DS}$)

- 劣化前の特性からモデルパラメータを抽出

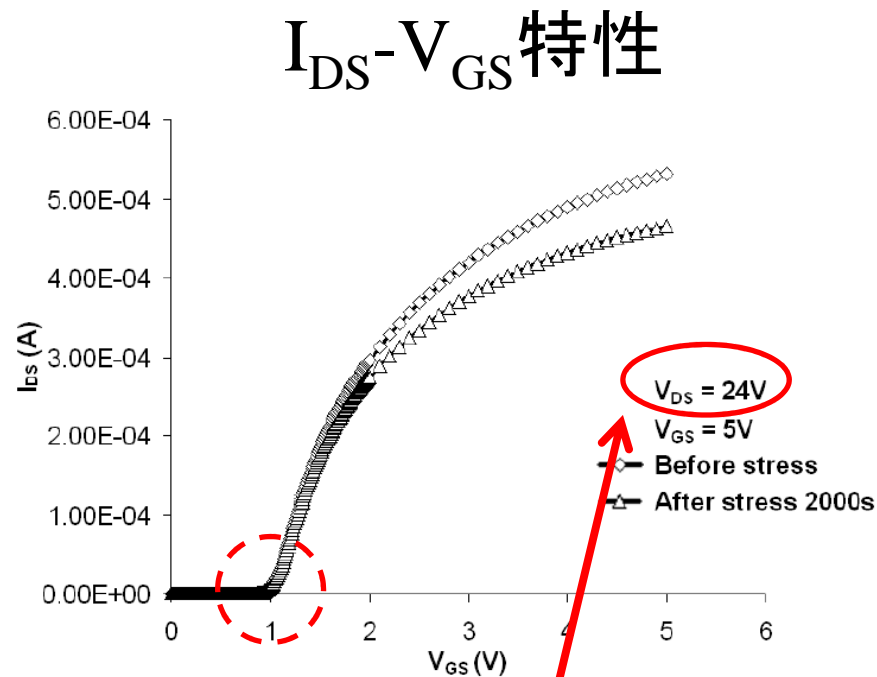


飽和領域パラメータ

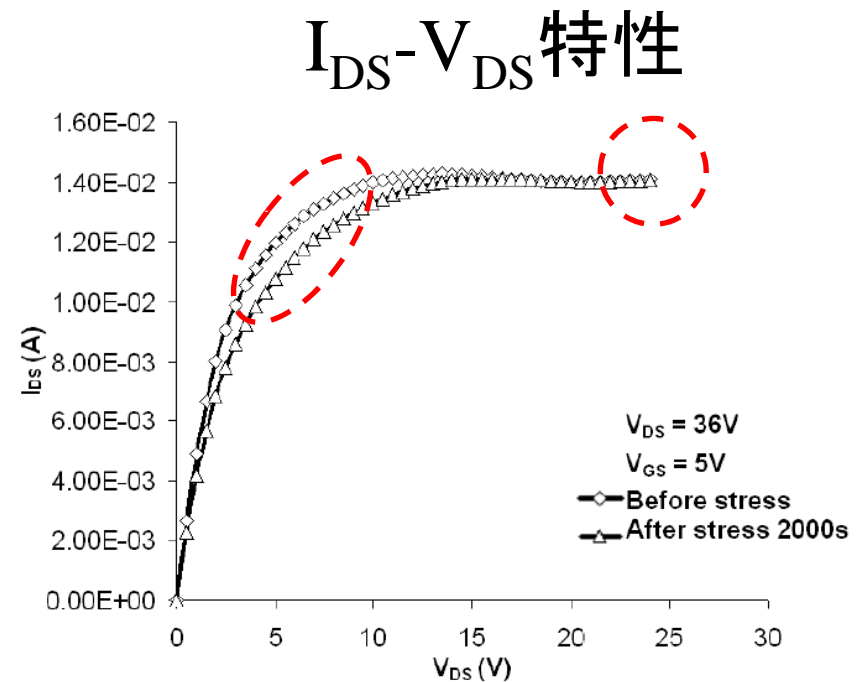
VMAX	19.53MEG
VOVER	313.9m
NINV	955.7m
NINVD	0.000
BB	2.000

劣化要因解析

- 文献ではLDMOSのHCI劣化要因は、**ドリフト層のオン抵抗劣化**によると報告あり



飽和領域では、
しきい値電圧の変化なし

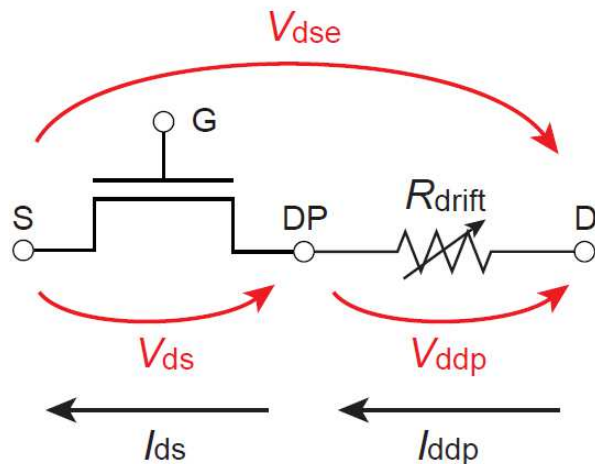


ピンチオフ領域に変化あり
飽和領域の電流は同じ

劣化特性のパラメータ選定

- HiSiM-HVにおけるドリフト抵抗関連のモデルパラメータは主にRD, RDVG11, RDVG12の3つ

HiSiM-HVにおけるドリフト抵抗モデル式



$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left(1 + RDVG11 - \frac{RDVG11}{RDVG12} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot RDVB) \cdot \left(\frac{LDRIFT1 + LDRIFT2}{DDRIFT - W_{dep}} \right)$$

$$R_d = \frac{R_{d0}}{W_{eff,LD} \cdot NF} \left(1 + \frac{RDS}{(W_{gate} \cdot 10^6 \cdot L_{gated0} \cdot 10^6)^{RDSP}} \right)$$

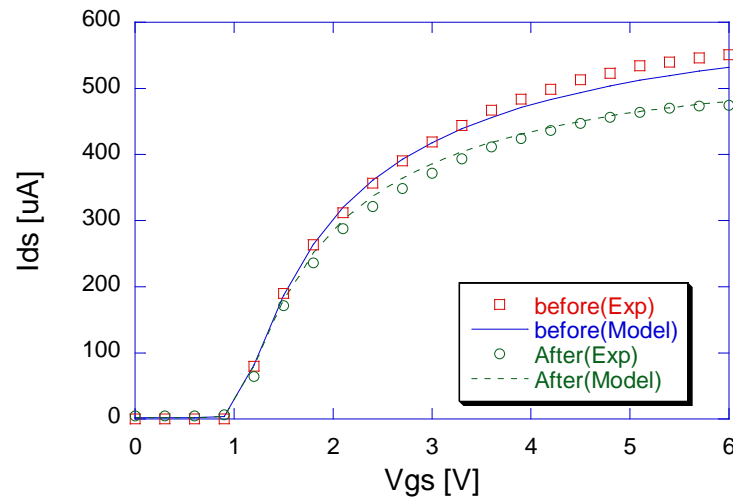
$$R_{d0} = (RD + R_{d0,temp}) f_1 \cdot f_2$$

劣化特性のパラ

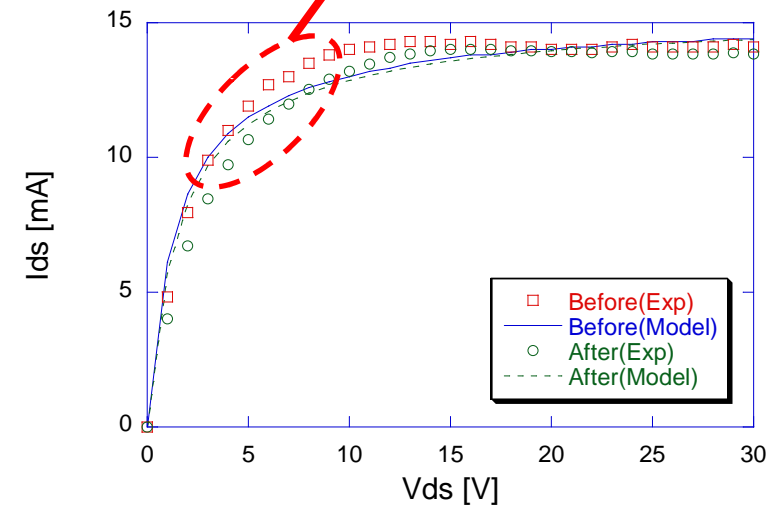
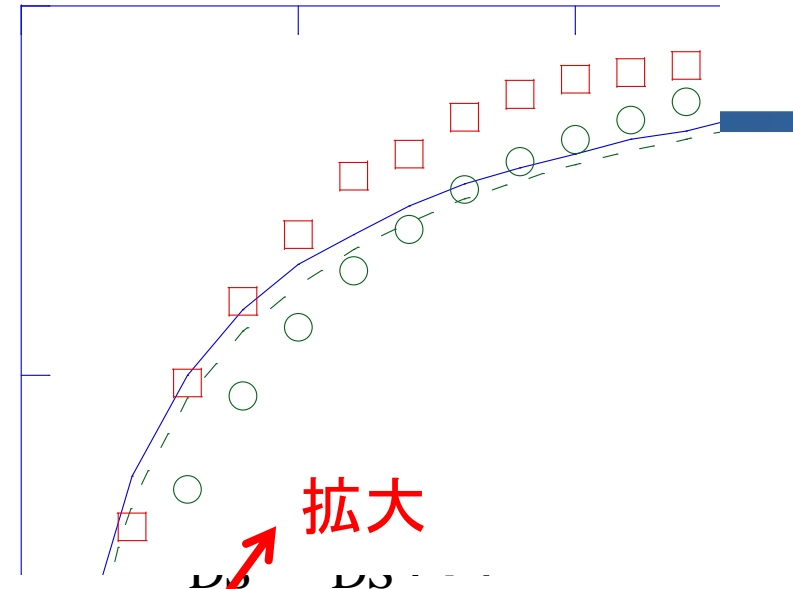
- 選択パラメータ: RD

- Before 1.157m
- After 1.341m ↓ ドリフ

$I_{DS}-V_{GS}$ 特性



ドレイン電流減少を再現



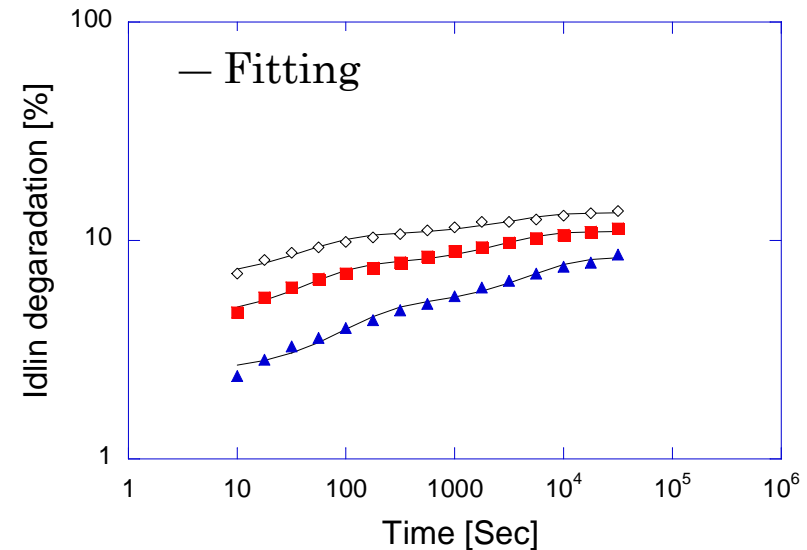
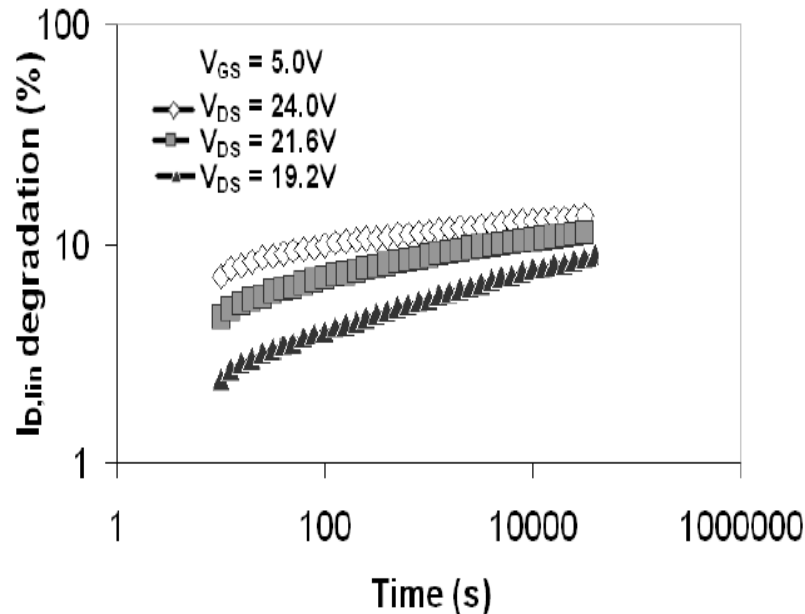
ピンチオフ領域の変化を再現

HCI劣化によるドレイン電流の時間変化解析

- 測定データを数値化、フィッティング実施

 - フィッティング関数

$$y(t) = A_1 \exp(-t/\tau_1) + A_2 \exp(-t/\tau_2) + y_0 \quad \text{定数: } A_1, \tau_1, A_2, \tau_2, y_0$$

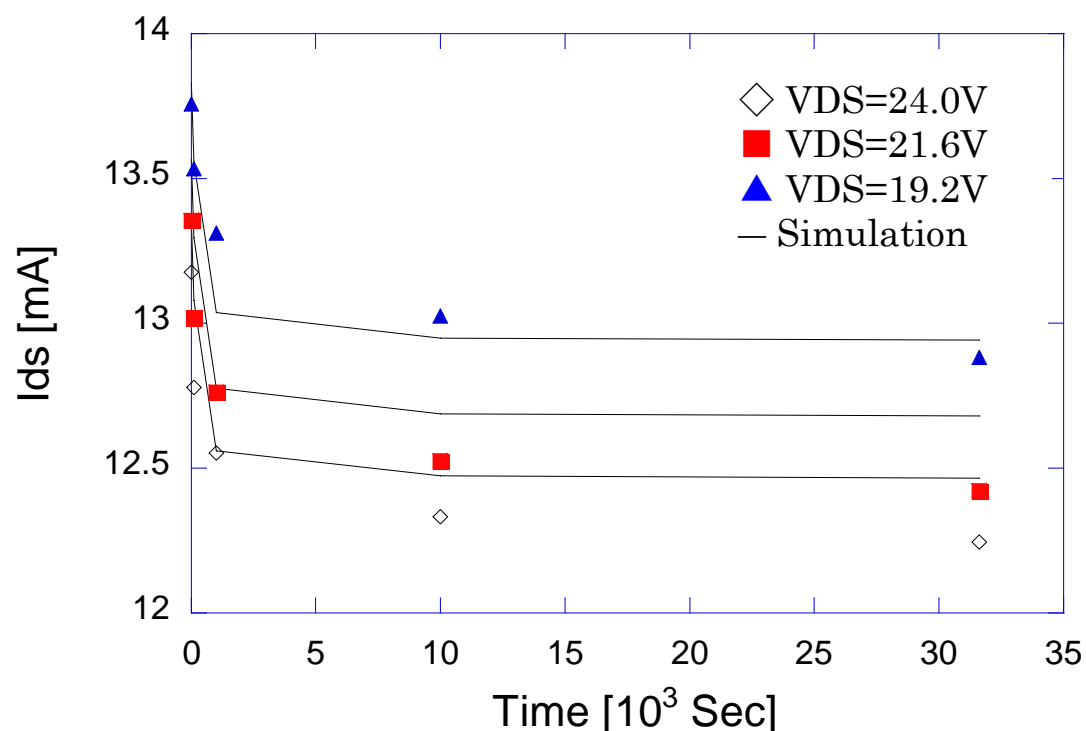


→ フィッティング結果より、
ドレイン電流は指数関数的に減少すると予想

ドレイン電流の経時劣化シミュレーション

- ドリフト抵抗パラメータRDを指数関数的に時間変化させて電流値をシミュレーション

$$RD = \underbrace{RD_{Fresh}}_{\text{初期値}} \cdot AD \cdot \exp(-BD/t) \quad \text{定数: } AD, BD$$



※Idsは絶対値へ変換し、データ数は間引いた

ドレイン電流の時間変化をシミュレーションで再現

アウトライン

- 研究背景
- 研究目的
- HiSIM-HVにおけるLDMOSモデル
- モデルパラメータ抽出とシミュレーション
- **まとめ**
- 今後の課題

まとめ

- nチャンネルLDMOSのHCl劣化前後の直流電圧・電流特性を解析し、DCバイアスによるHCl劣化現象をモデル化
- 回路シミュレーションでHCl劣化によるドレイン電流の時間変化を再現
- 今回作成したモデルは実験的なフィッティングモデル
- 今回はしきい値電圧の劣化については考慮していない

アウトライン

- 研究背景
- 研究目的
- HiSIM-HVにおけるLDMOSモデル
- モデルパラメータ抽出とシミュレーション
- まとめ
- **今後の課題**

今後の課題

- HCI劣化条件におけるゲート・ドレインのストレス電圧依存性の考慮
- 移動度、しきい値など、他パラメータの劣化メカニズムの実測・解析



LDMOS経時・温度劣化モデルの完成度を高める

Q&A

- Q1: LDMOSの用途に、「携帯基地局パワーアンプ /DC・DCコンバータ」とあるが、流れる電流はどのくらいですか？
- A1: 1A～10Aくらいまでの間と考えています。
- Q2: 発表資料中の電流とオーダーがあわないと思いますが？
- A2: 実験に使用しているのはW:20um/L0.4um の1素子です。たくさん並列に接続し、PKG化した最終製品ではオーダーはあいます。

Q&A

- Q3:シミュレーションの解析方法は？
- A3:DC解析を使用しています。RDパラメータのみ時間によって指数関数的に値を減少させることにより劣化を再現させています。なお、本モデルはDCバイアスによる劣化のみを考慮しています。ACのストレスバイアスには対応していません。