

逐次比較近似型時間デジタル変換器回路の設計

楊 明聡* 小林 春夫 (群馬大学)

SAR TDC Design for Timing Measurement

MingCong Yang, Haruo Kobayashi

Gunma University, 1-5-1 Tenjin-cho Kiryu 376-8515 Japan

t11306904@gunma-u.ac.jp, k_haruo@el.gunma-u.ac.jp

Abstract: This paper describes our design of a SAR TDC for timing measurement between two clocks with low power, small circuitry, and short measurement time as well as fine time resolution. Its circuit diagram, operation principle and demonstration with LTSpice simulation are shown.

キーワード：時間デジタル変換器，逐次比較近似，時間計測，短時間計測，微小時間分解能
(TDC, SAR, Timing measurement, Short measurement time, Fine time resolution)

概要 本論文では、広く用いられているフラッシュ型時間デジタル変換回路 (Time-to-Digital Converter : TDC) [1-4] に比べ 低電力消費、小規模回路、高分解能が実現できる逐次比較型 (Successive Approximation Register : SAR) TDC 回路の設計を示す。設計した回路は2つのクロック間の立ち上がりエッジ間時間差を逐次比較近似アルゴリズムを用いて効率的にデジタル値として計測する。基本3ビット分解能の回路を例として設計を示す(一般へのNビットへの拡張は容易である)。設計した回路を LTSpice で回路シミュレーションし動作確認を行った。

I. はじめに

近年、TDC 回路がクロック発生器、ADC、ジッタ測定、および飛行時間測定、さらに、2D / 3D 撮像システム、レーザー距離計、核実験のためなどの工業、医療およびエンターテインメント等に幅広く使用されている。[1-8] ここで TDC の時間分解能は測定精度を決める重要な要因である。例えばレーザー距離計は1ミリメートル精度が6.7ps 最小が必要である。医療用 TOF イメージングシステムは、高分解能 TDC は画像のコントラストを強調し生成される。

そこで本研究では微細な時間分解能を持ち簡易な回路規模で実現できる SAR TDC 回路を設計した。なお、フラッシュ型 TDC 回路では単発のタイミングの測定が可能であるが、SAR TDC 回路ではクロックのように繰り返しのタイミング信号に対してのみ時間測定が可能であるという制約がつく。

II. SAR TDC 回路の全体構成

ここでは分解能が3bit の場合を示す。設計した回路(図1)は3つの部分(MUX 部分、SAR LOGIC 部分、信号合成部分)の組み合わせから成る。入力信号は2つのクロック信号 CLK 1、CLK 2 である。CLK 2 を基準クロックとし、この立ち上がり時間から CLK 1 の立ち上がり時間までの遅延時間をこの回路でデジタル信号に変換する。DATA-2、DATA-1、DATA-0 が3bit デジタル出力信号である。

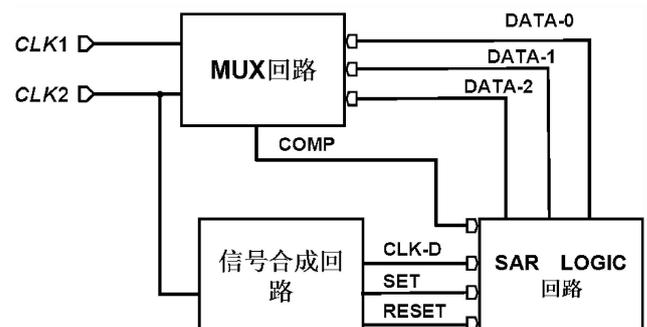


図1 設計した3bit SAR TDC 回路ブロック図

(1) MUX 回路：

MUX 部分の回路は SAR LOGIC 部分の出力信号により信号 CLK 2 をどのぐらいの時間を遅延させるかを決定する。その後、この CLK 2 遅延信号と CLK 1 の立ち上がりタイミングを比較した結果 (COMP) を SAR LOGIC 部に出力する。

(2) SAR LOGIC 回路：

MUX 部分の出力信号 COMP により、次の比較は基準クロック CLK 2 をどの程度遅延させるかを決定する。この時間を 3bit にデジタル化して DATA-0、DATA-1、DATA-2 として出力する。

(3) 信号合成回路：

SAR LOGIC 部分の回路を動作させるためのクロック信号・制御信号 (CLK2=D、SET、RESET 信号) を CLK2 から合成して出力する。

III. 各回路ブロックの構成と動作

3.1 MUX 部分の回路設計

回路図：MUX 部分の回路図を図 2 に示す。

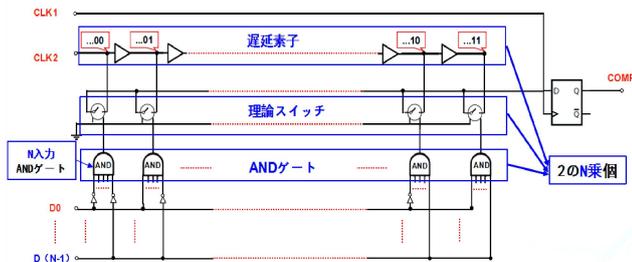


図 2 設計した MUX 部分の回路図

動作の説明：設計したのは 3 bit SAR TDC 回路であるので、MUX 部分は 8 (2 の 3 乗) 個の 3 入力 AND ゲートと遅延素子を用いる。図 2 に示すように CLK2 を入力とする遅延線があり、その各出力を入力とする MUX 回路がありその選択信号 (DATA-2、DATA-1、DATA-0 で制御される) を制御することで CLK2 の遅延が得られる。

3-2 SAR Logic 部分の回路設計

回路図：SAR Logic 部分の回路図を図 3 に示す。

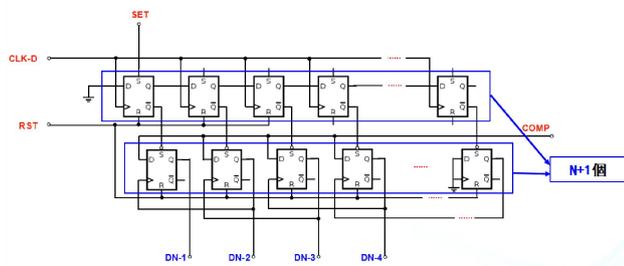


図 3 SAR Logic 部分の回路図

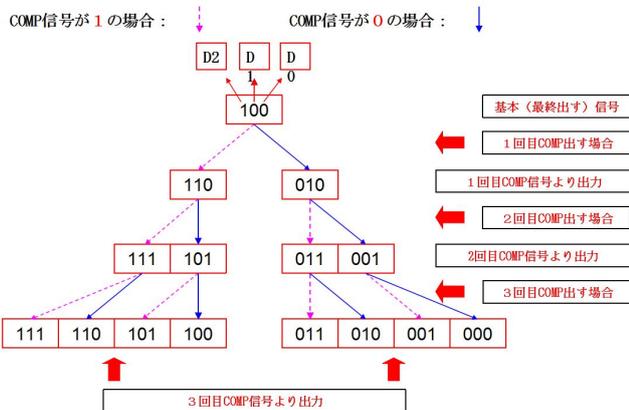


図 4 COMP 信号による DATA-0～DATA-2 の出力関係

動作の説明：SAR Logic 部分は MUX 部分から比較して出来た COMP 信号より、次回の信号を比較するために必要とされる D0～D3 の信号を MUX 部分に出力する。COMP 信号を入力とした SAR Logic 部分からの出力信号を図 4 に示す。

波形解析：SET 信号は信号合成回路で生成される。3bit の場合 4 個の D Flip-Flop の出力波形 (TQ1 (Top 1 番の Q 値) ～ TQ4 (Top 4 番の Q 値)) を図 5 に示す。

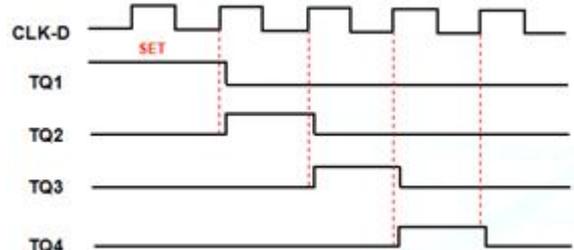


図 5 図 3 の上段の 4 個 D-Flip Flop の出力波形

COMP 信号が全ステップでずっと 1 の場合、図 5 より 4 回の出力はそれぞれ 100、110、111、111 になる。そのときの SAR Logic 部分全体波形を図 6 に示す。

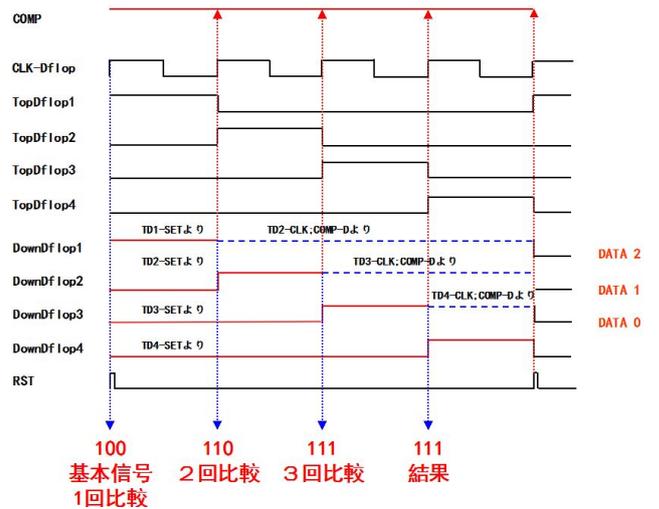


図 6 SAR Logic 回路部分の波形

(COMP 信号が全ステップで 1 の場合)

3-3 信号合成部分の回路設計

回路図：信号合成部分の回路図を図 7 に示す。

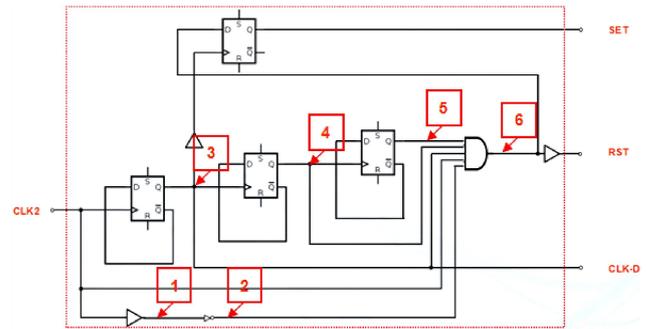


図 7 信号合成部分の回路図

動作の説明：信号合成部分の回路図の下の3つのD Flip-Flopは図8のように3つのT Flip-Flopを直列接続し非同期カウンタを構成している。これらの出力信号Q1、Q2、Q3のタイミングチャートは図8に示すようになる。

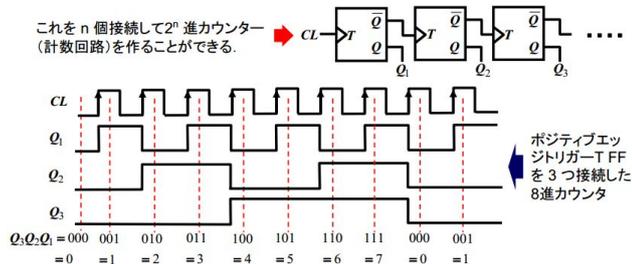


図8 非同期カウンタとその出力信号

信号合成部分の全体のタイミングチャートを図9に示す。信号1から信号6は図7で数字マークの信号である。

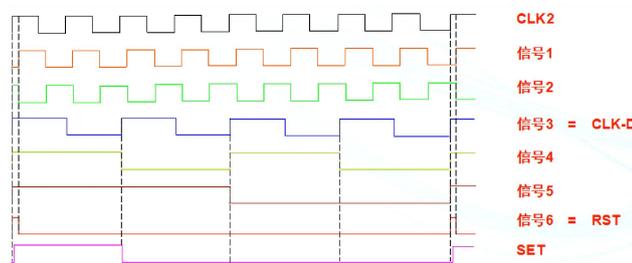


図9 信号合成部分(の全体のタイミングチャート)

信号合成部分のN-bit分解能の場合への拡張

図9のタイミングチャートに示すように、STEP 6（出力信号RST）あるいは信号6を合成するSTEPはANDゲートから共通HIGHの部分を取り出す。信号6の周期Tは入力信号2の8倍、すなわち、信号3（出力信号CLK-D）の周期の4倍である。出力信号CLK-Dの1回の立ち上がりは1回比較に対応している。したがって、出力信号RSTは3回比較して1回リセットする。3回の比較は3bitに対応しているので、基本3Bitの信号合成部分の回路図は図3.3.1になる。

ここで、N-bitの場合はN回の比較が必要なので、RST信号の周期はCLK-D信号のN+1倍になる。T Flip-Flopでは信号を周期2倍にするしかできないので、RST信号はCLK-D信号の周期2倍、4倍、8倍...など2のべき乗倍しかできない。すなわち、4Bitの場合は信号5の後にもう一つのD Flip-Flop（等価T Flip-Flop）に通して、また、ANDゲートに共通HIGHの部分を取り出せば、RST信号はCLK-D信号の周期の8倍になる。これらは4bitの場合だけではなく、4bit~7bitの信号合成回路にすべて使える。N-bitの場合D型フリップフロップ（等価T型フリップフロップ）はm個が必要なれば、mは次のようになる。

$$2^{m-1} \leq 2 * N (\text{入力信号 CLK2 周期の倍数}) < 2^m$$

IV. SAR TDC 全体の動作

3節では各部分のタイミングチャートとそれぞれの回路部分の全体の回路に対して役割を説明した。ここでは入力時間信号を5.3τの場合を例として全体のタイミングチャートを図10に示す。

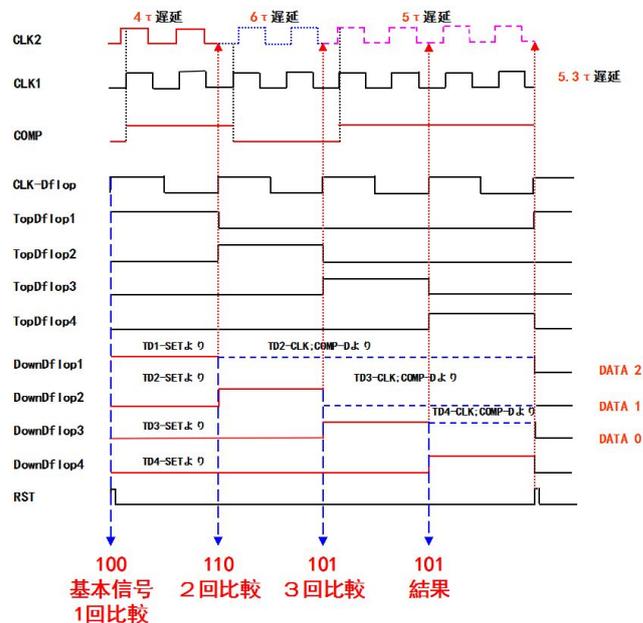


図10 全体のタイミングチャート (入力5.3τの場合)

V. シミュレーションによる動作確認

本節では設計したSAR TDC回路をLTSpiceでシミュレーションし動作確認した結果を示す。

5.1 シミュレーション回路

分解能3bitの場合のシミュレーション回路を図11に示す。

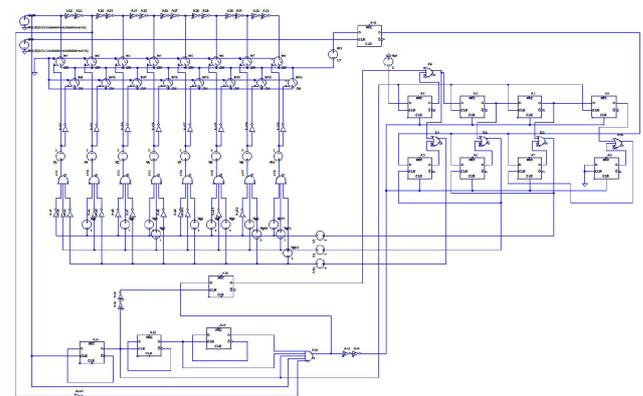


図11 基本3Bitのシミュレーション回路

5.2 シミュレーション結果

① 3bit 分解能 SAR TDC 回路にて

CLK1 と CLK2 の遅延時間差が5.3τの場合：

$$5.3 \approx D2 \times 2^2 + D1 \times 2^1 + D0 \times 2^0$$

$$5.3 \approx 1 \times 4 + 0 \times 2 + 1 \times 1$$

$$5.3 \approx 5$$

TDC 出力は D2=1, D1=0, D0=1 の結果が予想されるが、図 12 より予想通り 101 のシミュレーション結果が出力された。

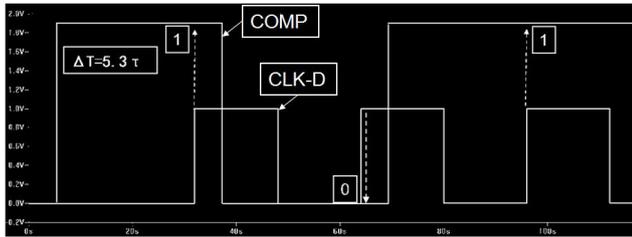


図 12 3bit TDC のシミュレーション結果 (5.3τ入力遅延差)

②4bit 分解能に SAR TDC を拡張して設計した回路にて

CLK1 と CLK2 の遅延時間差が 10.6τの場合 :

$$10.6 \approx D3 \times 2^3 + D2 \times 2^2 + D1 \times 2^1 + D0 \times 2^0$$

$$10.6 \approx 1 \times 8 + 0 \times 4 + 1 \times 2 + 0 \times 1$$

$$10.6 \approx 10$$

TDC 出力は D3=1, D2=0, D1=1, D0=0 となる結果が予想されるが、図 13 より予想通り 1010 の結果が出力された。

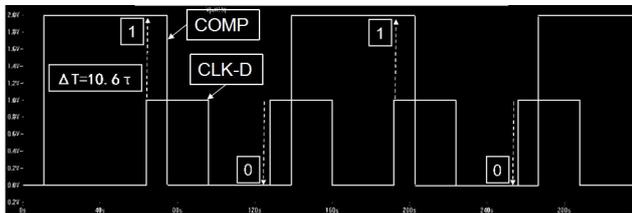


図 13 4bit TDC のシミュレーション結果 (10.6τ遅延差)

5.3 シミュレーション結果の線形性.

CLK1,CLK2 間の時間差を 0.1τずつ増やして各々の場合でシミュレーションし、横軸が入力遅延時間差、縦軸が SAR TDC デジタル出力値のグラフを図 14 に示す。両者は線形関係になり、設計した SAR TDC 回路の動作を確認することができた。

VI. まとめ

2つのクロック間タイミングを高時間分解能で測定するための低電力消費・小規模回路の逐次比較型 TDC 回路の設計とその LTSpice シミュレーションによる動作確認を示した。設計した回路はアナログ FPGA (PSoC) でも実現・動作確認しており (図 15)、その詳細は別途報告予定である。

この研究を支ご援していただいています半導体理工学研究センター(STARC) に感謝します。

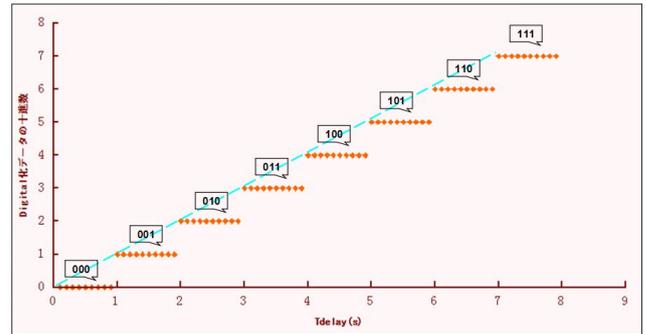


図 14 入力-出力 (十進数) の線形性 [3Bit]

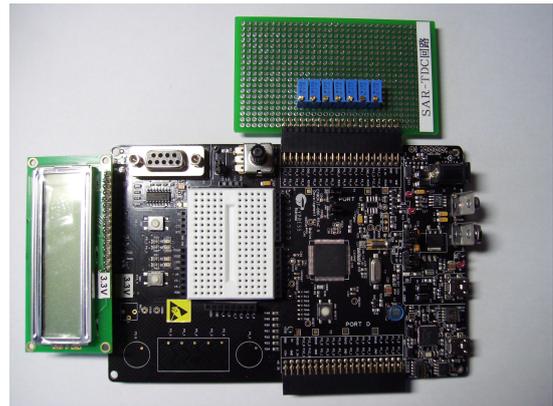


図 15 3bit SAR TDC のアナログ FPGA 実現

参考文献

- [1] Y. Arai, T. Baba, "A CMOS Time to Digital Converter VLSI for High-Energy Physics", IEEE VLSI Circuits Symposium (1988).
- [2] T. Chujo, et. al., "Experimental Verification of Timing Measurement Circuit With Self-Calibration", IEEE International Mixed-Signals, Sensors and Systems Test Workshop (Sept. 2014).
- [3] E. R. Ruotsalainen, et. al., "An Integrated Time-to-Digital Converter with 30-ps Single-Shot Precision," IEEE J. of Solid-State Circuits (Oct. 2000).
- [4] P. Chen, et. al., "A PVT Insensitive Vernier-Based Time-to-Digital Converter With Extended Input Range and High Accuracy," IEEE Trans. Nuclear Science (Apr. 2007).
- [5] C. Li, et. al., "Time-to-Digital Converter Architecture with Residue Arithmetic and its FPGA Implementation", International SoC Design Conference (Nov. 2014).
- [6] Z. Xu, M. Miyahara, A. Matsuzawa, "1ps-Resolution Integrator-Based Time-to-Digital Converter Using a SAR-ADC in 90nm CMOS", IEEE Trans. Nuclear Science (April 2014).
- [7] Y. H. Seo, et. al., "A 0.63ps Resolution, 11b Pipeline TDC in 0.13μm CMOS," IEEE VLSI Circuits Symposium (Jun. 2011).
- [8] S. Uemori, et. al., "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity," Journal of Electronic Testing : Theory and Applications, Springer (Dec. 2013)