

# 90nm NMOSFET における、経時・温度劣化特性シミュレーション用 HCI ゲートリーク電流モデルの研究

築地 伸和\* 青木 均 香積 正基 戸塚 拓也  
東野 将史 小林 春夫 (群馬大学)

A Study on HCI Gate Leakage Current Model used for Time and Temperature Degradation Characteristics in 90nm n-MOSFETs

Nobukazu Tsukiji\*, Hitoshi Aoki, Masaki Kazumi, Takuya Totsuka,  
Masashi Higashino, Haruo Kobayashi (Gunma University)  
tsukiji@el.gunma-u.ac.jp h.aoki@oak.gunma-u.ac.jp

In this paper, we propose a Hot Carrier Injection (HCI) gate leakage current model used for Time and Temperature Degradation Characteristics in 90nm n-channel MOSFETs (n-MOSFETs). As far as we investigated, existing papers and reports regarding on HCI degradation model equations are based on the substrate current induced by the impact ionization effect. These degradation models cannot be applied for any circuit simulations without using the substrate terminal of n-MOSFETs. Since the proposed model and extraction method estimate the HCI current from the gate terminal, substrate terminals of n-MOSFETs are not necessary for simulating degradations in any circuit.

キーワード：信頼性解析, 経時劣化, 経時劣化モデル, デバイスマデリング  
(Reliability Analysis, Time Degradation, Aging Model, Device Modeling)

## 1. はじめに

近年、電子機器の中には多くの集積回路が使用されており、電子機器の主機能を担うことも多いため、集積回路には高い信頼性が要求される。特に、近年の半導体プロセス微細化によって、内部電界、電流密度の増加など集積回路で使用される MOSFET にかかるストレスは増加するため、MOSFET の特性変動に対する信頼性の確保は大きな課題となっている。

一般に、MOSFET の信頼性寿命予測は加速試験により、TEG (Test Element Group) を用いて、高電圧、高温度などのストレス条件下で実施される。そして、試験により得られた結果から、実使用条件での寿命推定が行われる。このような方法を用いた場合、MOSFET 単体の寿命から製品寿命を見積もることはできるが、高度に機能化された集積回路の特性がどのように劣化するかを見積もることはできない。集積回路の特性劣化を予想するためには、MOSFET 単体の劣化特性をシミュレーションモデル化する必要がある。そして、より信頼性の高い集積回路を設計するためには、MOSFET の劣化モデルを使用した信頼性シミュレーション

が重要となる。

n-MOSFETs の経時、温度劣化には飽和領域の高ドレイン電流において起こる HCI 現象や、電圧ストレスを長時間かけることで発生する Positive Bias Temperature Instability (PBTI) 現象がある。

本研究では、より支配的であるとされる HCI 現象に焦点を当て、この HCI 現象を回路シミュレータ SPICE で回路設計者がシミュレートし、劣化前、劣化後の直流電圧・電流特性を事前に予想できるように、n-MOSFETs のデバイスモデルに組み込むことを目的としている。本研究で使用する MOSFET モデルは BSIM4 モデルを採用した[4]。

本論文の構成は以下のとおりである。まず、次章にて代表的な HCI 現象のメカニズムと劣化モデルについて説明し、従来の HCI 劣化モデルの問題点を述べる。次に、我々が提案している HCI ゲートリーク電流モデルと提案モデルのパラメータ抽出方法を解説する。最後に、従来モデルと提案モデルを用いたシミュレーションの比較検証を行い、結果についての考察を示す。

## 2. HCI 現象のメカニズムと劣化モデル

(2・1)HCI 現象のメカニズム HCI 現象には Channel Hot Carrier (CHC) と Drain Avalanche Hot Carrier(DAHC)の2つのモードがある。それぞれのモードのメカニズムを図1に示す。CHC モードは、MOS の線形領域時に起こり、ゲート酸化膜のエネルギー障壁を超えられる確率に依存した電子がゲートへ注入される。このような電子はLucky Electronと呼ばれる。DAHCモードはMOSの飽和領域時に起こり、こちらのモードがより劣化に支配的と考えられている。DAHCモードでは、高電界のかかった空乏層をドリフトする電子が、イオンと衝突電離を起こすことにより、電子正孔対が生成される。生成された正孔は基板へ流れ、生成された電子の大部分はドレインに流れるが、一部は酸化膜のエネルギー障壁を超えゲートに注入される。そして、ゲートに注入された高エネルギーを持った電子（ホットキャリア）によって、Si/SiO<sub>2</sub> 界面の Si-H 結合が破壊される。このとき結合を破壊された水素原子は、ゲート酸化膜内に拡散し、水素原子との共有結合を失ったシリコンは未結合手（ダングリングボンド）をもつため界面トラップ準位を形成する。このようにして、ゲートに注入された電子によって界面準位が生成されるため、しきい値電圧や移動度などのデバイスパラメータの劣化が起きると考えられている。

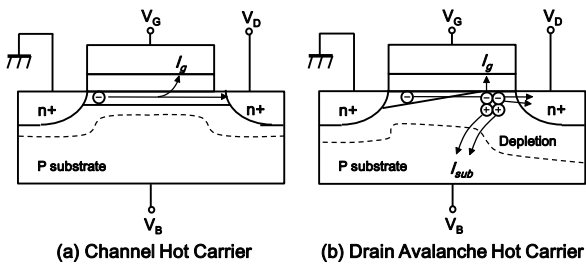


図1 HCI 現象のメカニズム

(a)CHC モード (b)DAHC モード

Fig. 1 Schematics of the HCI mechanism in n-MOSFETs:  
(a) channel hot carrier; (b) drain avalanche hot carrier.

(2・2) HCI の劣化モデル HCI のモデルは、カリフォルニア大学バークレイ校(UCB)の Hu 教授によって最初に導入された(以下、Hu モデルと表記)。後に発表された HCI のモデルは Hu 教授と同じ理論に基づいており、Hu モデルは HCI による劣化モデルの基礎となっている[2,3]。Hu モデルによる界面トラップ準位の数( $N_{it}$ )は次式に示す[3]。

$$\Delta N_{it} = C_1 \left( t \frac{I_{ds}}{W} e^{\frac{-\varphi_{it}}{q\lambda E_m}} \right)^n \quad (4)$$

ここで、 $t$ はストレス時間、 $I_{ds}$ はドレイン電流、 $W$ はゲート幅、 $q$ は電子の電荷量、 $\varphi_{it}$ は衝突電離を起こす最小エネルギー、 $E_m$ は横方向電界、 $C_1$ 、 $n$ はプロセスに依存した係数である。Hu モデルにおいて $E_m$ は $N_{it}$ に影響を与える重要なパラ

メータとなるが、 $E_m$ の正確な解析モデルを得ることは難しい。したがって、最近のモデルでは HCI によるストレスを基板電流( $I_{sub}$ )の関数として次式のように表すことが多い[6]。

$$\Delta N_{it} = C_2 \left( \frac{I_{sub}}{W} \right)^\alpha t^n \quad (5)$$

ここで、 $C_2$ 、 $\alpha$ はプロセスに依存した係数である。なお、HCI のモデルで算出された $N_{it}$ による移動度およびしきい値の劣化は次のような関係式で与えられる[5]。

$$V_{th} = V_{th0} + \frac{q\Delta N_{it}}{C_{ox}} \quad (6)$$

$$\mu = \frac{\mu_0}{1 + \beta \Delta N_{it}} \quad (7)$$

ここで、 $V_{th0}$ はしきい値の初期値、 $\mu_0$ は移動度の初期値、 $\beta$ はプロセスに依存した係数である。

(5)式のように基板電流を用いることで HCI の劣化モデルは簡単なものになるが、基板電流を使用したモデルは基板端子が独立している MOS 構造にしか使用できないという欠点がある。図2は基板端子とソース端子が内部接合(Butting Contact)された n-MOSFET のシンボルと断面構造を示している。このような構造では、基板電流を分離することができないため、基板電流を関数として使用することができない。構造に依存せず、より汎用的に使用できる劣化モデルとしては、基板電流を使用しないことが望ましい。そこで、本研究では、HCI によって発生する電流をゲートから抽出するモデルを提案する。この方法は HCI によって発生する電流をゲート側からモニタすることができるため基板端子は使用しない。詳細は次章で解説する。

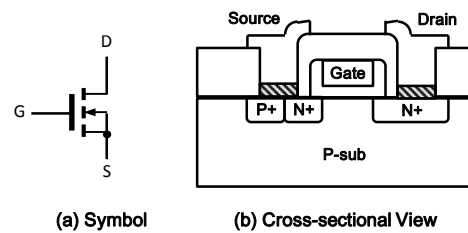


図2 基板端子とソース端子が内部接合された n-MOSFET  
(a)シンボル(b)断面構造

Fig. 2 Butting contacted n-MOSFET structures:  
(a) the circuit symbol; (b) the cross-sectional view.

## 3. HCI ゲートリーク電流モデルと抽出方法

Hu モデルでは、HCI 現象によって発生する基板電流とゲート電流( $I_g$ )はそれぞれ次式のように表される[3]。

$$I_{sub} = C_1 I_{ds} e^{\frac{-\varphi_{it}}{q\lambda E_m}} \quad (8)$$

$$I_g = C_2 I_{ds} e^{\frac{-\varphi_b}{q\lambda E_m}} \quad (9)$$

ここで、 $\varphi_b$ は Si/SiO<sub>2</sub> 界面のエネルギー障壁、 $C_1$ 、 $C_2$ は比例

係数である。これらの式を比較すると、異なる部分は比例係数と $\phi_b$ のみだけであることがわかる。これは、両電流の元となるキャリアが衝突電離によって同じ確率で発生しており、このうちゲート電流は、ゲート酸化膜のエネルギー障壁を超えられる電子の確率に依存していることに整合する。一方、BSIM4では、DAHCモードのHCIによって発生する基板電流は、インパクトイオン化モデルとしてサポートされており、次式のように表される[1,4].

$$I_{sub} = \frac{A_i}{B_i} I_{ds} (V_{ds} - V_{dsat}) e^{\frac{-B_i \cdot litl}{V_{ds} - V_{dsat}}} \quad (10)$$

ここで、 $A_i$ 、 $B_i$ はフィッティング係数、 $V_{ds}$ はドレインソース間電圧、 $V_{dsat}$ は飽和ドレイン電圧、 $litl$ は長さの次元をもつ係数である。Huモデルにおけるゲート電流と基板電流の関係から類推すると、係数を変更することでゲート電流は次式のように表すことができる。

$$I_{gs\_HCI} = \frac{GA_i}{GB_i} I_{ds} (V_{ds} - V_{dsat}) e^{\frac{-GB_i \cdot litl}{V_{ds} - V_{dsat}}} \quad (11)$$

ここで、 $GA_i$ 、 $GB_i$ はフィッティング係数である。(11)式が本研究で提案するHCIゲートリーク電流モデルである。本式を使用し、HCIによって発生するゲート電流を抽出するためには、その他のゲートリーク電流を区別する必要がある。以下で、その抽出方法を説明する。

図3はBSIM4でサポートされているゲートリーク電流モデルに、HCIによるゲート電流経路を足したものである[4]。サポートされているリーク経路は、ゲートからソースおよびドレインへの直接経路( $I_{gs}$ 、 $I_{gd}$ )、チャンネルを通じた経路( $I_{gcs}$ 、 $I_{gcd}$ )、ゲートから基板への経路( $I_{gb}$ )である。(11)式のHCIによるゲート電流は、次式を用いて全ゲートリーク電流からHCI以外のリーク電流との差分から抽出を行う。

$$I_{gs\_HCI} = I_{gs\_total} - I_{gs} - I_{gcs} \quad (12)$$

ここで、 $V_{ds} \simeq V_{dd}$ の場合はドレイン側へのリーク経路は無視できると仮定した。また、基板へのリークも他経路に比べて十分小さいため無視している。 $I_{gs}$ や $I_{gcs}$ のモデルパラメータはドレイン電圧に依存するため、非HCI条件下にて低電圧でドレイン電圧をスイープし、これらのモデルパラメータ抽出を行う。最後に、HCI条件下で全ゲートリーク電流を測定し、 $I_{gs}$ や $I_{gcs}$ によるゲートリーク電流との差分値に(11)式を最適化してHCIによるゲート電流を抽出する。

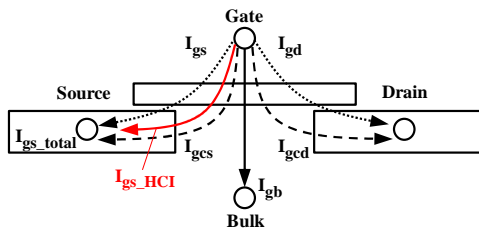


図3 ゲートリーク電流経路

Fig. 3 Basic concept of the gate leakage current flow.

#### 4. モデルパラメータ抽出とシミュレーション

本実験で使用したTEGはTSMC社の90nmプロセスを用いて作製し、チャンネル幅10 $\mu$ m、チャンネル長0.1 $\mu$ mのn-MOSFETを使用した。提案モデルは、我々のSPICE3完全互換シミュレータ(MDT-SPICE)上のBSIM4モデルに、ソースコードレベルで搭載し、検証を行った。

図4は非HCI条件下で測定した、ゲートリーク電流対ゲート電圧特性を示している。シミュレーション結果はゲートリーク電流( $I_{gs}$ 、 $I_{gcs}$ )のドレイン電圧に依存した変化も再現していることが確認できる。図5は図4と同条件で測定した、ドレインリーク電流対ゲート電圧特性を示している。シミュレーション結果より、ドレイン側のリーク電流も弱反転領域にわたって精度よく再現していることがわかる。

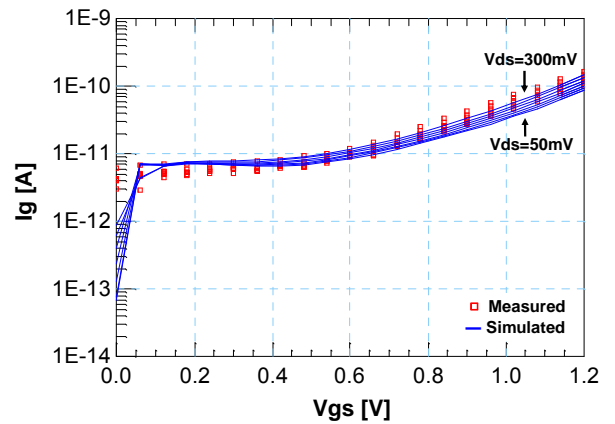


図4 非HCI条件下におけるゲートリーク電流対ゲート電圧特性

Fig. 4 Measurement and simulation of the gate leakage current ( $I_{gs}$  and  $I_{gcs}$ ) versus drain voltage under non HCI condition. Where,  $V_{ds}$  is varied from 50mV to 300mV (50mV step).

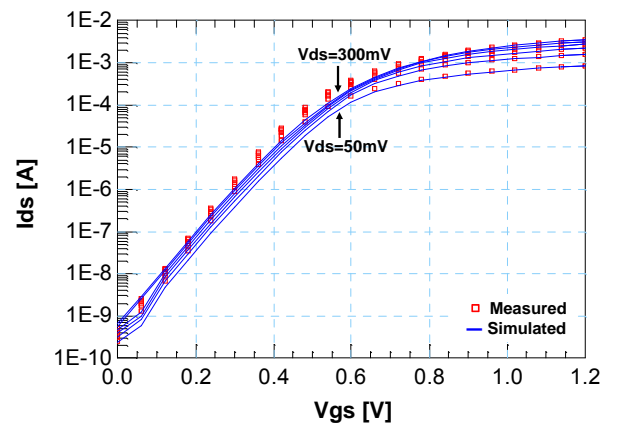


図5 非HCI条件下におけるドレインリーク電流対ゲート電圧特性

Fig. 5 Measurement and simulation of the drain leakage current versus drain voltage under non HCI condition. Where,  $V_{ds}$  is varied from 50mV to 300mV (50mV step).

図6はHCI条件下におけるゲートリーク電流対ゲート電圧特性の比較を示している。図6(a)が従来モデルを使用した結果、図6(b)が提案モデルを使用した結果である。これらの結果を比較すると、提案モデルを用いることでシミュレーション値と実測値の差が小さくなっており、シミュレーションの精度が向上していることが確認できる。特に、 $V_{gs}$ が $1/2V_{dd} \sim V_{dd}$ の範囲でフィッティング精度の向上がみられており、この範囲は飽和領域で起こるDAHCモードによるHCI条件と整合する。すなわち、これらの結果は、HCIによるゲートリーク電流経路を、提案モデルによって反映させたことに起因すると考えられる。

本実験により、HCIによってゲートに流れる電流はpAのオーダーであることが分かった。また、抽出したゲートリーク電流を基板電流の代替とし、劣化モデルとして使用するためには、さらに高精度な測定および抽出が必要なが判明した。

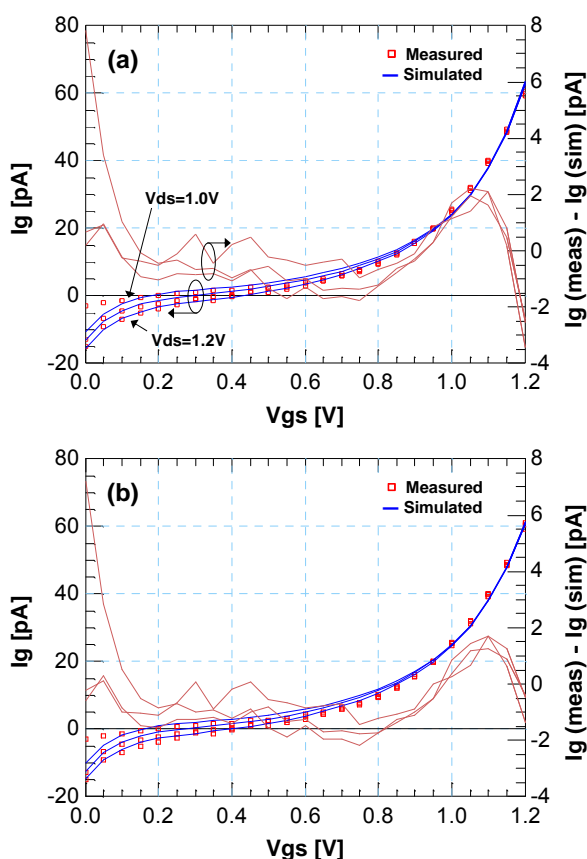


図6 HCI条件下におけるゲートリーク電流対ゲート電圧特性  
(a)従来モデル (b)提案モデル

Fig. 6 Measurement and simulation of the total gate leakage current versus gate voltage under HCI condition: (a) conventional model; (b) proposed model. Where,  $V_{ds}$  is varied from 1.0V to 1.2V (0.1V step).

## 5. まとめ

本論文では、n-MOSFETの経時・温度劣化特性シミュレーションのための、HCIゲートリーク電流モデルを提案し、基板端子を使用せずゲートからHCI電流を抽出する方法を開発した。提案モデルは、我々のSPICE3完全互換シミュレータ(MDT-SPICE)上のBSIM4モデルに、ソースコードレベルで搭載した。モデルパラメータは90nm n-MOSFETの直流電流測定データを用いて高精度に求めた。本モデルのSPICEシミュレーション値をゲート電流の測定値と比較した結果、BSIM4標準モデルより高精度に合致した。本実験により、HCIによってゲートに流れる電流はpAのオーダーであることが分かった。また、抽出したゲートリーク電流を基板電流の代替とし、劣化モデルとして使用するためには高精度な測定および抽出が必要なが判明した。今後は、さらに高精度な測定・抽出を行い、基板電流を代替する劣化モデルを完成させ、より信頼性の高い集積回路を設計するための信頼性シミュレーションに役立てたい。

## 6. 謝辞

本研究をご支援いただきました株式会社MoDeCHに感謝いたします。

## 文献

- [1] H. Aoki, M. Shimasue and Y. Kawahara, CMOS Modeling Technology, Maruzen Publishing (2006).
- [2] C. Hu, "Lucky-electron model of channel hot electron emission", Electron Devices Meeting, vol. 25, pp22-25 (1979).
- [3] C. Hu, et al, "Hot-electron-induced MOSFET degradation -Model, monitor, and improvement", IEEE Journal of Solid-State Circuits, vol. 20, Issue: 1, pp295-305 (1985).
- [4] M. V. Dunga, et al, BSIM4.6.0 MOSFET Model User's Manual, University of California, Berkeley.
- [5] Sun, et al "Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces", IEEE Journal of Solid-State Circuits, vol. 15, Issue: 4, pp562-573 (1980).
- [6] Maricaud, Elie, Gielen, Georges, Analog IC Reliability in Nanometer CMOS, Springer (2013).