

# 90nm NMOSFETにおける, 経時・温度劣化特性シミュレーション用 HCIゲートリーク電流モデルの研究



群馬大学大学院理工学府 電子情報数理領域

発表者 博士後期課程2年 築地 伸和

青木均 香積 正積

戸塚拓也 東野将司 小林春夫

# アウトライン

---

- 研究背景・目的
- 従来モデル概要
- 提案モデル概要
- モデルパラメータの抽出とシミュレーション
- まとめ
- 今後の課題

# アウトライン

---

- 研究背景・目的
- 従来モデル概要
- 提案モデル概要
- モデルパラメータの抽出とシミュレーション
- まとめ
- 今後の課題

# 研究背景

- 身近な電子機器中の集積回路の役割



イメージセンサ



音声信号処理



CPU

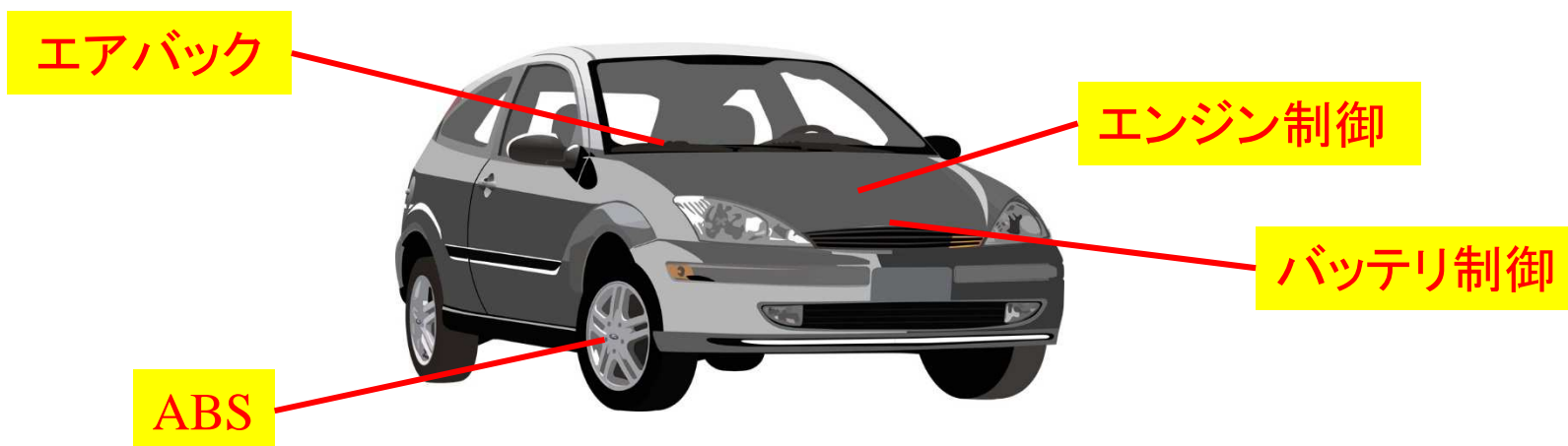


集積回路が電子機器の主機能を担う  
電子機器に欠かせない必須部品

# 集積回路における信頼性要求の高まり

- 特に車載/産業機器は高信頼性が要求される

## 車における集積回路の利用例



集積回路の故障・誤動作は人命に関わる

# 集積回路の信頼性試験

- 高温環境下での加速試験によってデバイスの性能劣化を予想・判定

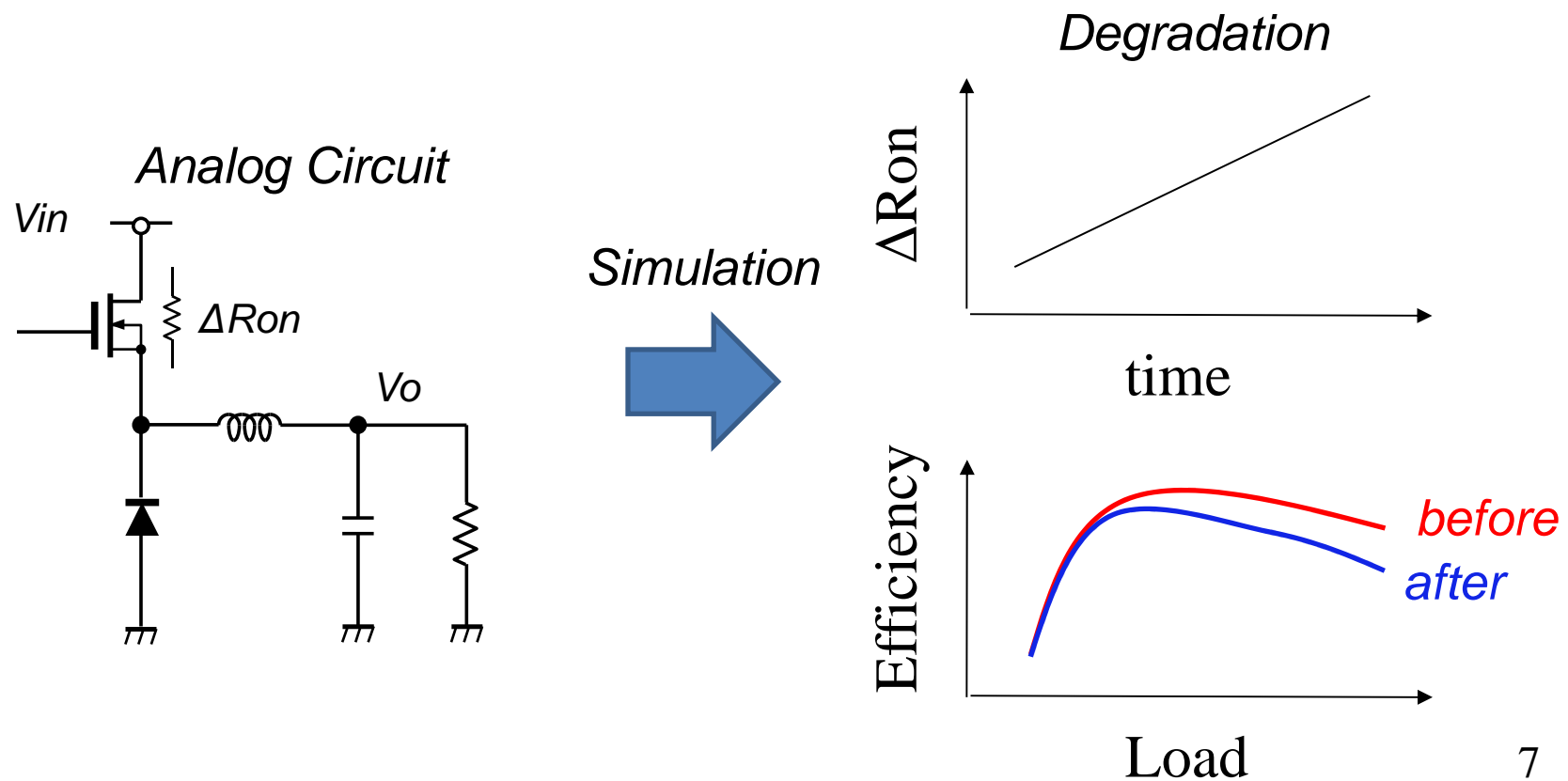
信頼性試験の例: SONYのHPより引用

試験名	略号	試験条件
高温動作試験 High Temperature Operating Life	HTOL	Ta=125°C Vop_max, 1000h
高温高湿バイアス試験 Temperature Humidity Bias	THB	Ta=85°C85%RH Vop_max, 1000h

- 試験には膨大なコスト(時間・設備等)がかかる
- 結果がNGでもどう対策していいかわからない

# 研究目的

- MOS劣化現象をシミュレーションモデル化
  - 回路シミュレータで性能劣化が予想可能
  - 劣化を抑制する回路検討が可能



# アウトライン

---

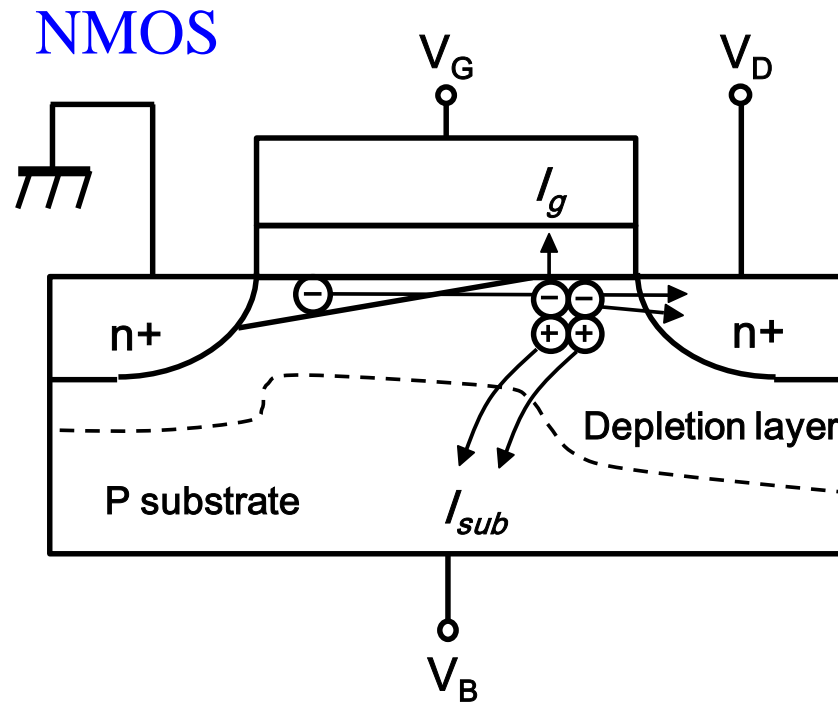
- 研究背景・目的
- 従来モデル概要
- 提案モデル概要
- モデルパラメータの抽出とシミュレーション
- まとめ
- 今後の課題



# 代表的なMOS劣化メカニズム

- HCI(Hot Carrier Injection)

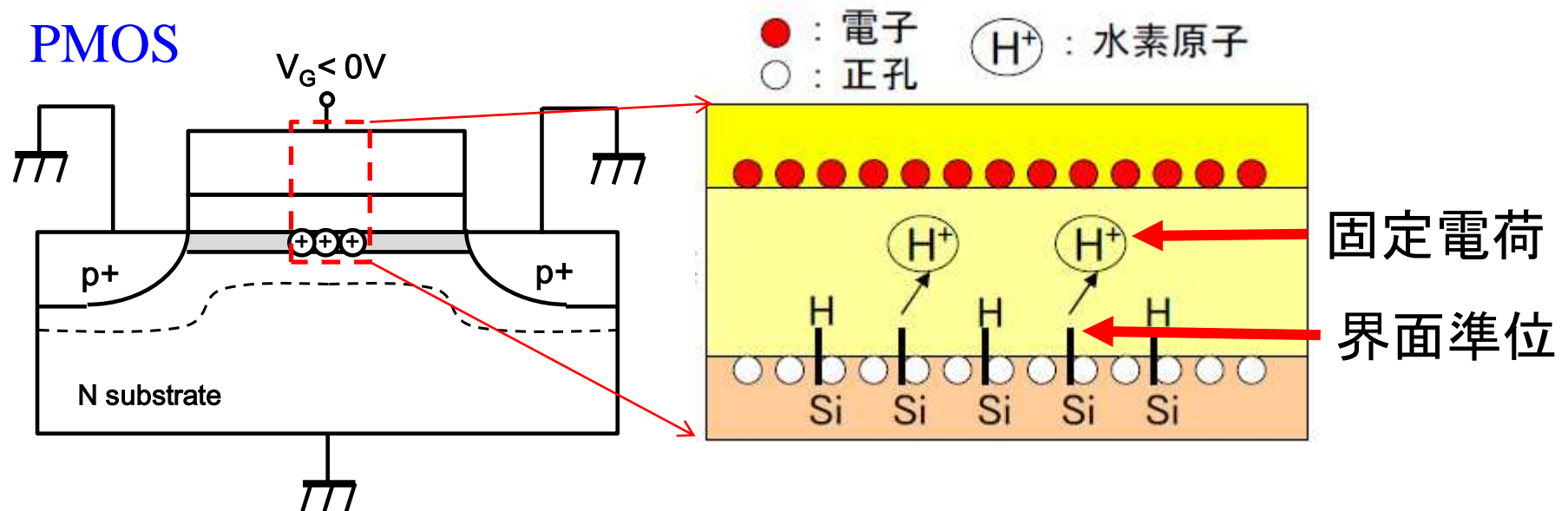
- 高電界領域で大きなエネルギーを得た電子がゲートに注入されることにより特性劣化を引き起こす。



- 飽和領域で起こる現象  
( $V_{gs}=1/2V_{ds}\sim V_{ds}$ )
- 衝突電離(Impact Ionization)  
により正孔電流が発生

# 代表的なMOS劣化メカニズム

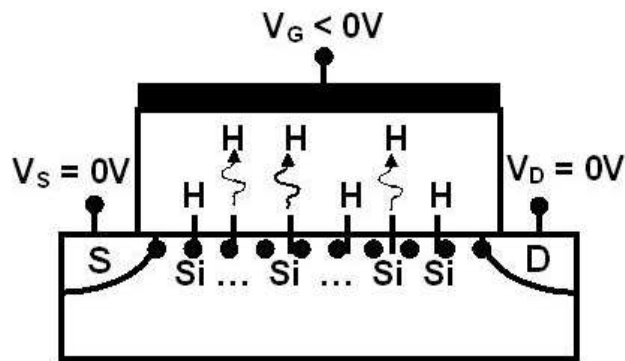
- NBTI(Negative Bias Temperature Instability)
  - PMOSのゲートに負バイアスが印加されると、正孔による反転層が形成される。SiO<sub>2</sub>界面の正孔がSi-H結合を破壊することにより、特性劣化を引き起こす。



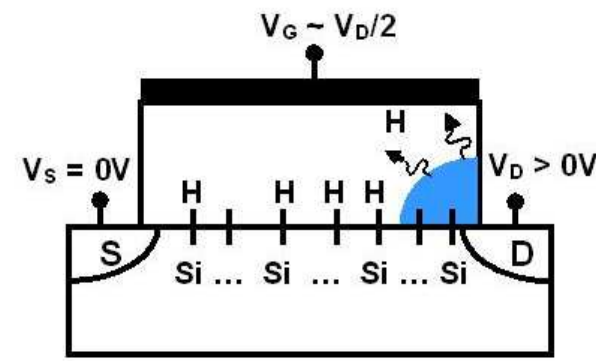
➡ NMOSではPBTI(Positive BTI)と呼ばれる。

# 代表的なMOS劣化理論

- RDモデル (Reaction-Diffusion model)
  - Si-SiO<sub>2</sub>界面での水素解離反応と酸化膜中への拡散を一般化した拡散・反応モデル



NBTI / PBTI



HCI

- NBTI/PBTIは劣化への影響が長期間バイアス印加後で、劣化量も比較的少ない
- 本研究はnMOSでは支配的なHCI現象を対象

# HCI劣化モデル

- Hu Model

- 多くのHCIモデルの元となる代表的モデル

$$\Delta N_{it} = C_1 \left[ t \frac{I_{DS}}{W} \exp\left(-\frac{\phi_{it}}{q\lambda E_m}\right) \right]^n$$

Em:横方向電界  
Nit:界面準位の数



Emは正確な解析モデルが導出困難なため、  
代わりにIsubを関数とすることが多い

$$\Delta N_{it} = C_2 \left( \frac{I_{sub}}{W} \right)^\alpha t^n$$

IsubはHCI劣化のバロメータ

$$\mu = \frac{\mu_0}{1 + \beta \Delta N_{it} \uparrow}$$

— 移動度減少

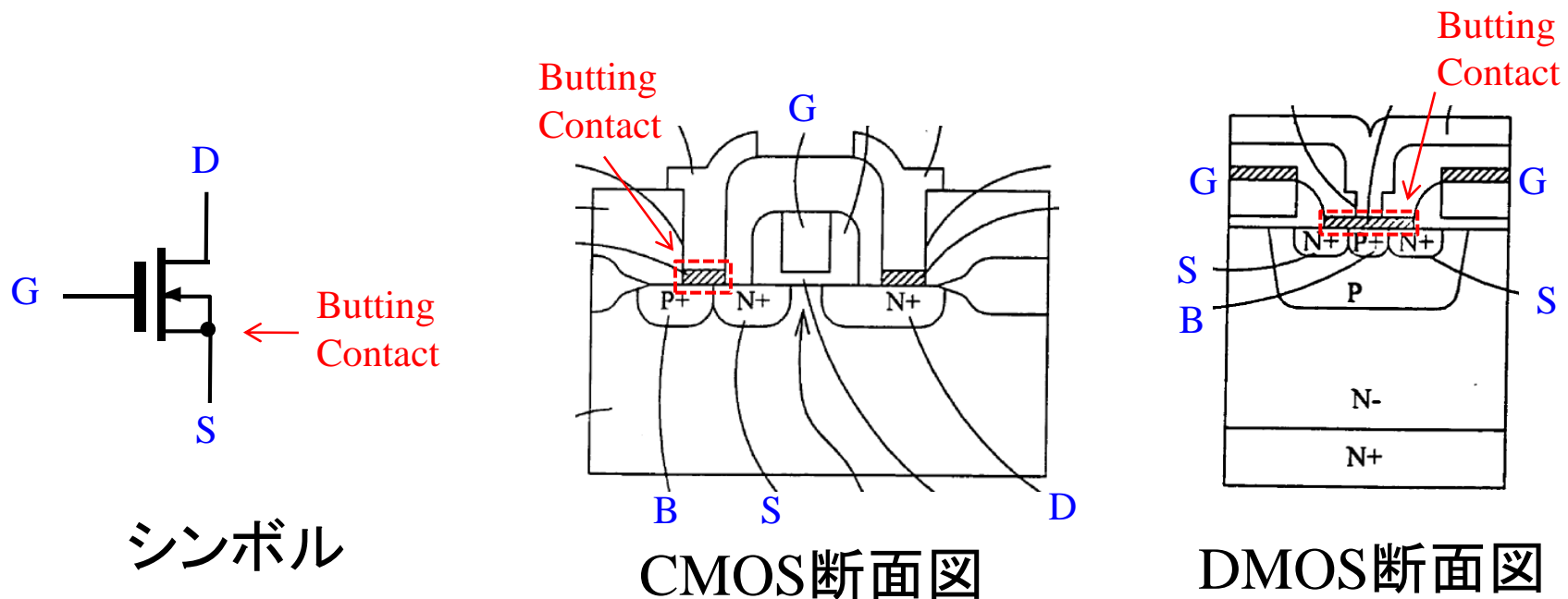
$$V_{th} = V_{th0} + \frac{q \Delta N_{it} \uparrow}{C}$$

— しきい値増加

ΔNit変化による特性劣化式

# Isubモデルの欠点

- Bodyが内部でショートされている構造にはIsubモデルは使えない



➡ 本研究ではIsubを使用しないモデルを考える

# アウトライン

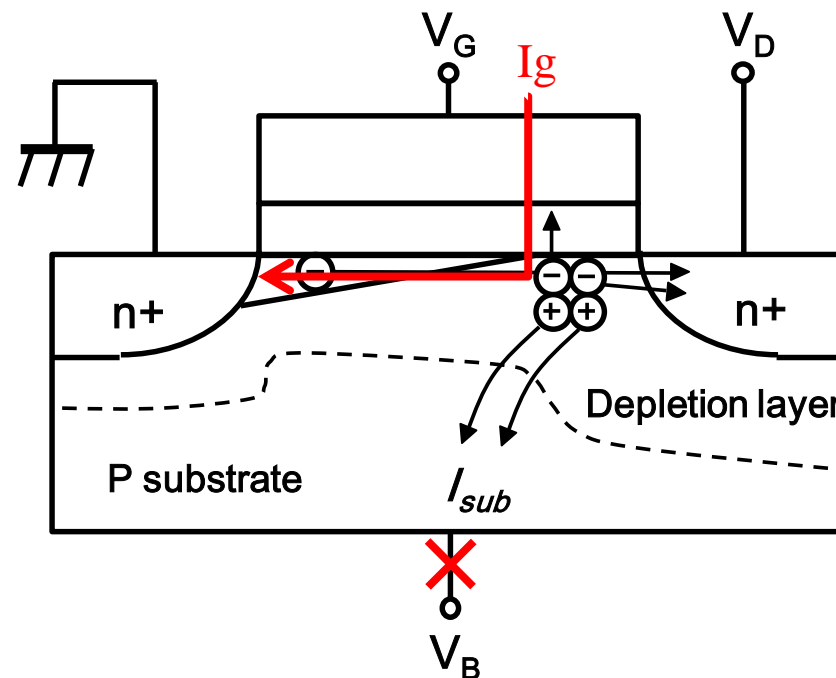
---

- 研究背景・目的
- 従来モデル概要
- **提案モデル概要**
- モデルパラメータの抽出とシミュレーション
- まとめ
- 今後の課題

# 90nm MOSFETの信頼性モデル

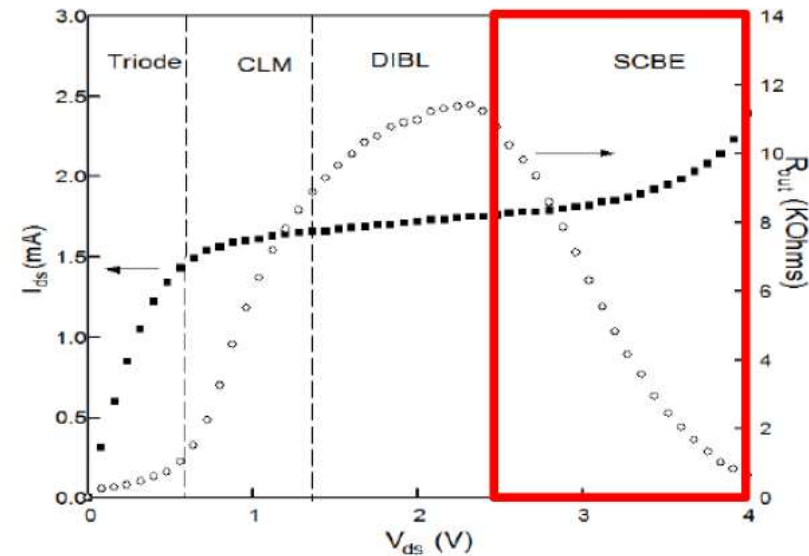
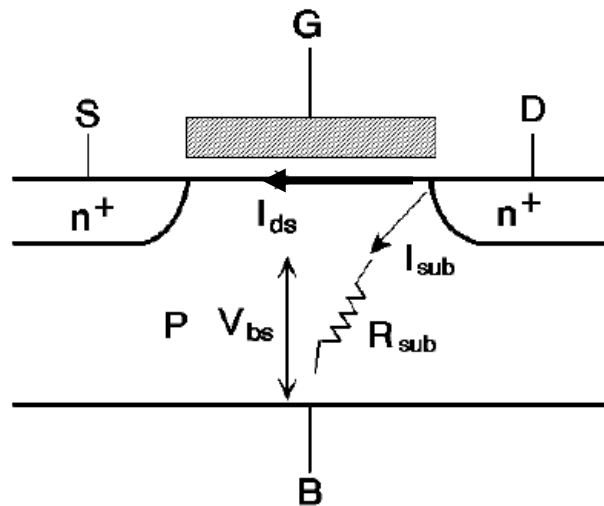
- 提案モデル
  - HCI induced Gate Leakage Current Model

HCIによって流れるゲート電流( $I_g$ )を $I_{sub}$ の代替とする



# Substrate Current induced Body Effect

- 衝突電離によって発生した $I_{sub}$ により基板バイアス効果が起こる現象。BSIM4でサポートされている。



## インパクトイオンモデル

$$I_{sub} = \frac{A_i}{B_i} I_{ds} (V_{ds} - V_{dsat}) \exp\left(-\frac{B_i \cdot litl}{V_{ds} - V_{dsat}}\right) \quad litl = \sqrt{\frac{\epsilon_{si} TOXE \cdot XJ}{EPSROX}}$$



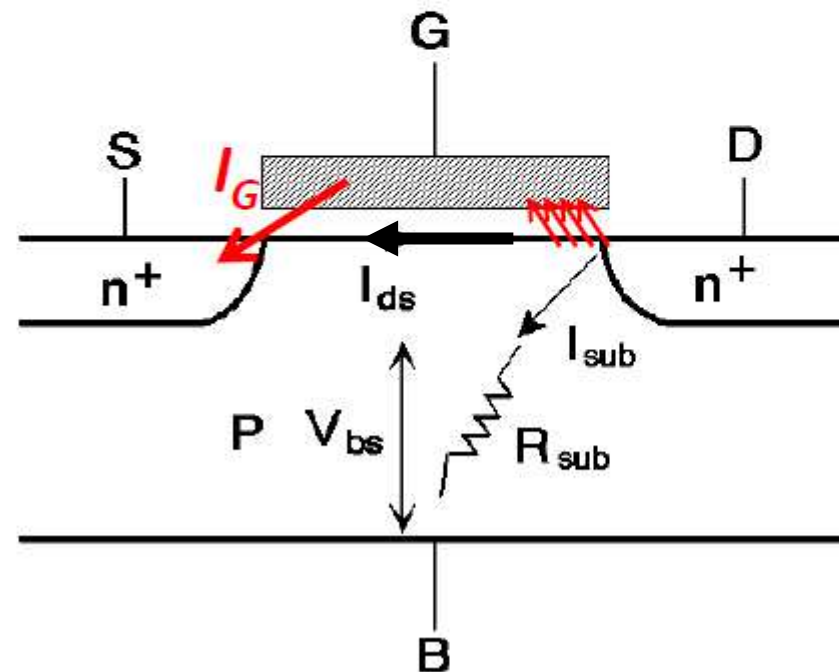
# HCIによるゲート電流モデル

Cheng Ming Huのモデル参照により, Substrate電流は,

$$I_{SUB} = C_1 I_d e^{-\phi_i / q\lambda E_m}$$

同時にゲートに注入される電子によるGate電流は, 確率だけの問題なので,

$$I_G = C_2 I_d e^{-\phi_b / q\lambda E_m}$$



# HCIによるゲート電流

BSIM4モデルのSCBEによるSubstrate電流は,

$$I_{SUB} = \frac{A_i}{B_i} I_{ds} (V_{ds} - V_{dsat}) e^{-\frac{B_i \cdot litl}{V_{ds} - V_{dsat}}}$$

同様に考えると, ゲートに注入される電子によるGate電流は,

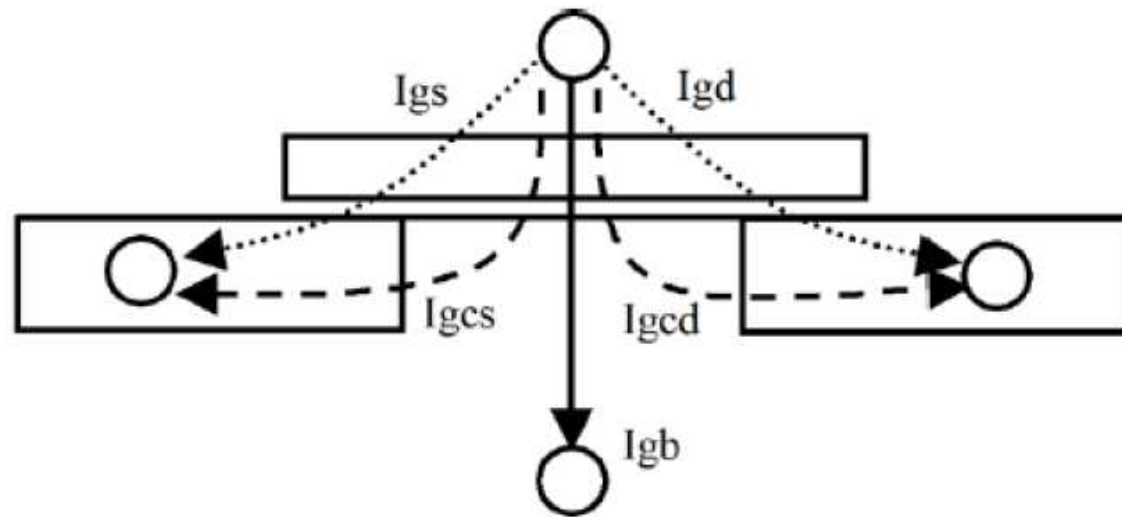
$$I_{G\_HCI} = \frac{GA_i}{GB_i} I_{ds} (V_{ds} - V_{dsat}) e^{-\frac{GB_i \cdot litl}{V_{ds} - V_{dsat}}}$$

となるはずである.

$$litl = \sqrt{\frac{\epsilon_{st} TOXE \cdot XJ}{EPSROX}}$$

# Gate Direct Tunneling Current Model

- BSIM4でサポートしているゲートリーク電流モデル



**Note:** when  $tempMod = 2$ , nominal temperature (TNOM) is used to replace the operating temperature in following gate tunneling current equations. When  $tempMod=0$ , or 1, operating temperature is still used.

# Gate-to-Substrate Current ( $I_{gb} = I_{gbacc} + I_{gbinv}$ )

$I_{gbacc}$ , determined by ECB (Electron tunneling from Conduction Band), is significant in accumulation and given by

$$I_{gbacc} = W_{eff} L_{eff} \cdot A \cdot T_{oxRatio} \cdot V_{gb} \cdot V_{aux} \cdot \exp\left[-B \cdot TOXE (AIGBACC - BIGBACC \cdot V_{oxacc}) \cdot (1 + CIGBACC \cdot V_{oxacc})\right]$$

where the physical constants  $A = 4.97232e-7 \text{ A/V}^2$ ,  $B = 7.45669e11 \text{ (g/F-s}^2\text{)}^{0.5}$ , and

$$T_{oxRatio} = \left(\frac{TOXREF}{TOXE}\right)^{NTOX} \cdot \frac{1}{TOXE^2}$$

$$V_{aux} = NIGBACC \cdot v_t \cdot \log\left(1 + \exp\left(-\frac{V_{gb} - V_{fbzb}}{NIGBACC \cdot v_t}\right)\right)$$

# Gate-to-S/D Current ( $I_{gs}$ and $I_{gd}$ )

---

$$I_{gs} = W_{eff} DLCIG \cdot A \cdot T_{oxRatioEdge} \cdot V_{gs} \cdot V_{gs}' \cdot \exp\left[-B \cdot TOXE \cdot POXEDGE \cdot (AIGS - BIGS \cdot V_{gs}') \cdot (1 + CIGS \cdot V_{gs}')\right]$$

and

$$I_{gd} = W_{eff} DLCIGD \cdot A \cdot T_{oxRatioEdge} \cdot V_{gd} \cdot V_{gd}' \cdot \exp\left[-B \cdot TOXE \cdot POXEDGE \cdot (AIGD - BIGD \cdot V_{gd}') \cdot (1 + CIGD \cdot V_{gd}')\right]$$

# Partition of $I_{gc}$

---

that is  $I_{gc} = I_{gcs} + I_{gcd}$ , and

$$I_{gcs} = I_{gc0} \cdot \frac{PIGCD \cdot V_{dseff} + \exp(-PIGCD \cdot V_{dseff}) - 1 + 1.0e-4}{PIGCD^2 \cdot V_{dseff}^2 + 2.0e-4}$$

and

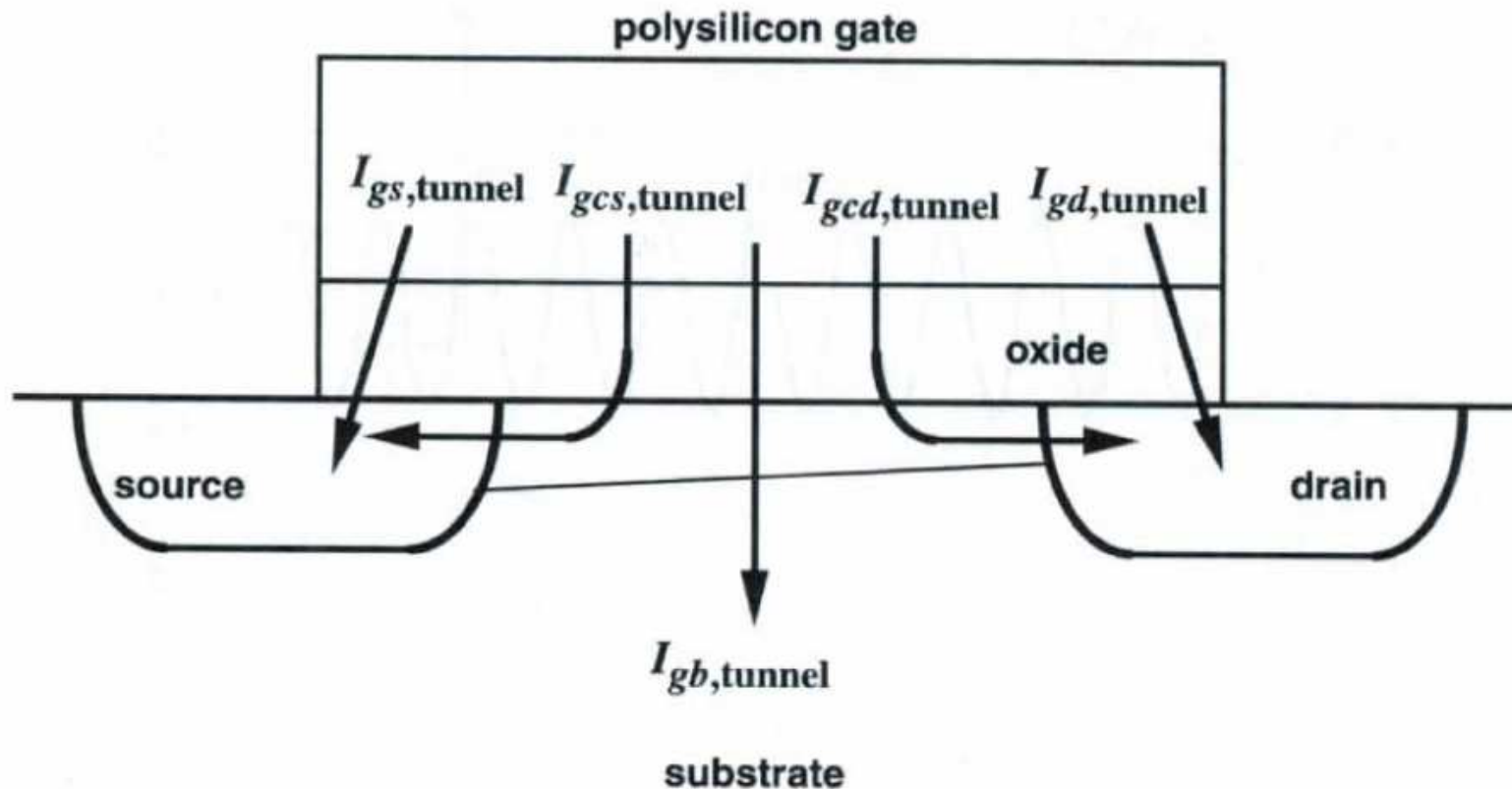
$$I_{gcd} = I_{gc0} \cdot \frac{1 - (PIGCD \cdot V_{dseff} + 1) \cdot \exp(-PIGCD \cdot V_{dseff}) + 1.0e-4}{PIGCD^2 \cdot V_{dseff}^2 + 2.0e-4}$$

where  $I_{gc0}$  is  $I_{gc}$  at  $V_{ds}=0$ .



# ドレインバイアス依存性も考慮する

ドレインバイアスによって、リーク・トンネル電流は変化しないか？





# ゲート・ソースのトンネル・リーク電流

$$I_{gcs,tunnel} = \begin{cases} I_{gc} \times \frac{-1 + \text{PIGCD} \cdot V_{DS} + \exp(-\text{PIGCD} \cdot V_{DS}) + 10^{-4}}{(\text{PIGCD} \cdot V_{DS})^2 + 2 \times 10^{-4}} & \text{if IGCMOD} \neq 0 \\ 0 & \text{if IGCMOD} = 0. \end{cases}$$

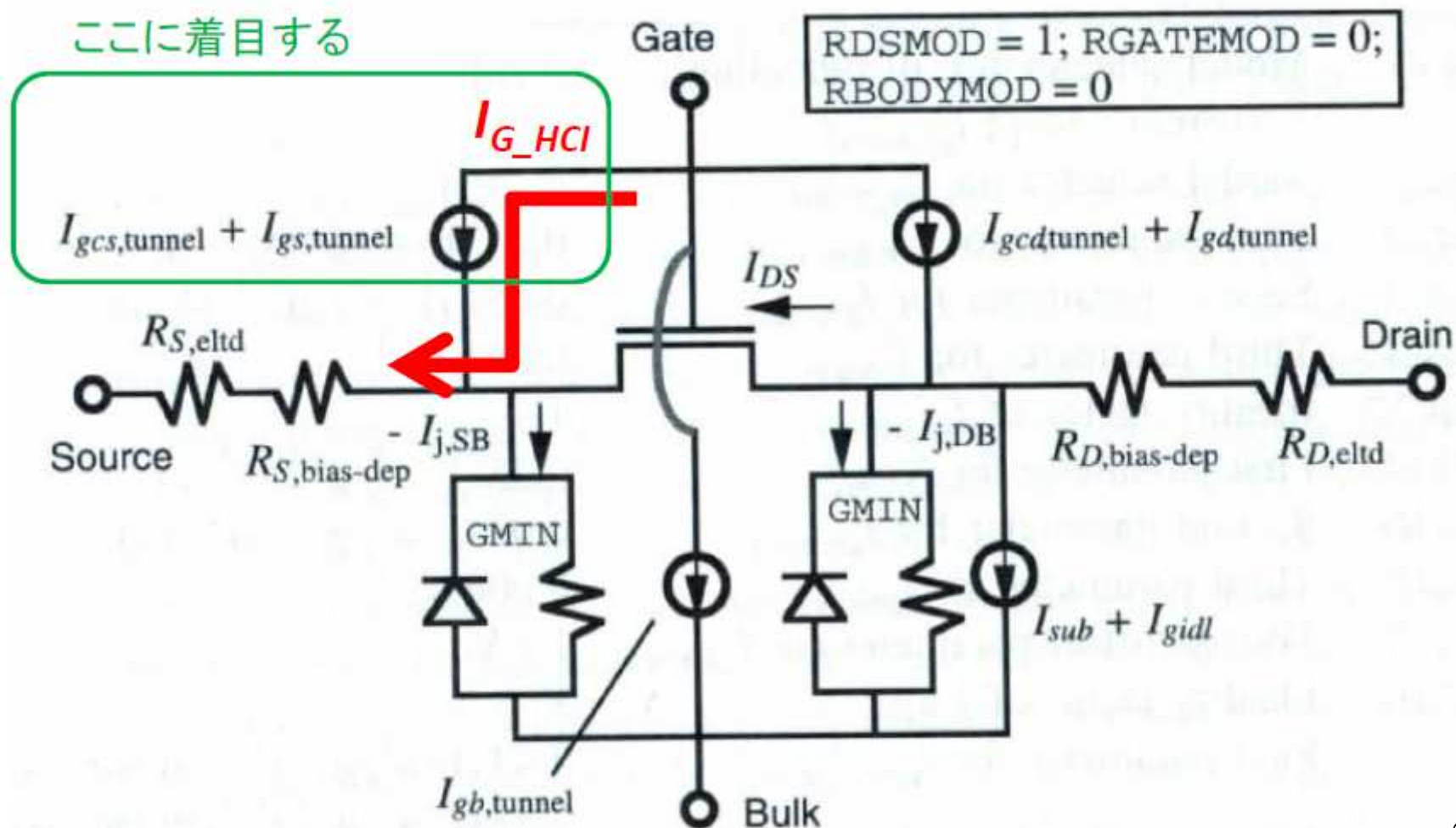
$$I_{gc} = \text{NF} W_{eff} L_{eff} \frac{A3}{\text{TOXE}^2} \left( \frac{\text{TOXREF}}{\text{TOXE}} \right)^{\text{NTOX}} V_{GS,eff} \\ \times \text{NIGC} \frac{kT}{q} \ln \left[ 1 + \exp \left( + \frac{q(V_{GS,eff} - V_{TH0})}{kT \cdot \text{NIGC}} \right) \right] \\ \times \exp[-B3 \cdot \text{TOXE}(\text{AIGC} - \text{BIGC} V_{ox,depinv}) \cdot (1 + \text{GIGC} V_{ox,depinv})].$$

$$I_{gs,tunnel} = \begin{cases} I_{gs} & \text{if IGCMOD} \neq 0; \\ 0 & \text{if IGCMOD} = 0; \end{cases}$$

$$I_{gs} = \text{NF} W_{eff} \text{DLCIG} \frac{A3}{(\text{TOXE} \cdot \text{POXEDGE})^2} \left( \frac{\text{TOXREF}}{\text{TOXE} \cdot \text{POXEDGE}} \right)^{\text{NTOX}} V_{GS} \times V'_{GS} \\ \times \exp[-B3 \cdot \text{TOXE} \cdot \text{POXEDGE}(\text{AIGSD} - \text{BIGSD} V'_{GS}) \\ \cdot (1 + \text{CIGSD} V'_{GS})];$$

$$V'_{GS} = \sqrt{(V_{GS} - V_{FB,SD})^2 + 10^{-4}}; \quad 25$$

# 等価回路で表記



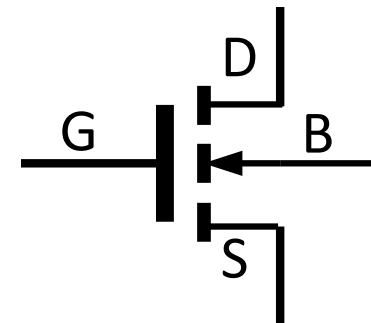
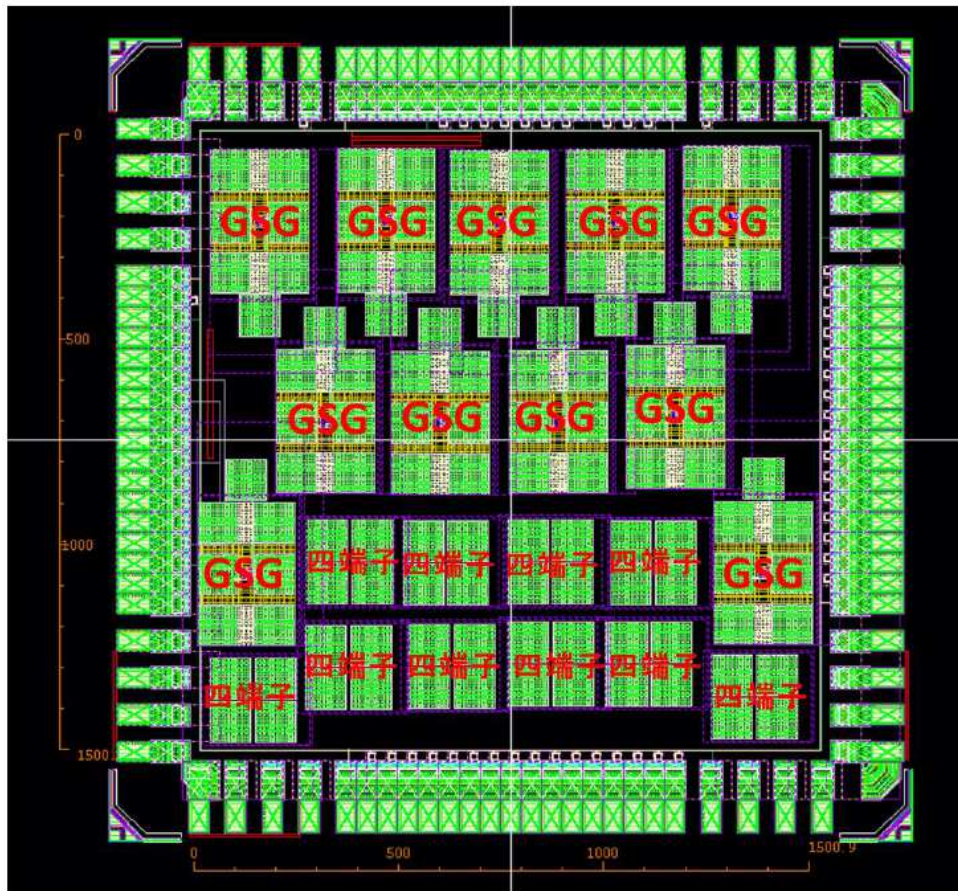
# アウトライン

---

- 研究背景・目的
- 従来モデル概要
- 提案モデル概要
- **モデルパラメータの抽出とシミュレーション**
- まとめ
- 今後の課題

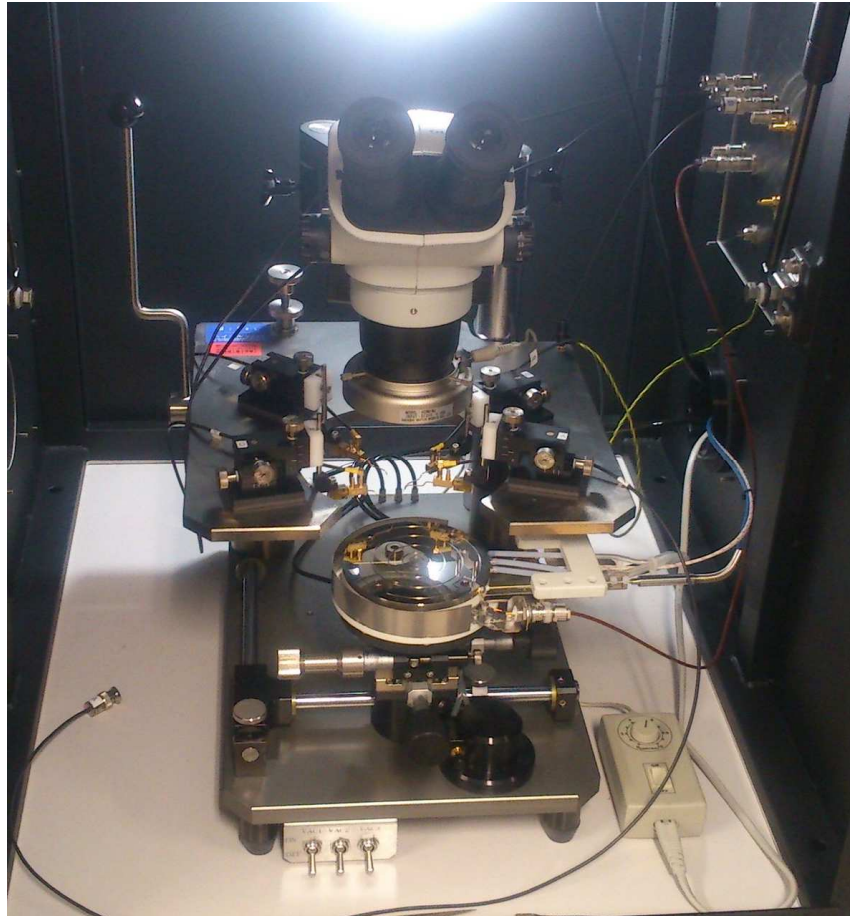
# 実験に使用したTEG

- FAB:TSMC 90nmプロセス
- nMOS:W/L=10 $\mu$ m/0.1 $\mu$ m (GSG構造)

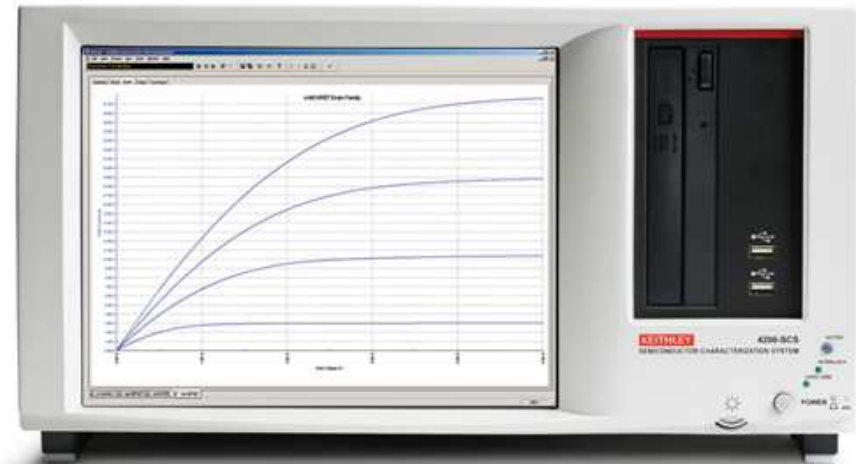


※本TEGはBulkは独立してるので測定可能

# 測定環境



ハイソル社:プローバ  
オムロン社:温度コントローラ



ケースレー社:パラメータアナライザ  
(4200-SCS)

MoDeCH: X-tractorを用いてパラメータ抽出

Key sight (Agilent): IC-CAPを用いてモデル検証

# モデリングの手順

0. 基本特性を測定し、パラメータ抽出・最適化する



(非HCI条件)

1.  $V_{DS}=0\sim 300\text{mV}$ の間で、 $I_{GS}-V_{GS}$ 測定
2. 1の結果より、ゲートリークパラメータ抽出を行う



(HCI条件)

3.  $V_{DS}=V_{DD}$ での $I_{GS}-V_{GS}$ 測定データ上で、シミュレーションする
4. 3.での差分が $I_{GS\_HCI}$ のとなるので、これをプロットして、以下の式で $GA_i, GB_i$ を最適化する

$$I_{G\_HCI} = \frac{GA_i}{GB_i} I_{ds} (V_{ds} - V_{dsat}) e^{\frac{GB_i \cdot |I_{G\_HCI}|}{V_{ds} - V_{dsat}}}$$

# モデリングの手順

---

0. 基本特性を測定し、パラメータ抽出・最適化する



(非HCI条件)

1.  $V_{DS}=0\sim 300\text{mV}$ の間で、 $I_{GS}-V_{GS}$ 測定
2. 1の結果より、ゲートリークパラメータ抽出を行う

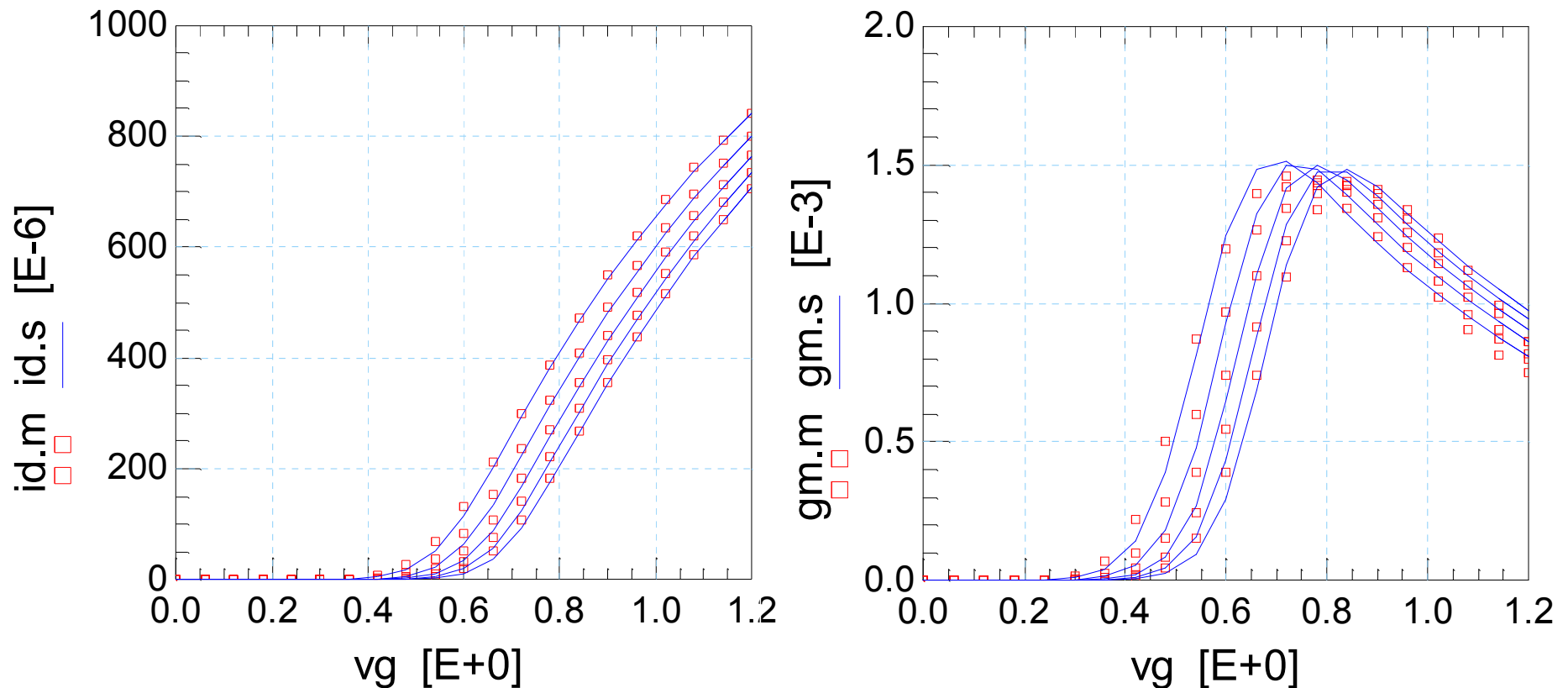


(HCI条件)

3.  $V_{DS}=V_{DD}$ での $I_{GS}-V_{GS}$ 測定データ上で、シミュレーションする
4. 3.での差分が $I_{GS\_HCI}$ のとなるので、これをプロットして、以下の式で $GA_i, GB_i$ を最適化する

# 基本特性抽出結果： $I_{DS}-V_{GS}(Lin)$

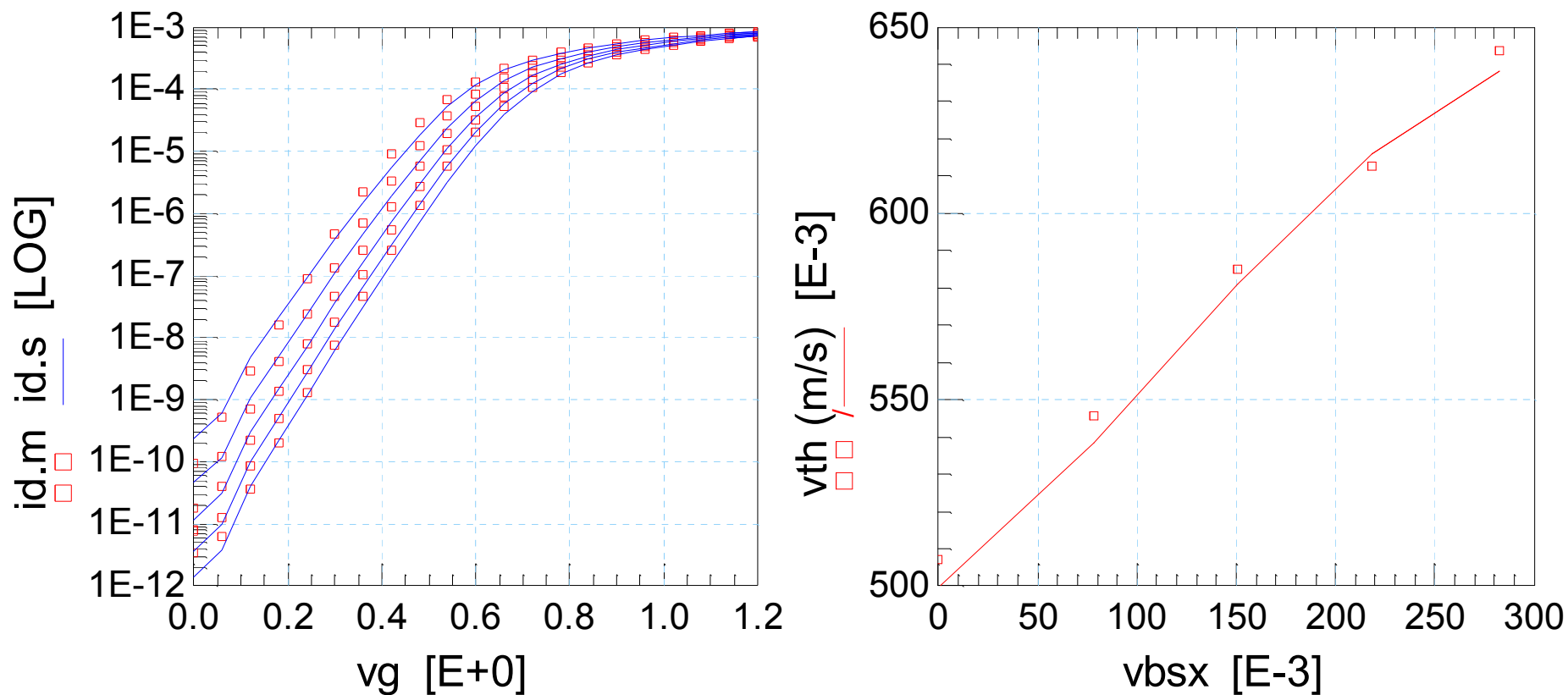
測定条件： $V_{DD}=1.2V$ ,  $V_{BS}=0\sim-1V$





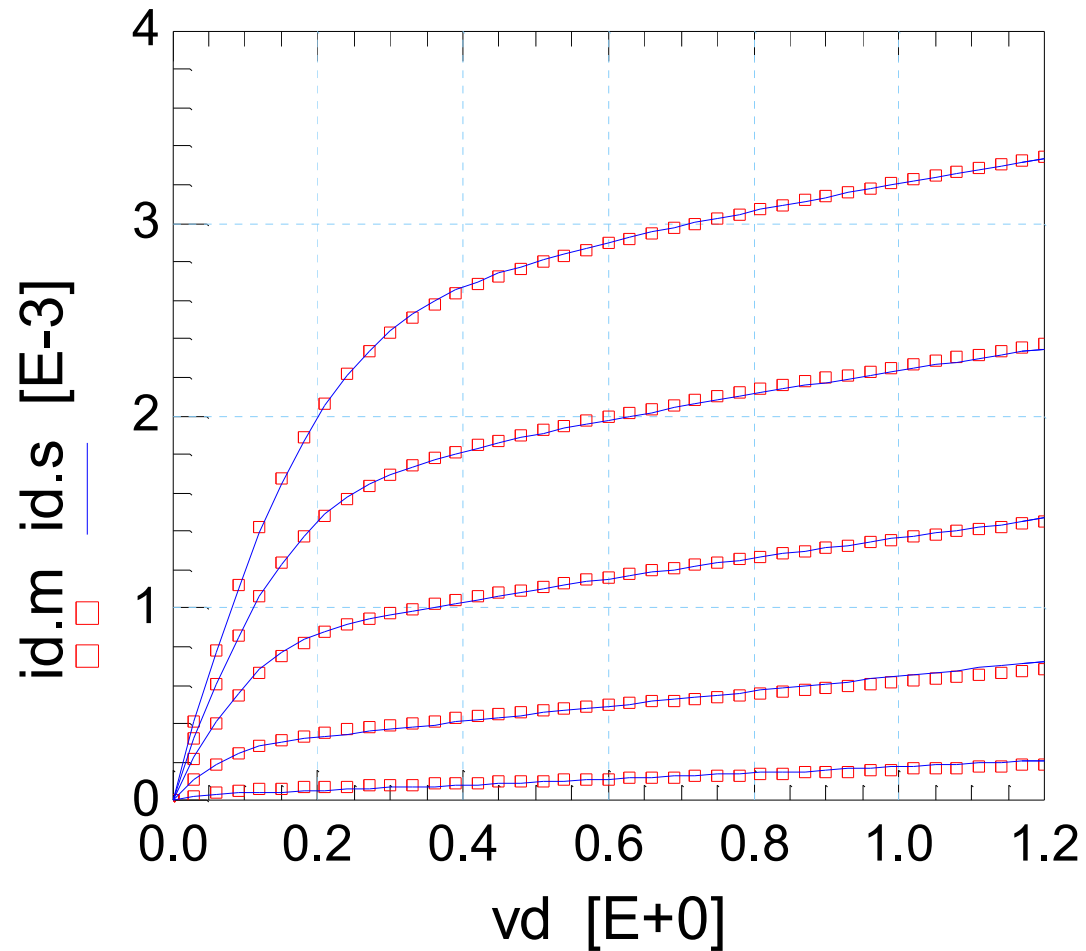
# 基本特性抽出結果: $I_{DS}-V_{GS}(Lin)$

測定条件:  $V_{DD}=1.2V$ ,  $V_{BS}=0\sim-1V$



# 基本特性抽出結果: $I_{DS}-V_{DS}$

測定条件:  $V_{DD}=1.2V$ ,  $V_{GS}=0.5\sim 1V$



# モデリングの手順

0. 基本特性を測定し、パラメータ抽出・最適化する



(非HCI条件)

1.  $V_{DS}=0\sim 300\text{mV}$ の間で、 $I_{GS}-V_{GS}$ 測定
2. 1の結果より、ゲートリークパラメータ抽出を行う

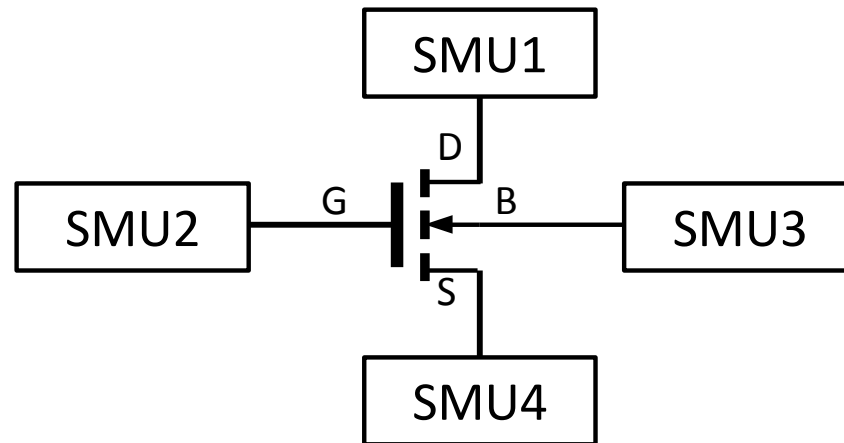


(HCI条件)

3.  $V_{DS}=V_{DD}$ での $I_{GS}-V_{GS}$ 測定データ上で、シミュレーションする
4. 3.での差分が $I_{GS\_HCI}$ のとなるので、これをプロットして、以下の式で $GA_i, GB_i$ を最適化する

$$I_{G\_HCI} = \frac{GA_i}{GB_i} I_{ds} (V_{ds} - V_{dsat}) e^{\frac{GB_i \cdot |I_{ds}|}{V_{ds} - V_{dsat}}}$$

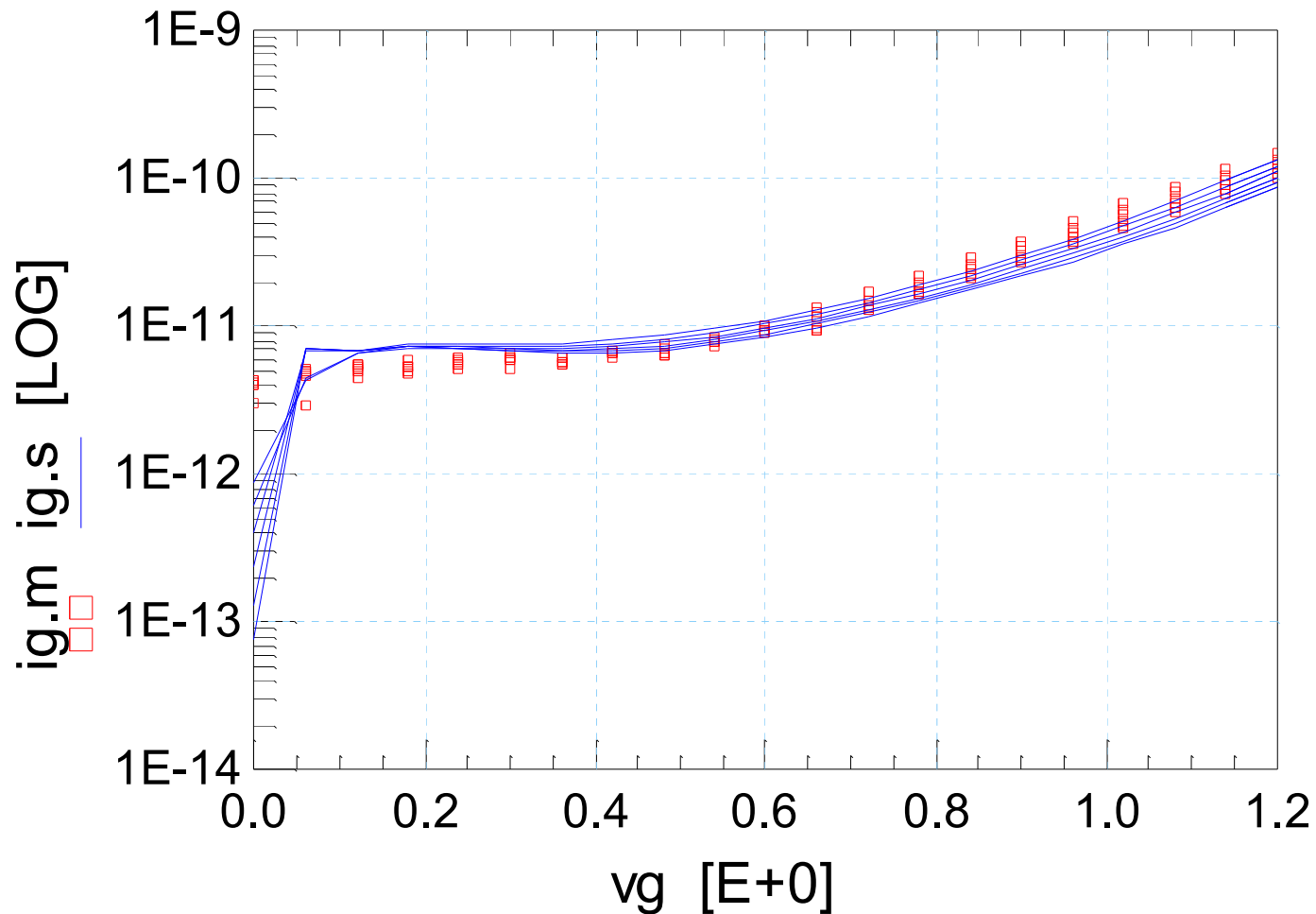
# $I_{GS}-V_{GS}$ ゲートリーク測定セットアップ



Measurement	Monitor	Vd	Vg	Vs	Vb
Ig-vgs	Id,Ig,Is,Ib	0~300mV (50mV step)	0~VDD (60mV/step)	0V	0V

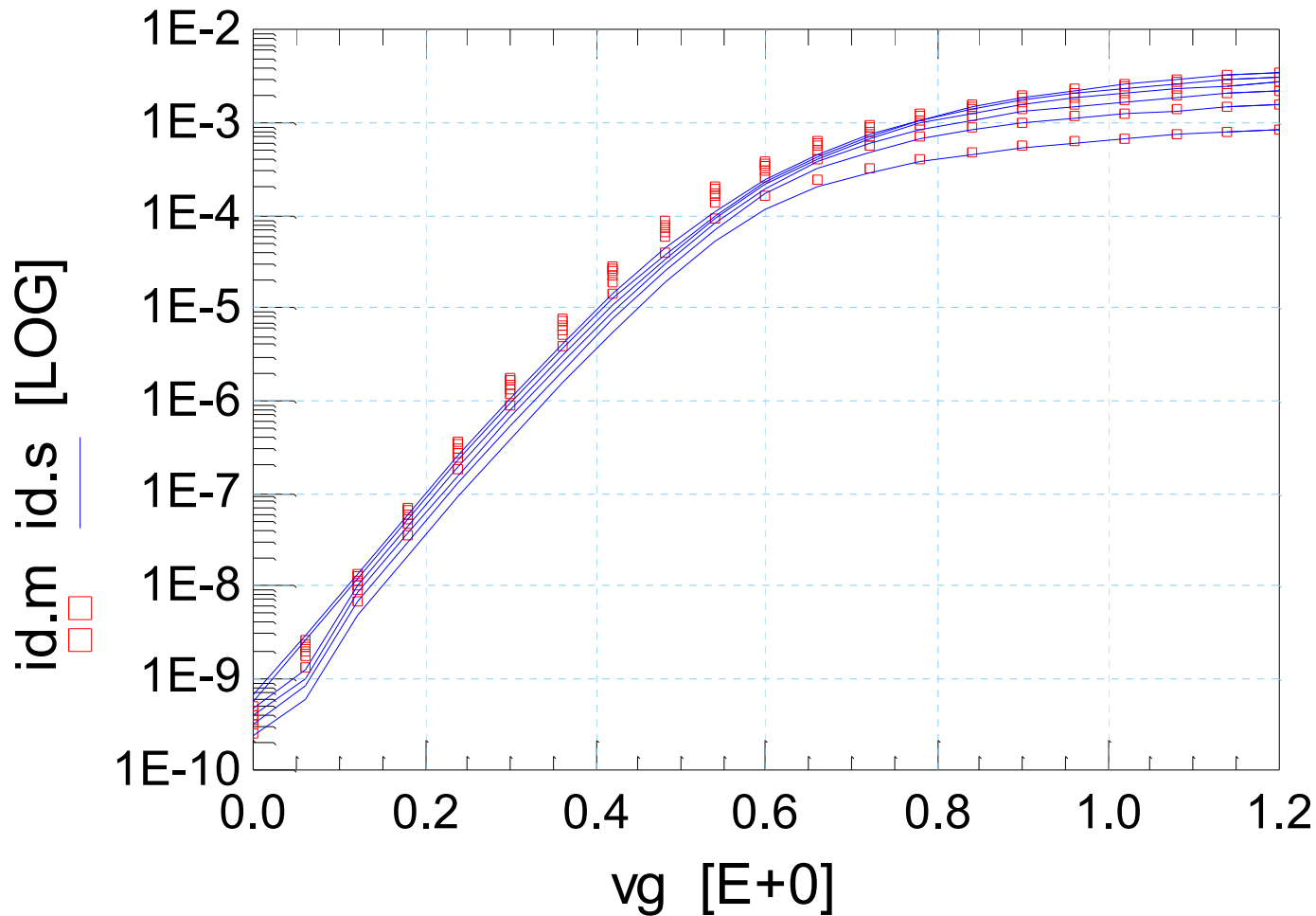
# $I_{GS}-V_{GS}$ ゲートリーク測定・抽出結果

測定条件:  $V_{DD}=1.2V$ ,  $V_{DS}=0\sim 300mV$



# $I_{GS}-V_{GS}$ ゲートリーク測定・抽出結果

測定条件:  $V_{DD}=1.2V$ ,  $V_{DS}=50\sim 300mV$



# モデリングの手順

0. 基本特性を測定し、パラメータ抽出・最適化する



(非HCI条件)

1.  $V_{DS}=0\sim 300\text{mV}$ の間で、 $I_{GS}-V_{GS}$ 測定
2. 1の結果より、ゲートリークパラメータ抽出を行う

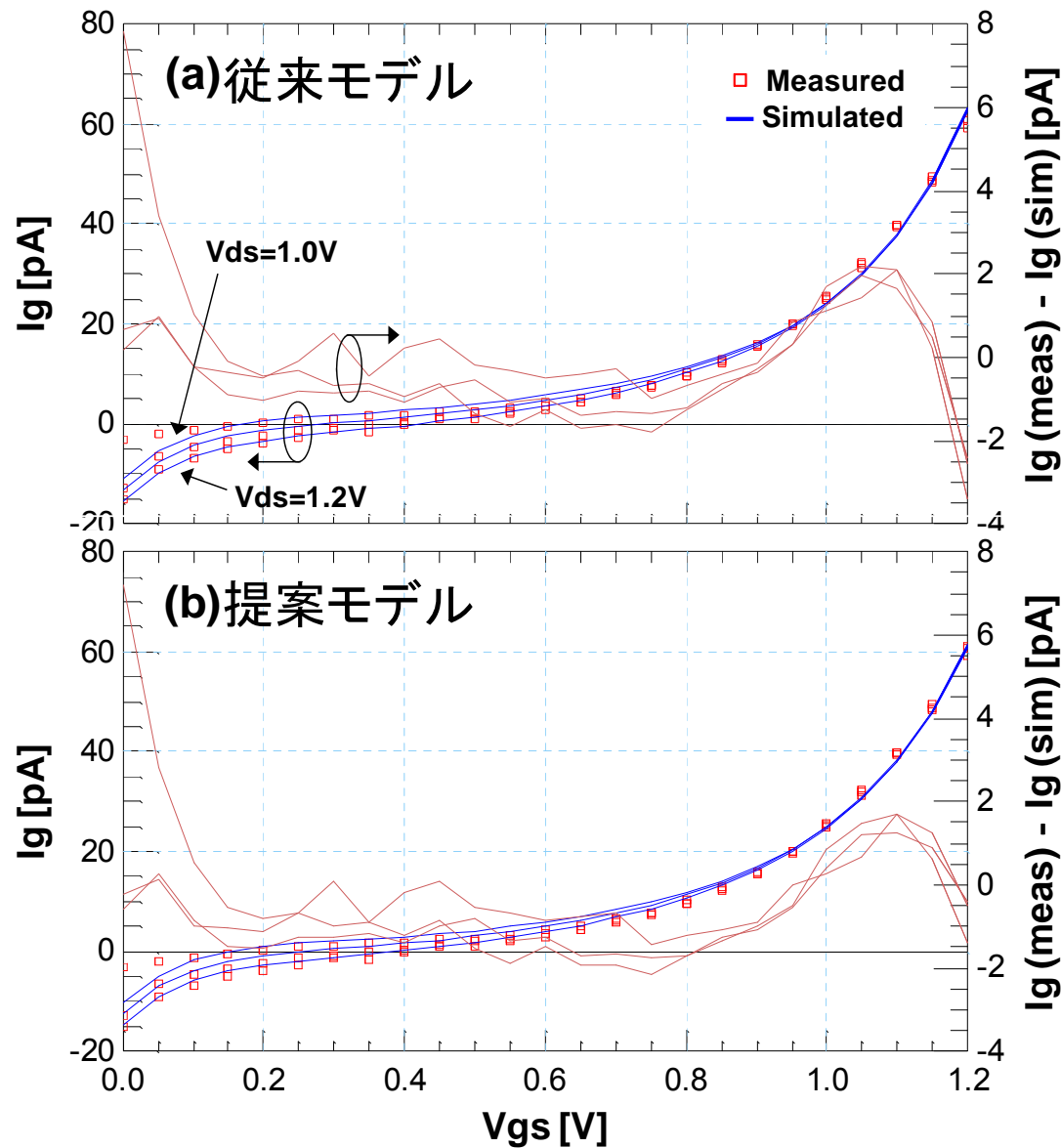


(HCI条件)

3.  $V_{DS}=V_{DD}$ での $I_{GS}-V_{GS}$ 測定データ上で、シミュレーションする
4. 3.での差分が $I_{GS\_HCI}$ のとなるので、これをプロットして、以下の式で $GA_i, GB_i$ を最適化する

$$I_{G\_HCI} = \frac{GA_i}{GB_i} I_{ds} (V_{ds} - V_{dsat}) e^{\frac{GB_i \cdot |I_{ds}|}{V_{ds} - V_{dsat}}}$$

# HCIによるゲートリークモデル検証



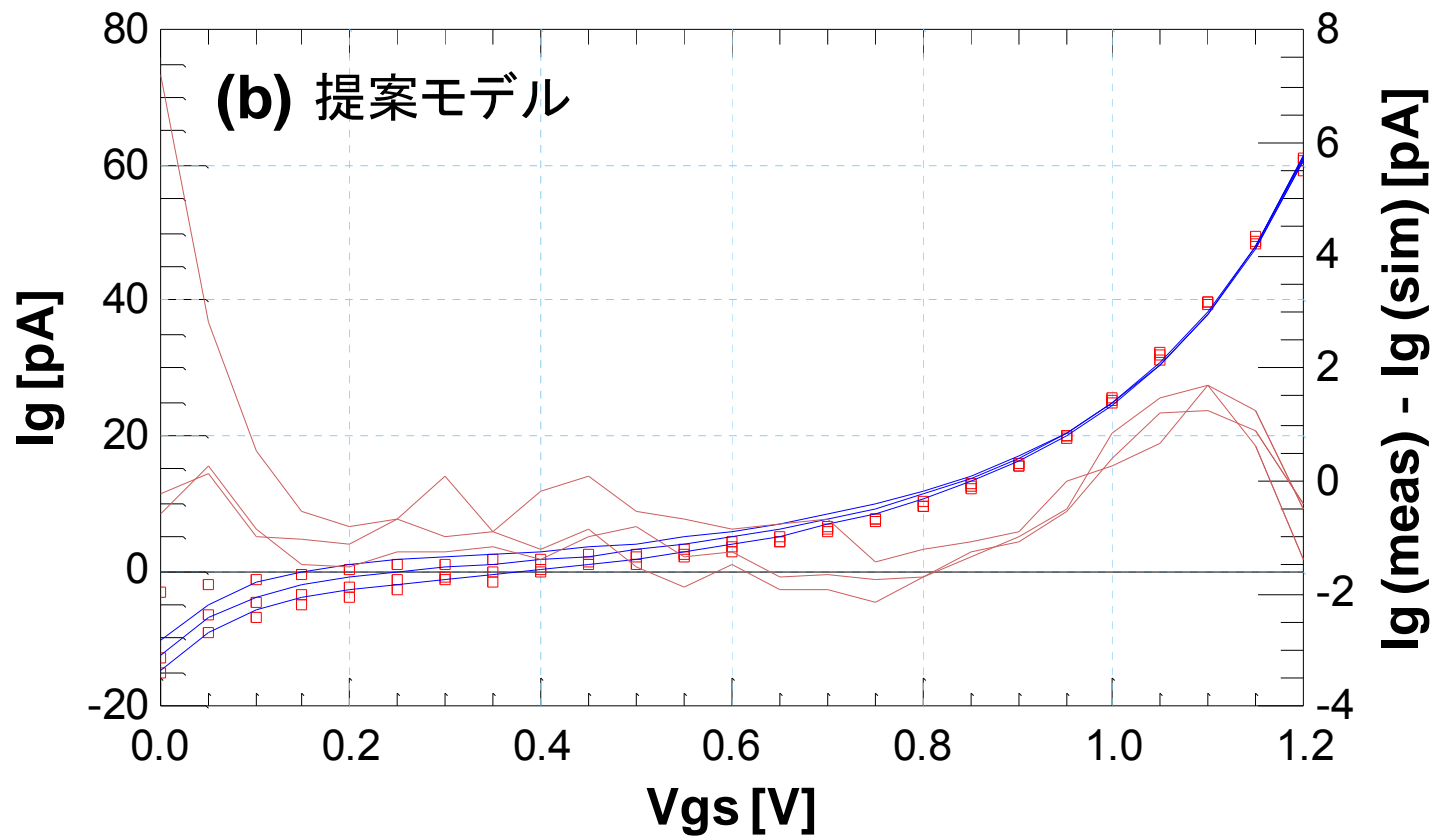
HCI電流モデル追加

HCIが発生する  
 $V_{gs}=0.6\sim 1.2V$ の間で  
精度が向上



# 結果と考察

- HCIによるゲートリーク電流は数pA程度  
– 高精度な測定・抽出が必要



# アウトライン

---

- 研究背景・目的
- 従来モデル概要
- 提案モデル概要
- モデルパラメータの抽出とシミュレーション
- まとめ
- 今後の課題

## まとめ

---

- 経時劣化・温度シミュレーション用の新モデルを提案
  - HCI induced Gate Leakage Current Model
- モデル式およびパラメータ抽出方法を開発
- 実験結果から提案モデルでの精度向上を確認
  - HCIによるゲート電流の寄与は数pA
  - ゲートから抽出するためには高精度な測定・抽出が必要

### 今後の課題

- 提案モデルを用いた劣化モデルへの展開  
(劣化実験・劣化モデル作成)

## 質疑応答

---

- Q: 90nmくらいのプロセスになるとIgbが大きくなるけど無視していいの？Igdも無視していいのか？
- A: Igbは実際に測定も行ったが値が測定値がおそらく分解能以下のレベルだったので少ないと判断して無視した。Igdも無視したが、結果はpAオーダーなので無視した分の影響も厳密には考える必要はある。

# 質疑応答

---

- Q:なぜわざわざゲートからHClを測定するのか？基板のコンタクトを分離したものでモデリングすればいいのではないか？
- A:基板のコンタクトを分離したものは実際の構造と変わってしまう。構造に依存せず測定できる方法として本手法を提案した。