

2015/7/3

電子回路研究会 in 防衛大学

フィボナッチ数列重み付け SAR ADCのためのDACの検討

群馬大学大学院

理工学府 理工学専攻

荒船拓也 澁谷将平

小林佑太郎 小林春夫



アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

研究背景・目的

自動車のエレクトロニクス化が著しく
車載用エレクトロニクス技術に大きな関心



車載用マイコンと組み合わせるADCへの要求が厳しい

→ 逐次比較近似AD変換器

↓ +冗長性

逐次比較近似AD変換器の冗長設計

→ 高性能化・高速化

↓ +整数論

研究目的

逐次比較近似AD変換器の整数論を用いた冗長設計

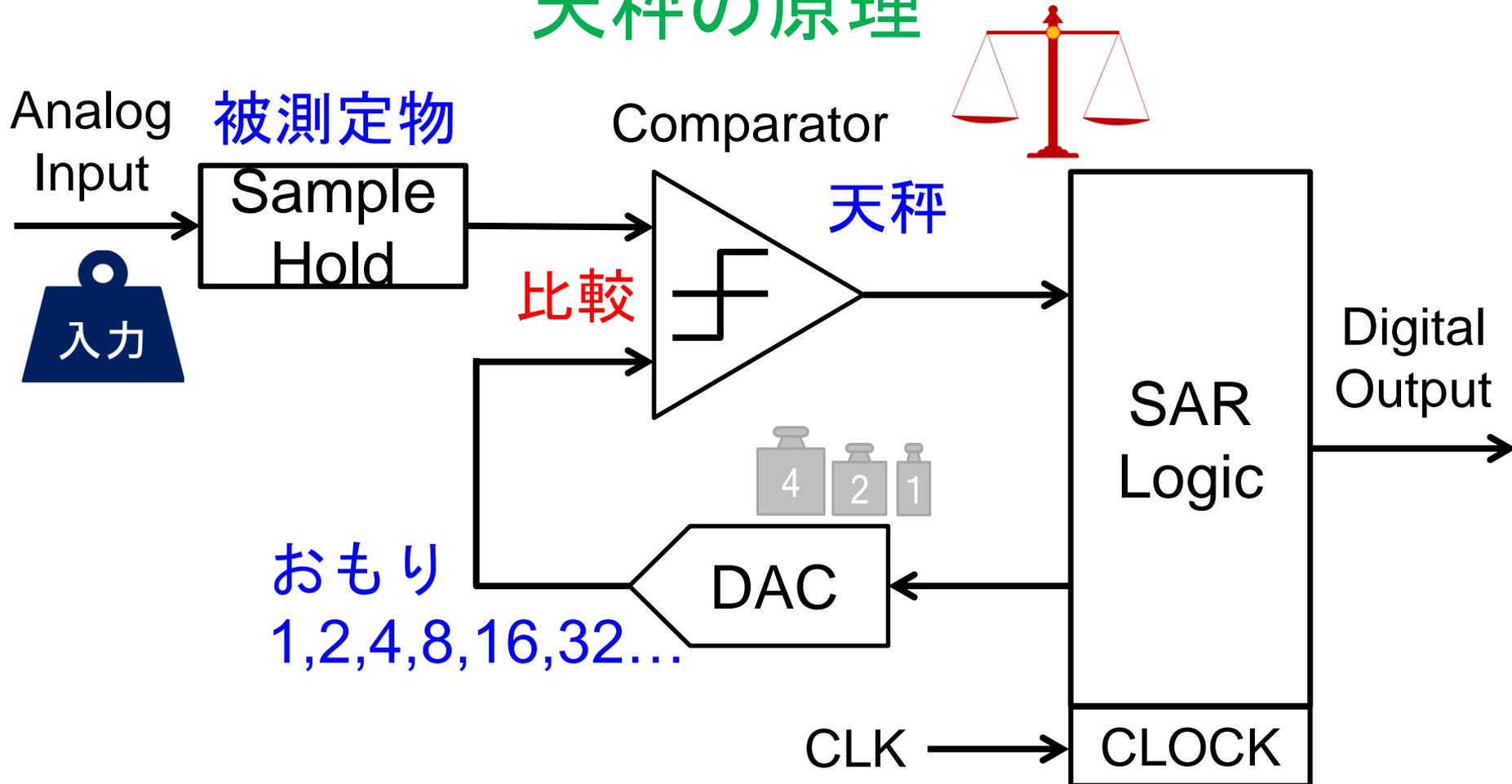
→ さらに高性能化・高速化

従来のDACが
使用不可

SAR ADCとは

アナログ入力と参照電圧を比較、結果に応じたデジタル出力

天秤の原理



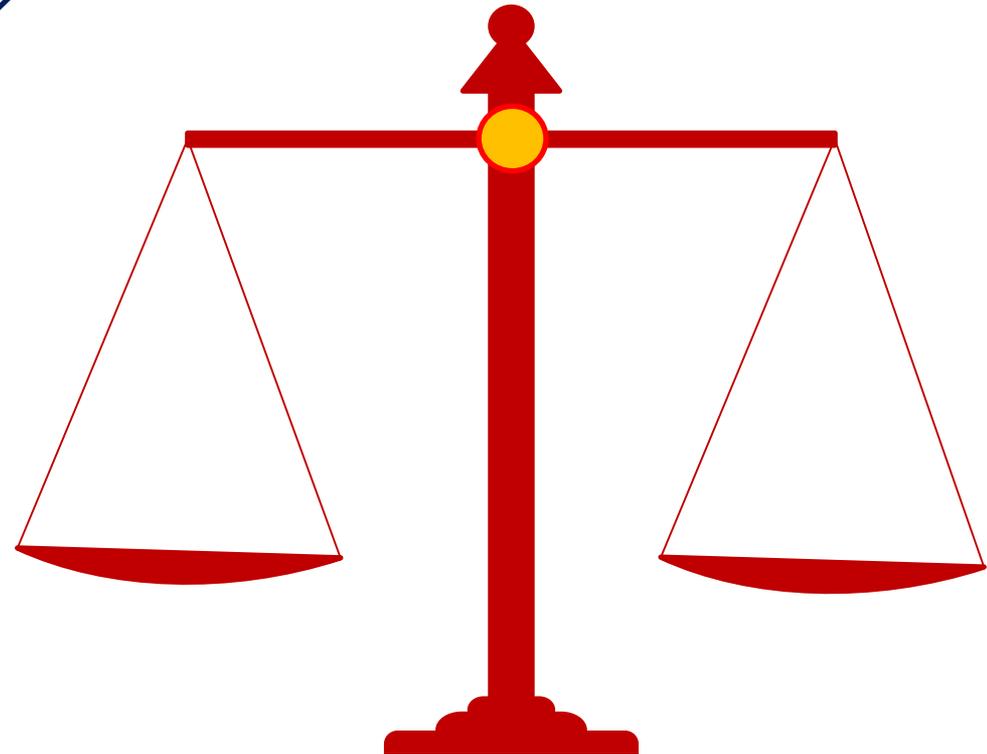
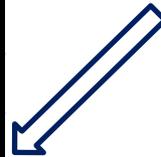
2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		D1	D2	D3	D4

入力



重み:p(k)



2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		D1	D2	D3	D4

入力

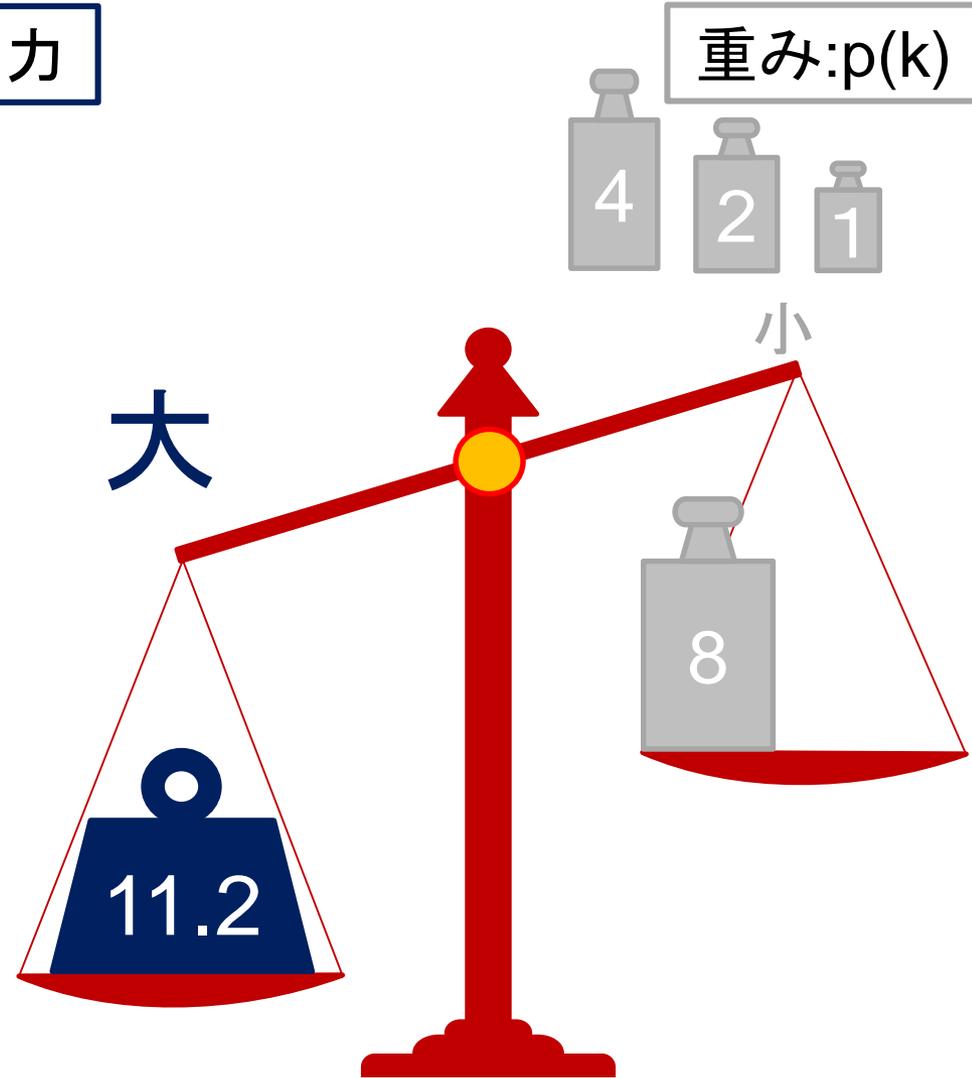


入力：大

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	D2	D3	D4

入力



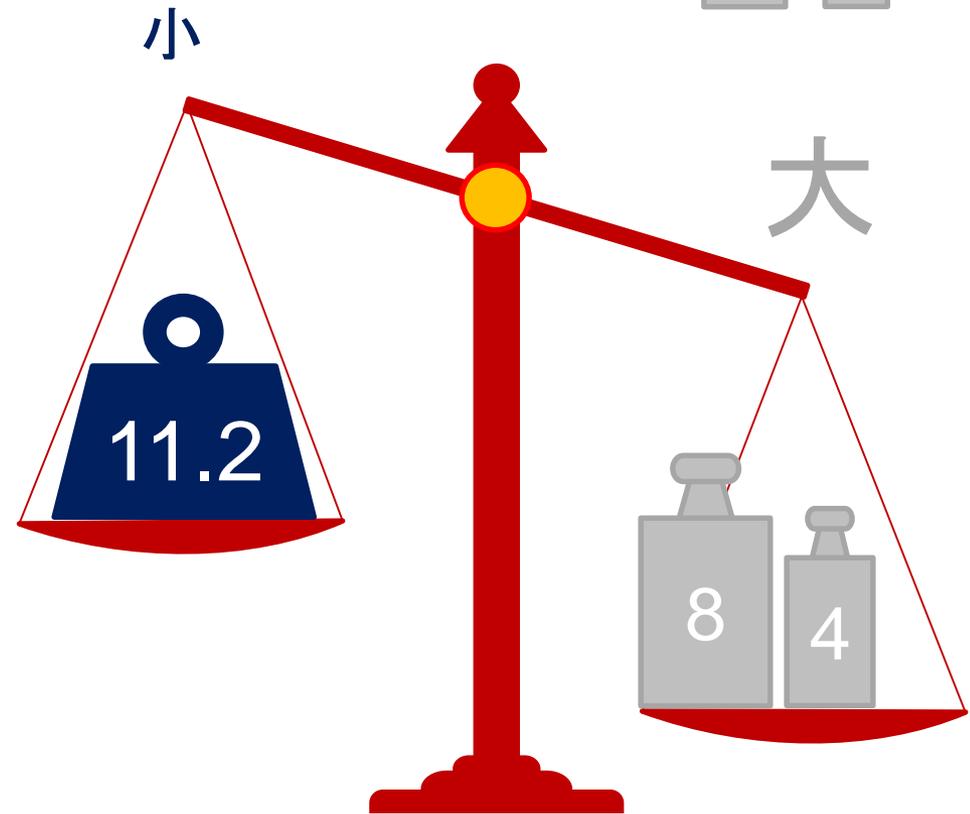
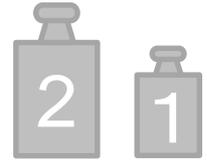
出力に1 ← 入力：大

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	D3	D4

入力

重み:p(k)

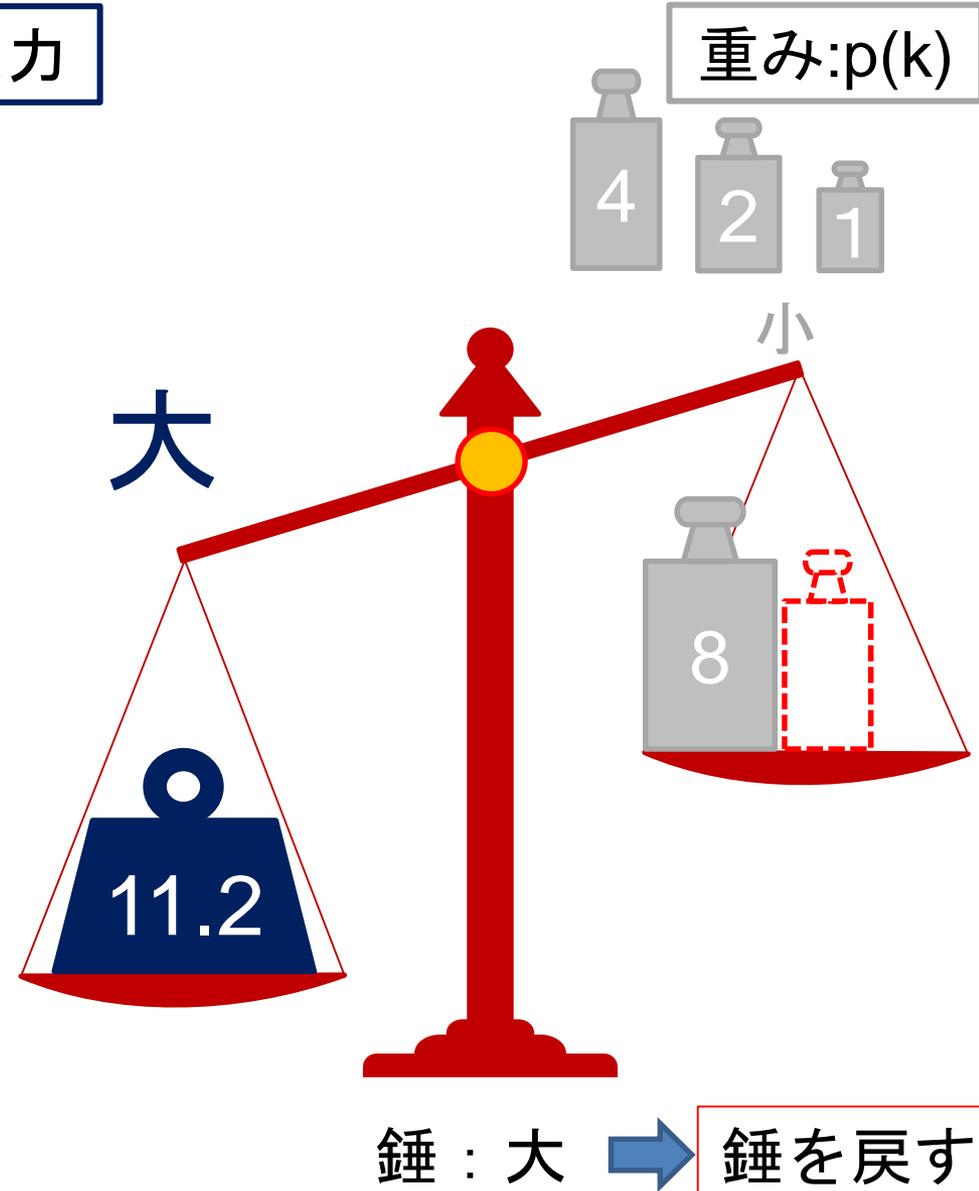


錘：大 → 出力に0

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	D3	D4

入力

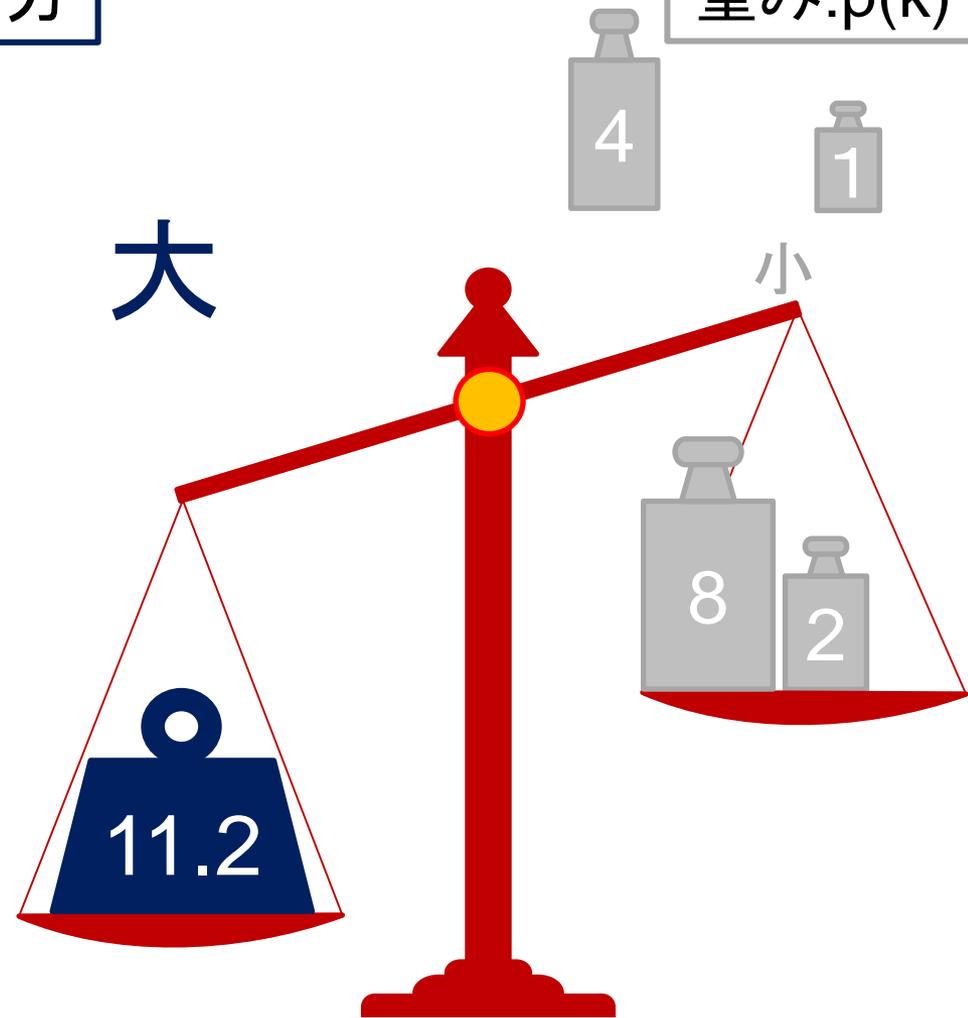


2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	D4

入力

重み:p(k)



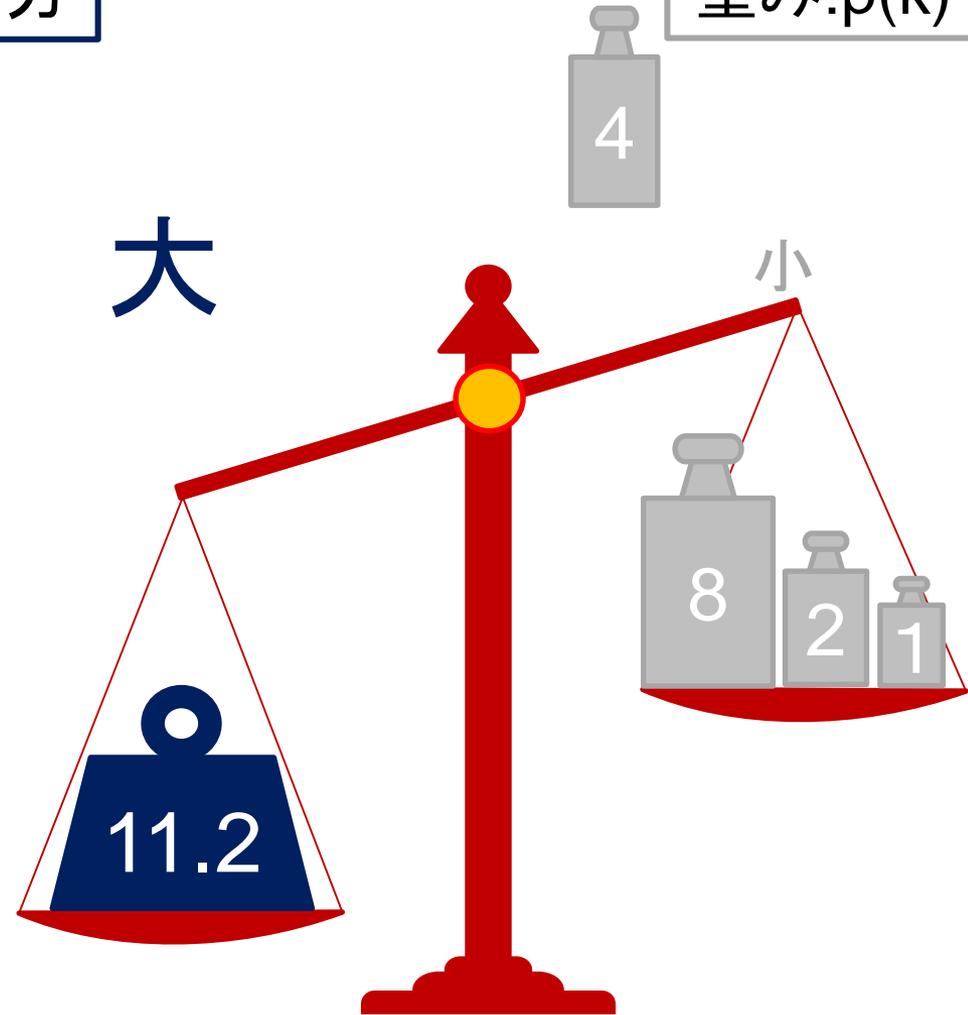
出力に1 ← 入力：大

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)



出力に1 ← 入力：大

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)



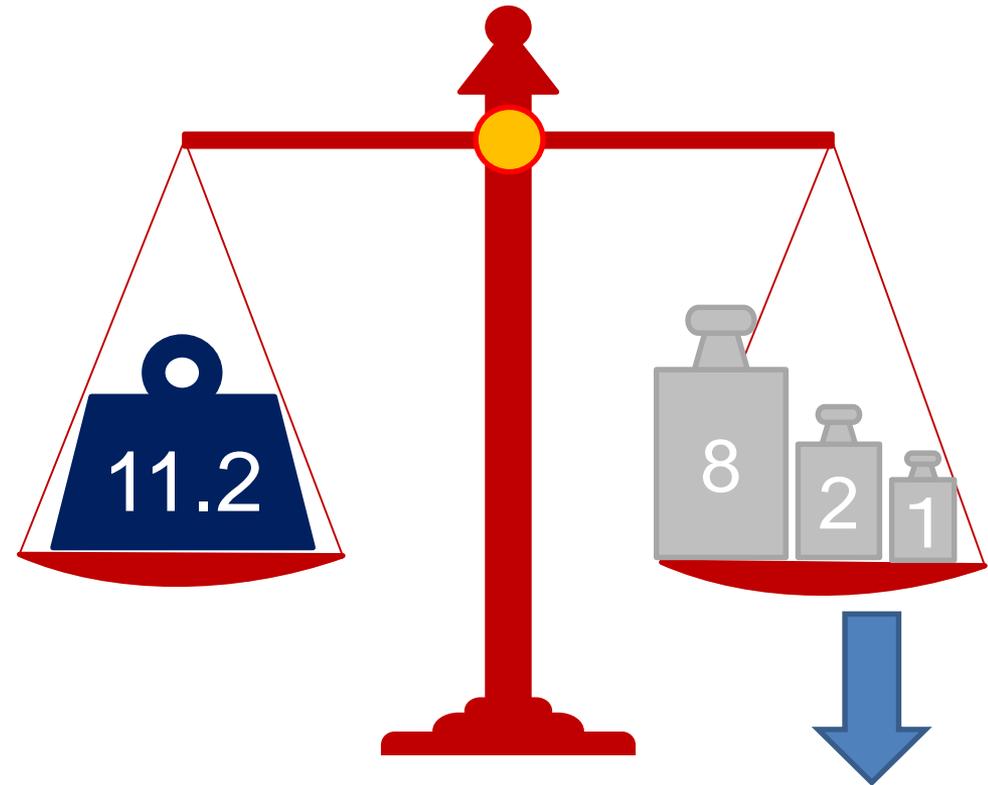
デジタル出力:(1011)₂

2進探索SAR ADC動作

ステップ数		1	2	3	4
電圧重み:p(k)		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

重み:p(k)



デジタル出力: $(1011)_2 = (11)_{10}$

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

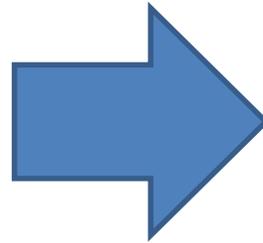
冗長性と誤差補正

冗長・・・余裕・予備

冗長性なし

ステップ数	1	2	3	4
比較電圧の重み	8	4	2	1
レベル	15			
	14			
	13			
	12			
	11			
	10			
	9			
	8			
	7			
	6			
	5			
	4			
	3			
	2			
	1			
	0			

重み変更



+冗長性

誤差補正が可能に！

冗長性あり

Step	1	2	3	4	5	output
Weight	8	6	3	2	1	
LEVEL	16					16
	15					15
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8					8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
	1					1
0					0	
-1					-1	

※ $q(k)$: k step目の補正可能範囲

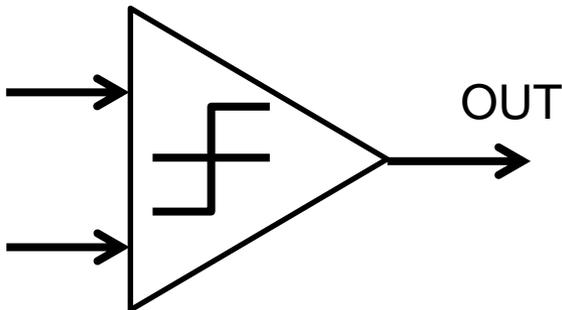
通常動作

通常の動作

アナログ入力



Comparator



Step	1	2	3	4	output
Weight	8	4	2	1	
LEVEL	15				15
	14				14
	13				13
	12				12
	11				11
	10				10
	9				9
	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

デジタル出力



冗長性なし

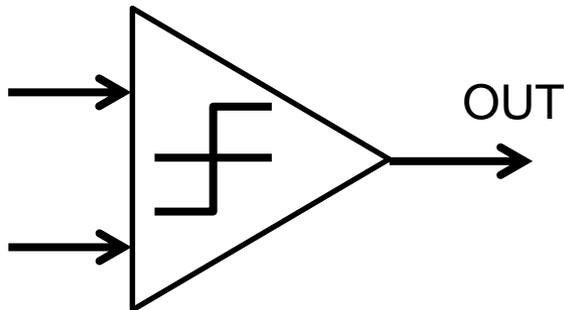
コンパレータの誤動作

コンパレータが
誤動作をすると...

アナログ入力



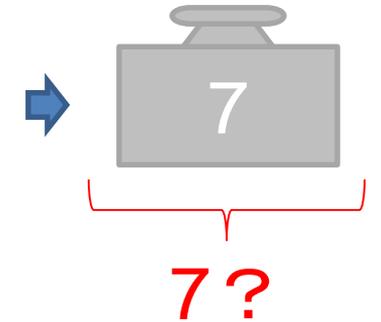
Comparator



Step	1	2	3	4	output
Weight	8	4	2	1	
					15
					14
					13
					12
					11
					10
					9
					8
LEVEL	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

誤判定

デジタル出力



誤判定すると
誤りを出力
信頼性 ↓

冗長性なし

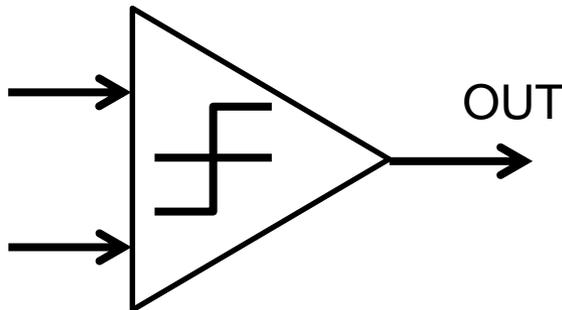
冗長設計による判定補正

コンパレータが
誤動作をすると...

アナログ入力



Comparator



ステップ数	1	2	3	4	5	output
比較電圧の重み	8	6	3	2	1	
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

誤判定

レベル

デジタル出力



補正可能
正確な出力
信頼性 ↑

冗長性あり

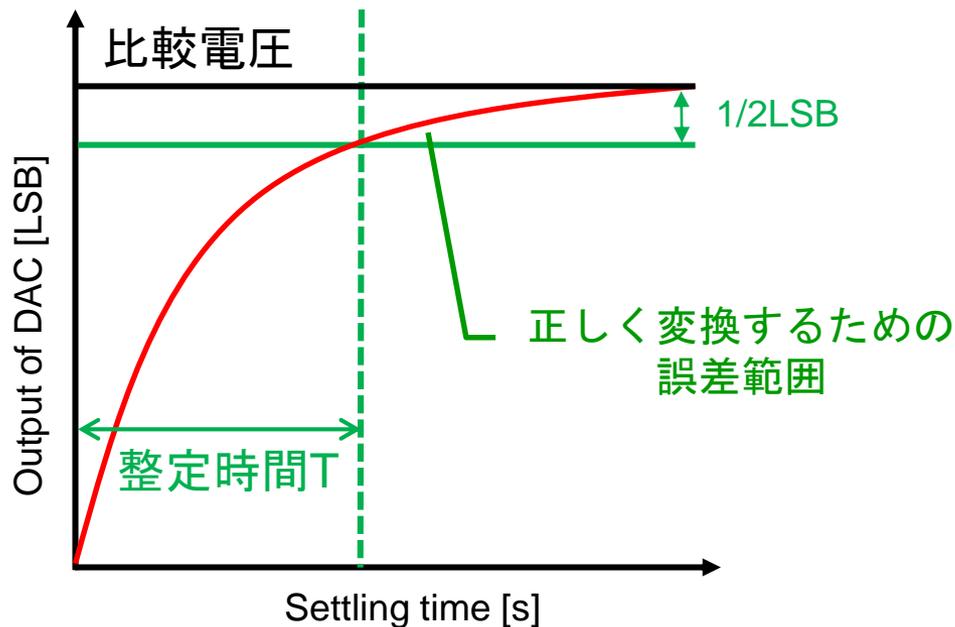
DACの出力整定時間の違い

二進探索SAR ADC

DACの出力
⇒完全整定



変換時間の増長

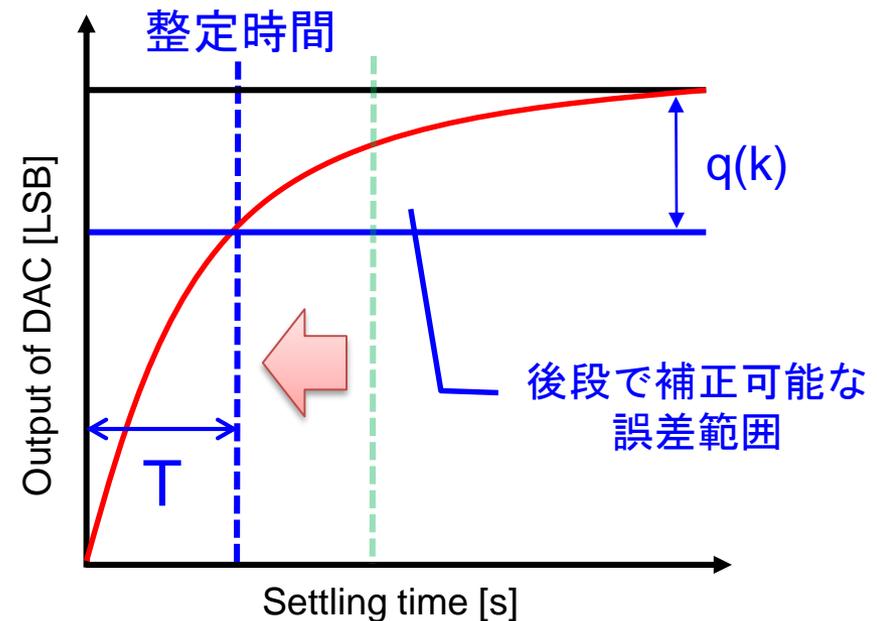


非二進探索SAR ADC

DACの出力
⇒不完全整定

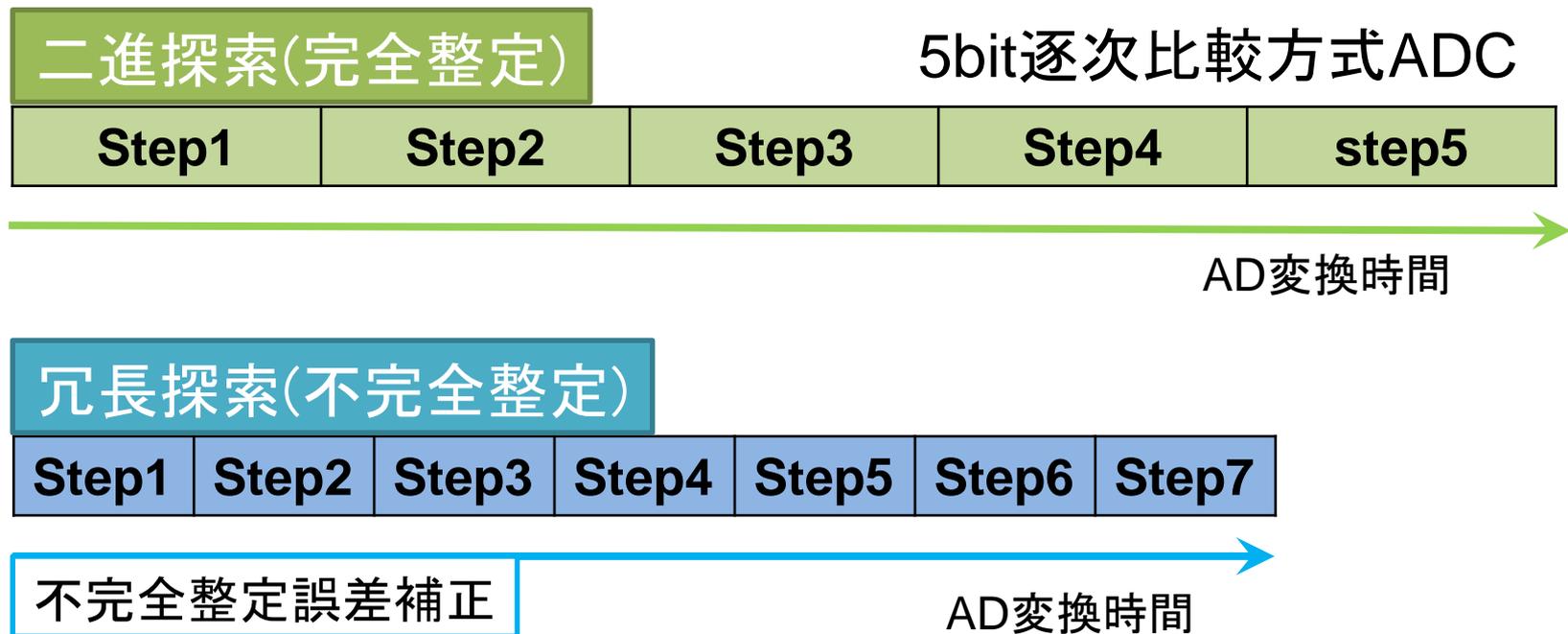


変換時間の短縮



冗長探索SAR ADCの速度

前半の比較条件を緩和し、速度の上昇
後半の比較条件を強化し、誤判定を補正



各stepが短縮され、結果**速度が上昇**する

冗長設計による補正力と速度

SAR ADCの補正力

補正可能な入力範囲差 $q(k)$

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i)$$

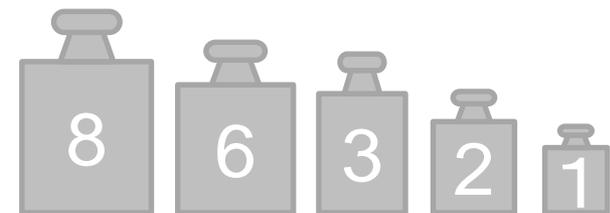
SAR ADCの速度

整定時間

$$T = \tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right)$$



比較電圧重み $p(k)$ に大きく依存



補正力図

Step	1	2	3	4	5	output
Weight	8	6	3	2	1	
LEVEL 16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0
-1						-1

比較電圧重み $p(k)$ の決定(従来手法)

N bit 全 M step 中 k step 目の比較重み $p(k)$ を決定 (ただし $p(1) = 2^{N-1}$)

従来手法

① 基数radixから決定する $\Rightarrow p(k) = r^{M-k}$ (ただし $1 < r < 2$)

- 適切な基数の決定が難しい
- $p(k)$ は必ず小数になる(単位項による実現困難)

② 条件を定めて総当たり法

- 全パターン検討に膨大な時間がかかる
- 最適なパターン検出が難しい
- 条件の小さな変化に対応しづらい

③ 最も適当な重みを補正力 $q(k)$ で決定する

- 適切な効果を得づらい
- 決定が難しく設計時間を増加させる

従来手法の問題点

5bit6step ADC

冗長設計手法①

radix=1.80

比較電圧重み $p(k)$

$$p(1) = 2^{5-1} = 16$$

$$p(2) = 1.8^4 \cong 10$$

$$p(3) = 1.8^3 \cong 6$$

$$p(4) = 1.8^2 \cong 3$$

$$p(5) = 1.8^1 \cong 2$$

$$p(6) = 1.8^0 = 1$$

原理的に補正不可能な
入力範囲が存在
冗長設計効果の劣化



適切な $p(k)$ 選択手法が重要

Step	1st	2nd	3rd	4th	5th	6th	output
Weight $p(k)$	16	10	6	3	2	1	
31			↓				31
30							30
29							29
28							28
27							27
26		↕	▲ $q(2)$				26
25							25
24							24
23							23
22							22
21							21
20			↕	▲ $q(3)$			20
19							19
18	↕	▲ $q(1)$					18
17							17
16							16
15							15
14							14
13	↕						13
12			↕				12
11							11
10							10
9							9
8							8
7							7
6		↕					6
5							5
4							4
3							3
2							2
1							1
0			↑				0

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- **フィボナッチ数列を応用した冗長性の設計**
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

フィボナッチ数列とは？

フィボナッチ数列

$$F_0 = 0$$

$$F_1 = 1$$

$$F_{n+2} = F_n + F_{n+1}$$

初項から計算していくと...

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233...

隣り合う2項の比率を考えると...

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \varphi$$

収束比率 φ

黄金比 (約1.6進数)



Leonardo Fibonacci
(伊:1170~1250年頃)

整数で1.6進数を
表現可能

フィボナッチ数列の利用

二進重みの利用



基数 (radix = 2)



重みの変更

フィボナッチ重みの利用 1.62進数の実現



基数 (radix = 1.62)



フィボナッチ冗長設計

ステップ数	1	2	3	4	5	6
比較電圧の重み	8	5	3	2	1	1
レベル	15					
	14					
	13					
	12					
	11					
	10					
	9					
	8					
	7					
	6					
	5					
	4					
	3					
	2					
	1					
0						

フィボナッチ冗長設計の補正力

フィボナッチ数列SAR ADC

2点の性質を発見！

- ① 許容値 $q(k)$ は必ずフィボナッチ数
- ② 許容できる範囲が必ず接する



接する境界で
すべての入力範囲をもれなく
カバーすることになる



黄金比 ϕ を使うことで

- ・ 無駄なステップ
- ・ 補正できない入力範囲

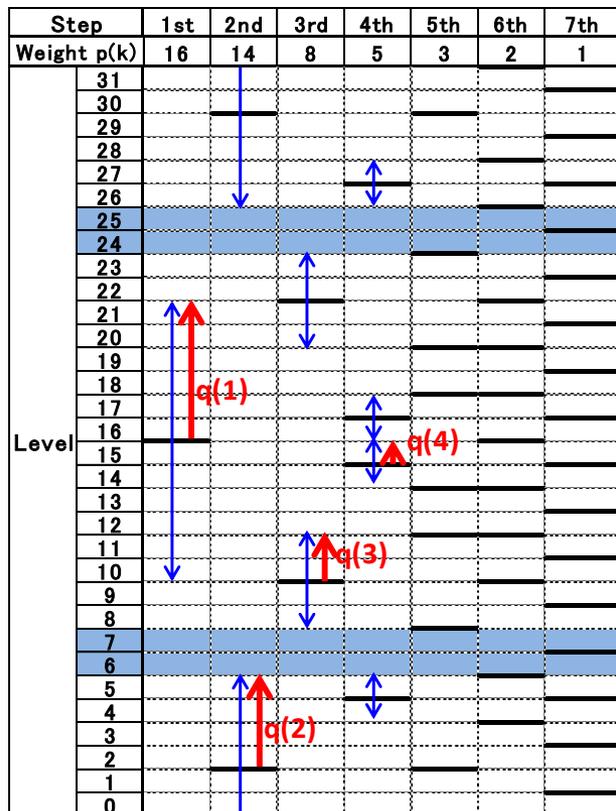
がない最も効率のよい設計が可能

Step	1st	2nd	3rd	4th	5th	6th	7th
Weight $p(k)$	16	8	5	3	2	1	1
33					↓		
32				↕			
31				↕			
30			↕		↕		
29			↕		↕		
28			↕		↕		
27			↕		↕		
26		↕		↕			
25		↕		↕			
24		↕		↕			
23		↕		↕			
22		↕		↕			
21		↕		↕			
20	↕	↕		↕			
19	↕	↕		↕			
18	↕	↕		↕			
17	↕	↕		↕			
16	↕	↕		↕			
15	↕	↕		↕			
14	↕	↕		↕			
13	↕	↕		↕			
12	↕	↕		↕			
11	↕	↕		↕			
10	↕	↕		↕			
9	↕	↕		↕			
8	↕	↕		↕			
7	↕	↕		↕			
6	↕	↕		↕			
5	↕	↕		↕			
4	↕	↕		↕			
3	↕	↕		↕			
2	↕	↕		↕			
1	↕	↕		↕			
0	↕	↕		↕			
-1	↕	↕		↕			
-2	↕	↕		↕			

従来手法との比較(5bit ADC)

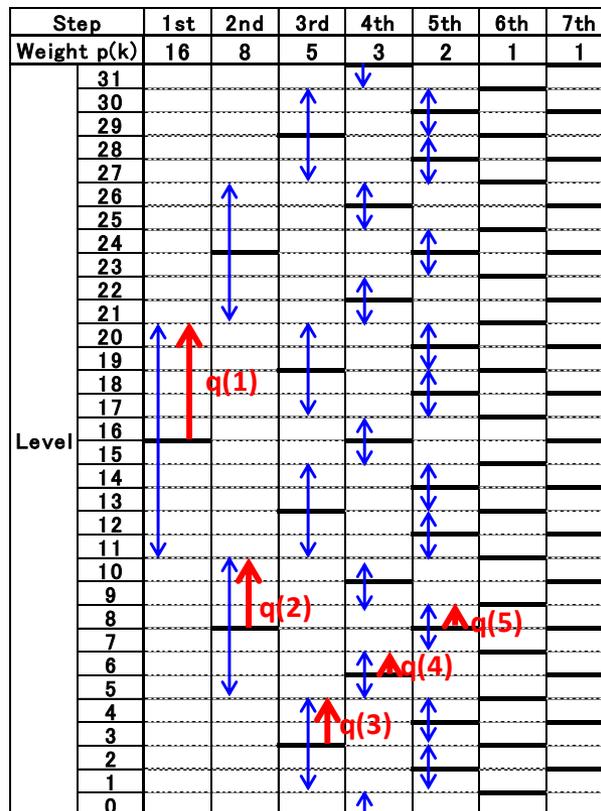
従来手法

1.70進数



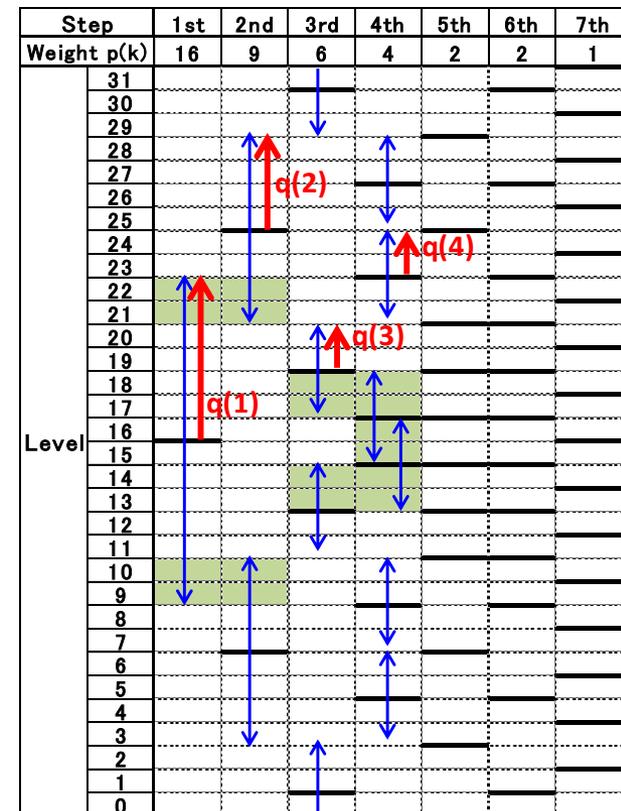
フィボナッチ手法

1.62進数



従来手法

1.55進数



フィボナッチ数列冗長手法

冗長基数の境界条件
効率の良い基準重み

DAC出力整定の定義

最速のクロックスピードを検討する

コード遷移の種類（上下対称）

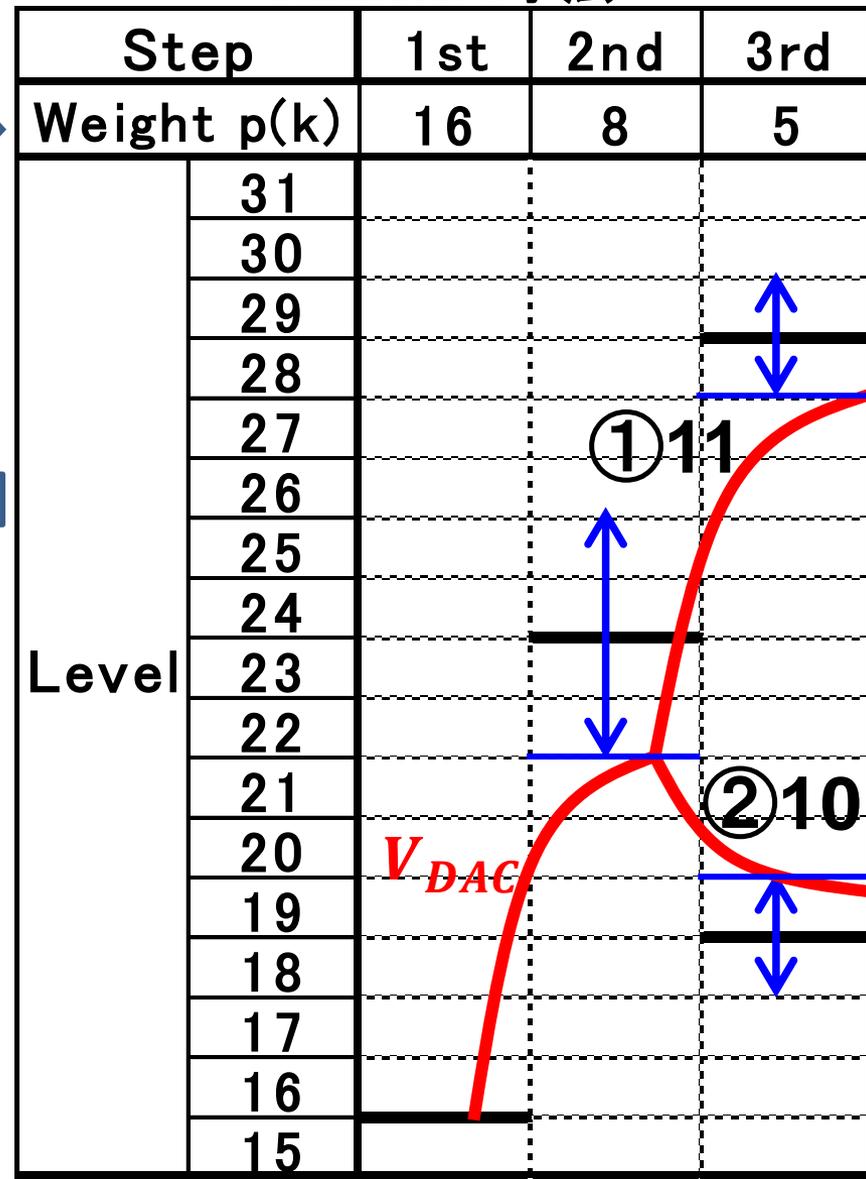
①XX or ②XY

※X,Yはコード0か1

①XXの場合:整定時間が長い

変換誤りをなくすためには…
遷移タイプ①の整定時間が必要

radix1.70手法



不完全整定時間比較

整定時間

$$T = \tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right)$$

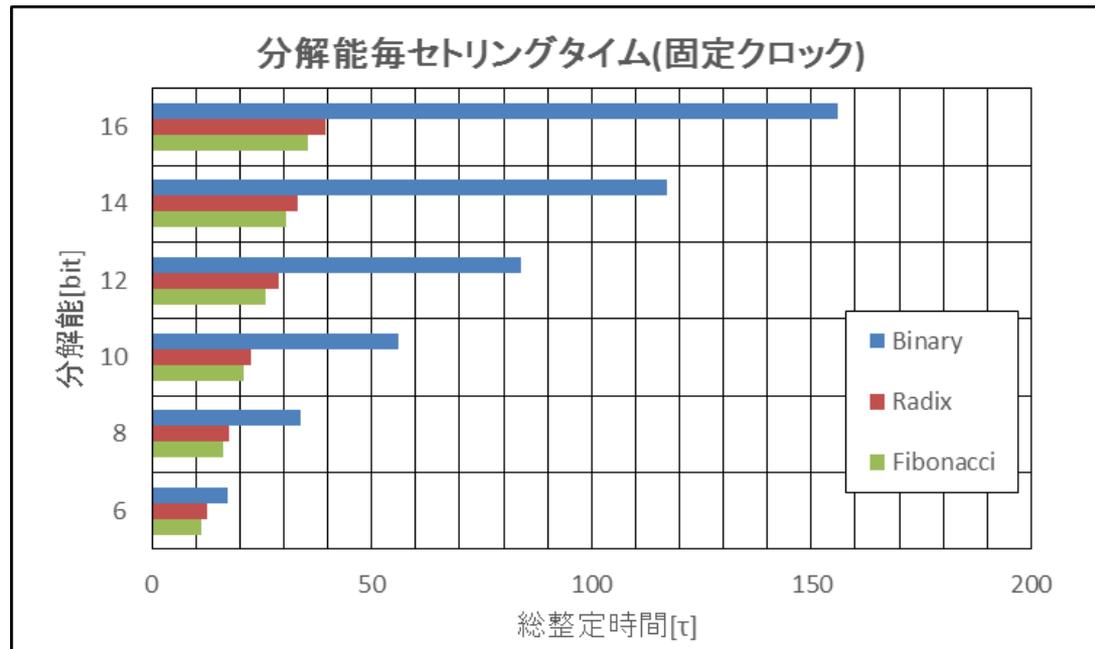
フィボナッチ手法

全分解能固定クロックで
フィボナッチ手法は最も高速

Radix手法から

約1~3τ、最大で4τ以上短縮

最大で非冗長の1/5の時間で整定

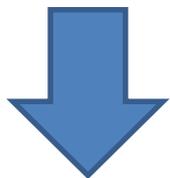
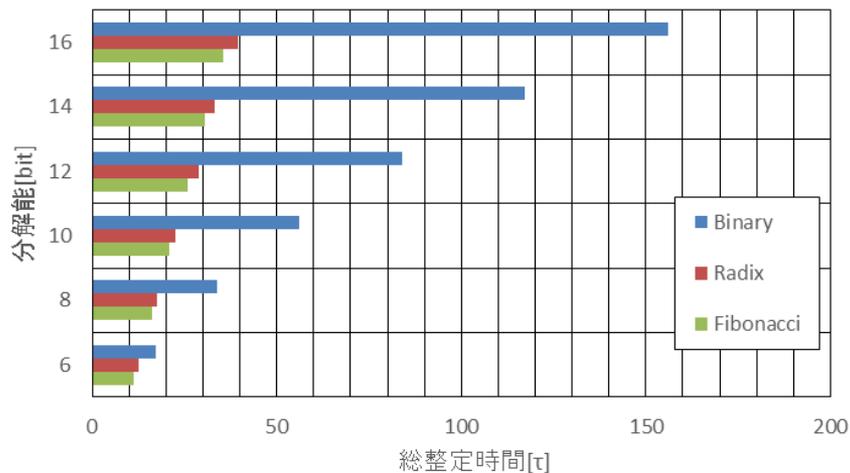


Total settling time			Resolution [bit]					
			6	8	10	12	14	16
Total settling time [τ]	variable clock	Binary	11.20	20.26	32.06	46.61	63.95	84.05
		Radix	8.31	11.63	14.26	17.04	19.81	22.59
			74.2%	57.4%	44.5%	36.6%	31.0%	26.9%
	fixed clock	Fibonacci	9.00	13.33	17.66	21.99	26.33	30.66
			80.4%	65.8%	55.1%	47.2%	41.2%	36.5%
		Binary	17.33	33.96	56.14	83.87	117.14	155.96
	Radix	12.47	17.70	22.53	28.97	33.27	39.51	
		72.0%	52.1%	40.1%	34.5%	28.4%	25.3%	
	Fibonacci	11.27	16.09	20.92	25.75	30.58	35.41	
		65.0%	47.4%	37.3%	30.7%	26.1%	22.7%	

※パーセント表示はバイナリとの比較

フィボナッチ冗長設計

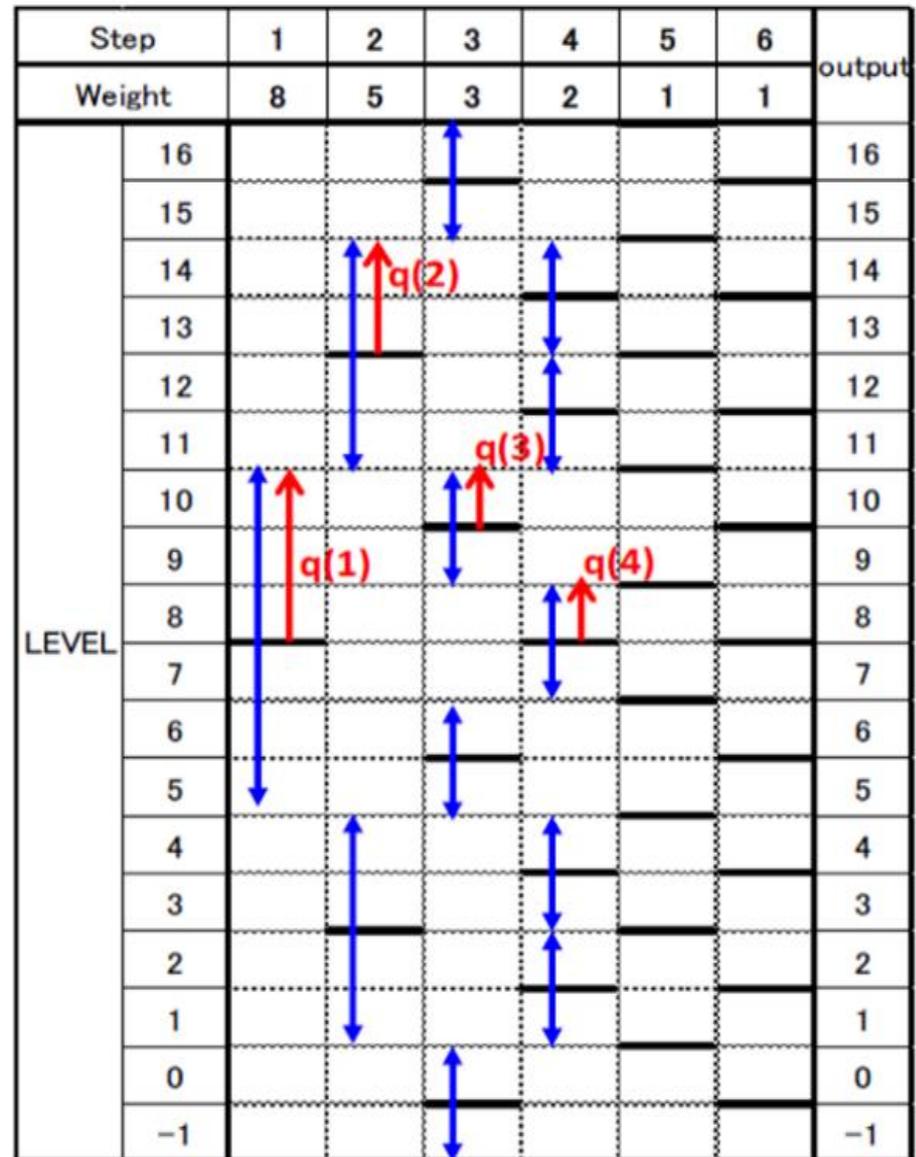
分解能毎セットリングタイム(固定クロック)



高速化

or

高信頼性



フィボナッチ手法ADCのまとめ

- フィボナッチ数列を利用することで重要な性質
 - **高信頼性の実現**
広い入力範囲を補正することができる
 - **最速の変換**
固定クロックにおいては最速の変換が可能である
 - **基数の基準**
黄金比 $\varphi(= 1.618)$ は基数の基準になる

フィボナッチ数列利用SAR ADC

補正効果と変換速度に優れる設計が可能

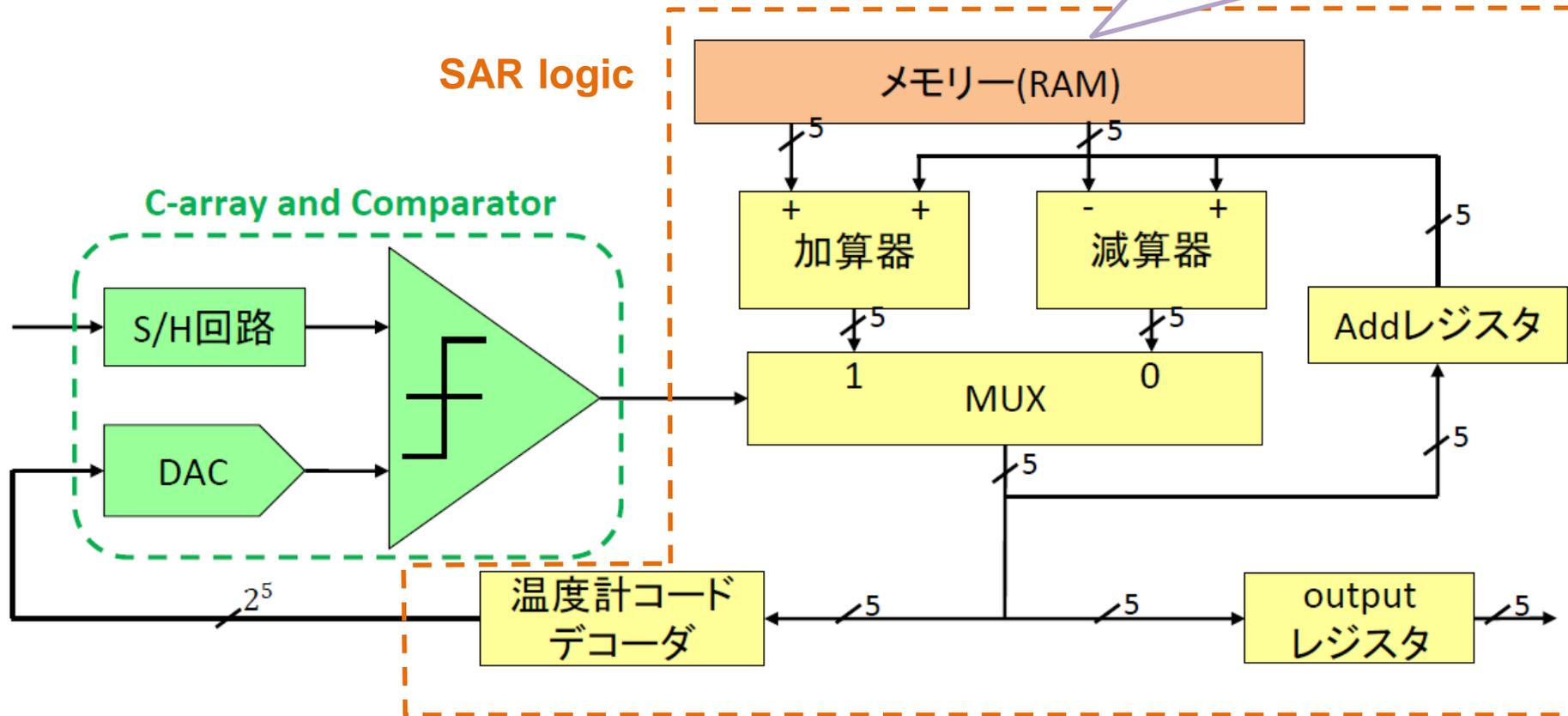
アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- **黄金比分割DACの検討**
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

従来の回路構造

5bit 冗長性あり
SAR ADC

比較電圧重み(0 1 1 2 3 5 ...)
事前に記録

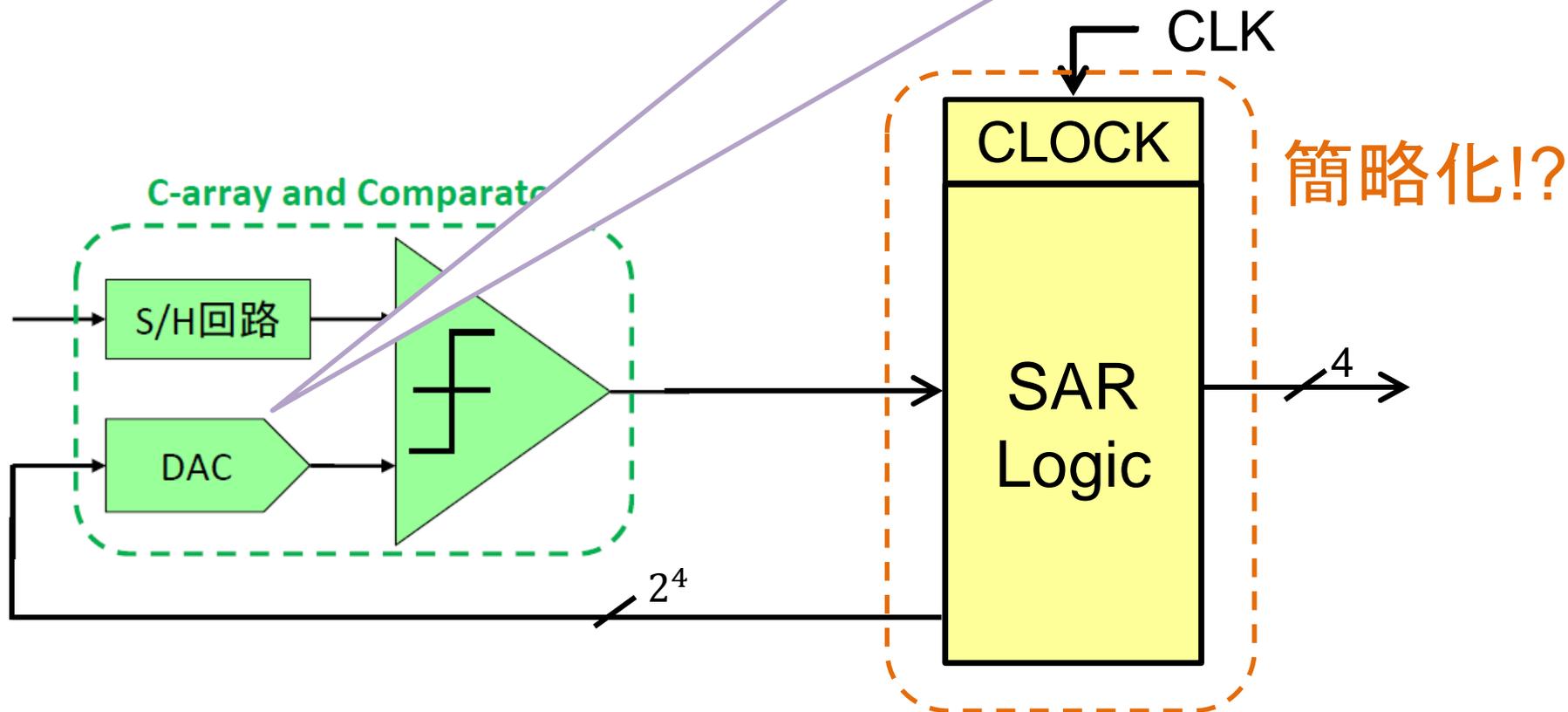


SARロジックでフィボナッチ数重み付け

提案回路構造

5bit 冗長性あり
SAR ADC

DA変換器で比較電圧重み
(0 1 1 2 3 5 ...)生成



DACでフィボナッチ数重み付け

DA変換器の新提案回路

新しい発見！

R-2R抵抗ラダー回路

➡ 2進重みの電圧発生



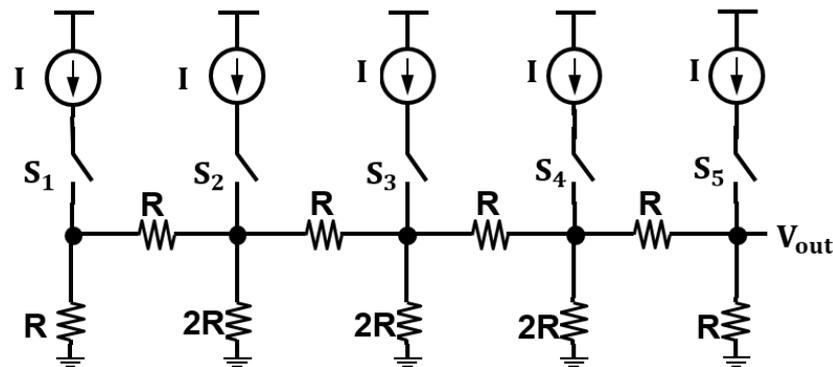
すべての抵抗をRで統一

R-R抵抗ラダー回路

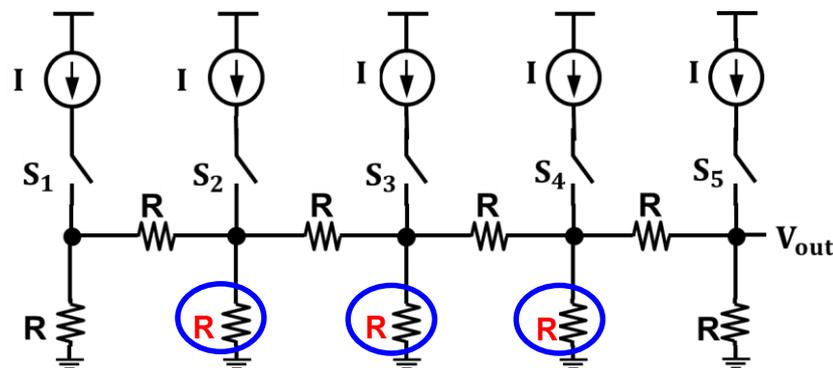
➡ フィボナッチ重みの電圧発生



簡単な構成でフィボナッチ
対応DA変換器実現可！

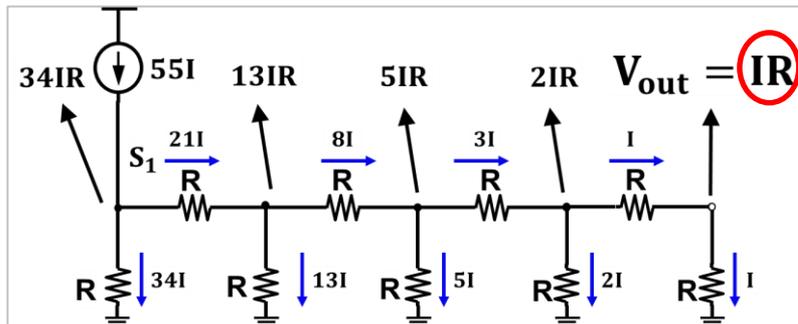


R-2R抵抗ラダー回路



R-R抵抗ラダー回路

R終端回路の動作

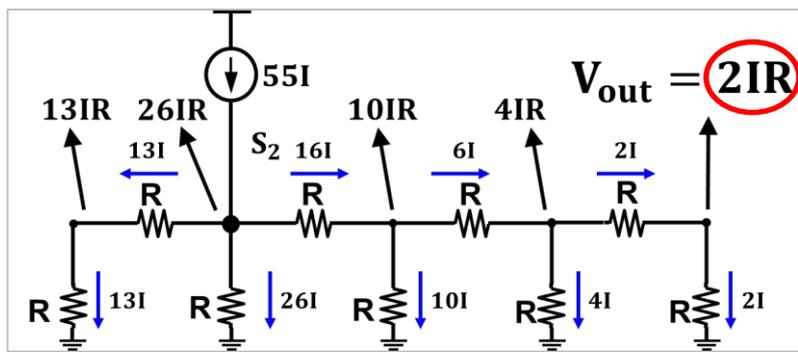


N点ノードの回路を考えると...

右からm点目に電流源を入れたときの出力電圧 V_{out} は

$$V_{out}(m) = \left(\frac{F_{2(N-m)+1}}{F_{2N}} \right) IR$$

→ 奇数項の出力ができる

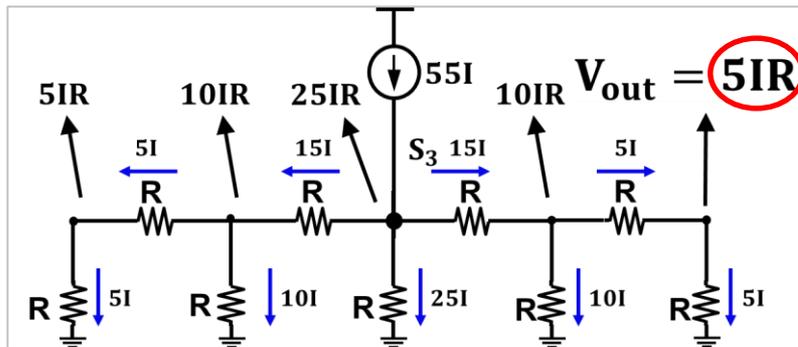


左図のように5点ノードの回路を考えると...

フィボナッチ数列

1, 1, 2, 3, 5, 8, ...

奇数項の出力

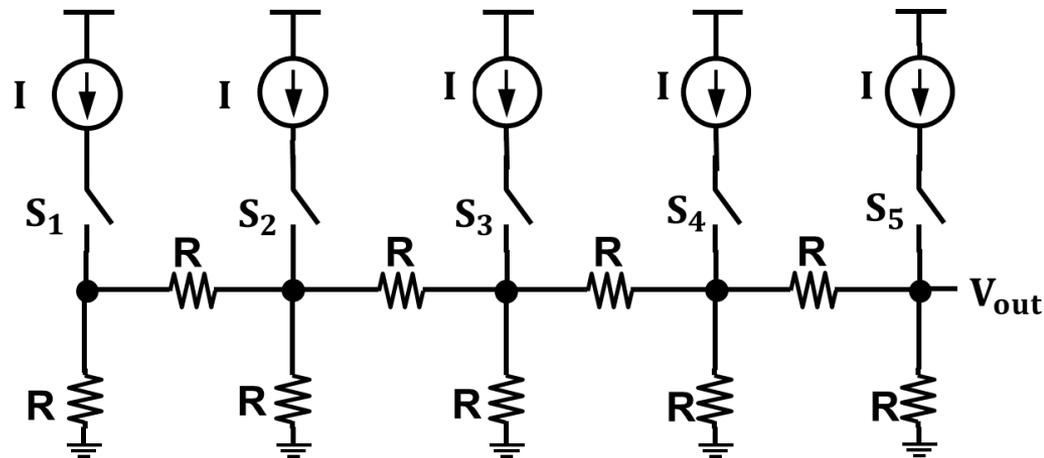


R//R終端型の提案

提案

R-R抵抗ラダー回路

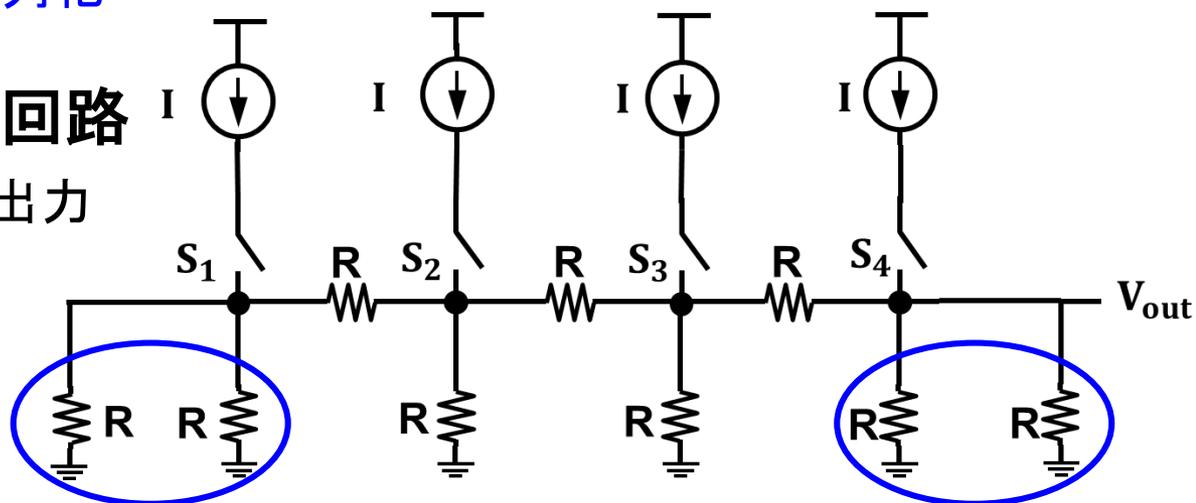
フィボナッチ数の奇数項を出力



↓ 回路の両終端のRを並列化

R//R終端R-R抵抗ラダー回路

フィボナッチ数の偶数項を出力



R||R 終端回路の動作

N点ノードの回路を考えると...

右からm点目に電流源を入れたときの出力電圧Voutは

$$V_{out}(m) = \left(\frac{F_{2(N-m+1)}}{F_{2(N+1)}} \right) IR$$

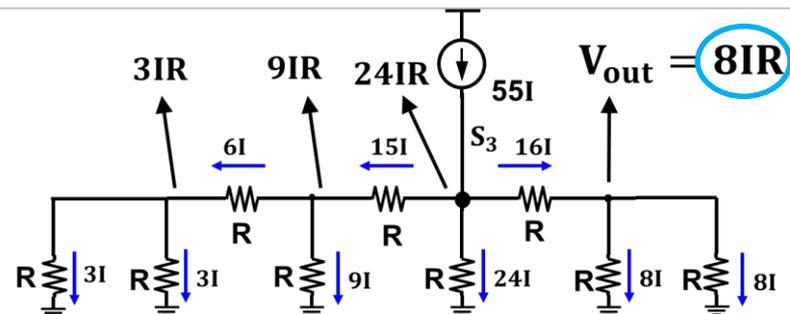
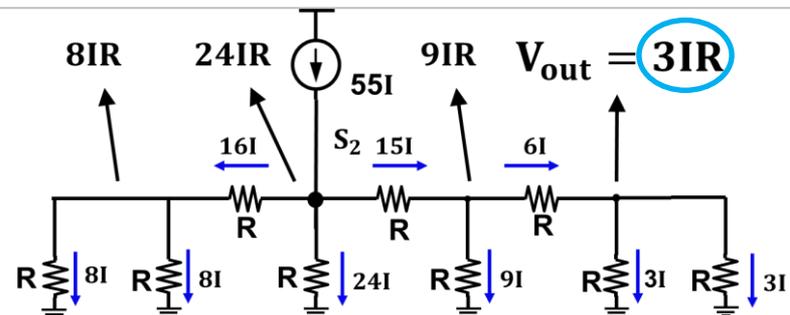
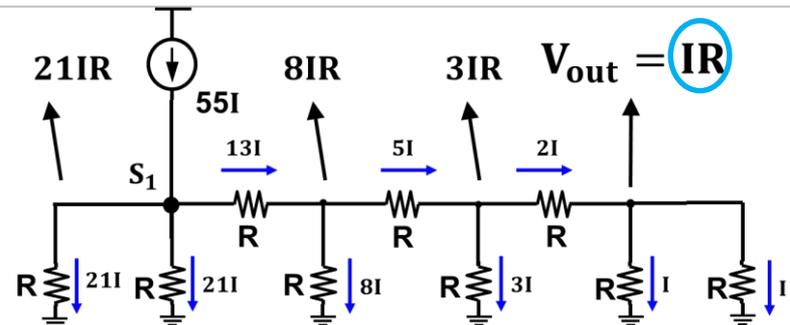
➡ 偶数項も出力可

左図のように4点ノードの回路を考えると...

フィボナッチ数列

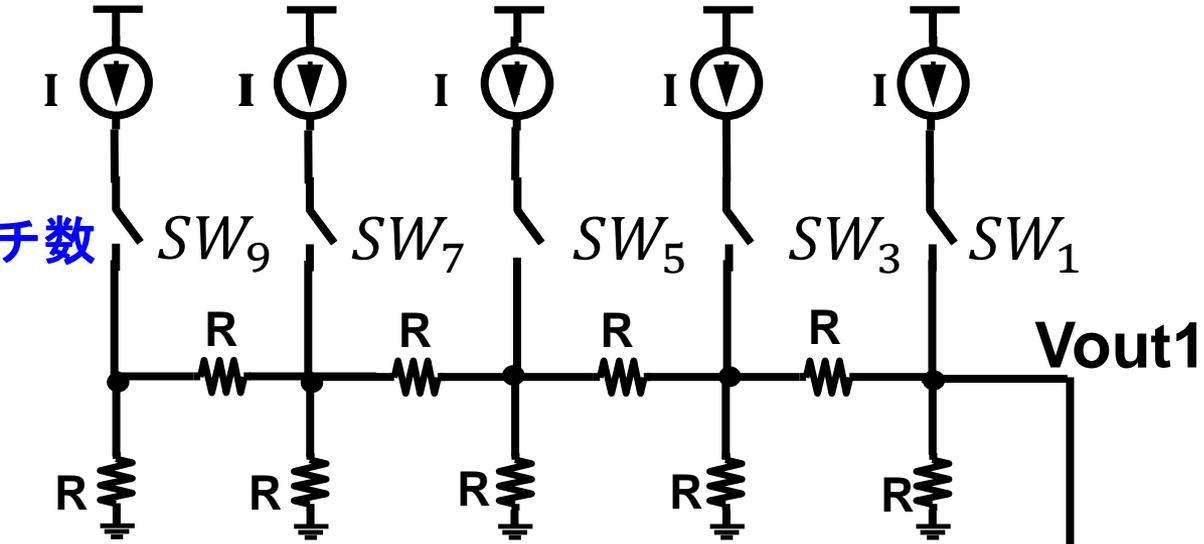
1, 1, 2, 3, 5, 8, ...

偶数項の出力

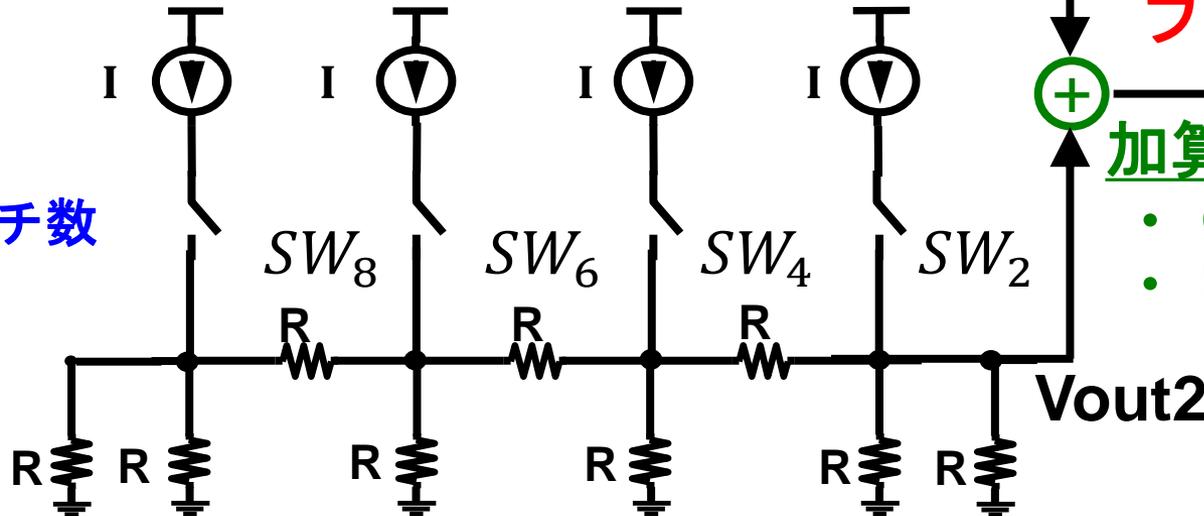


フィボナッチ重み付けR-RラダーDAC

R終端
フィボナッチ数
奇数項



R//R終端
フィボナッチ数
偶数項



フィボナッチ数

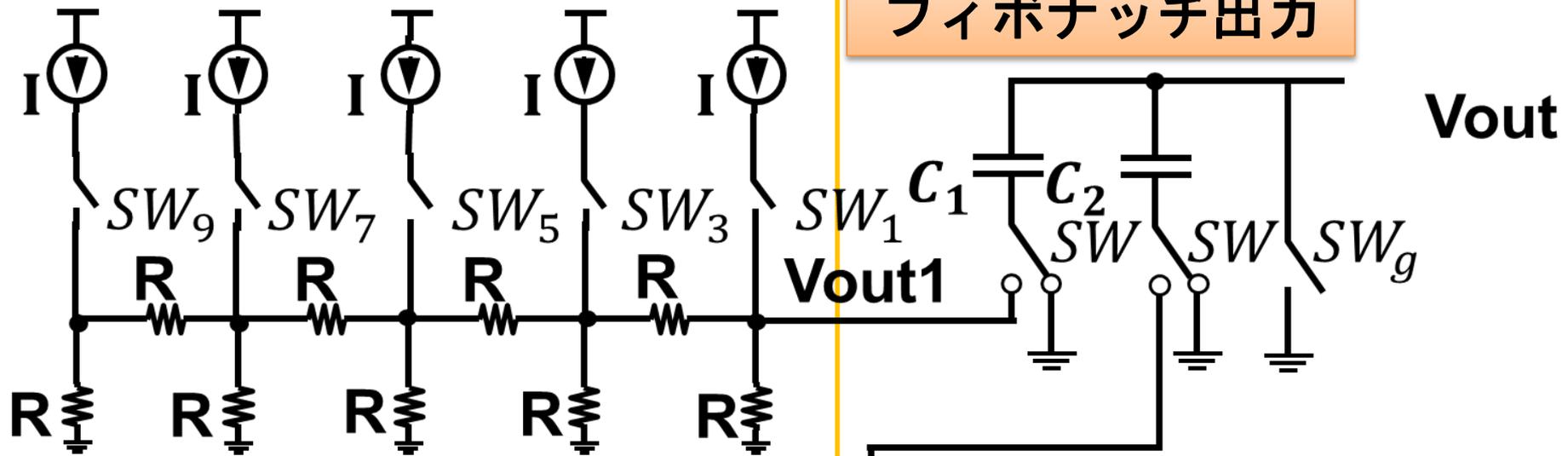
+ Vout

加算

- Opアンプ
- 容量

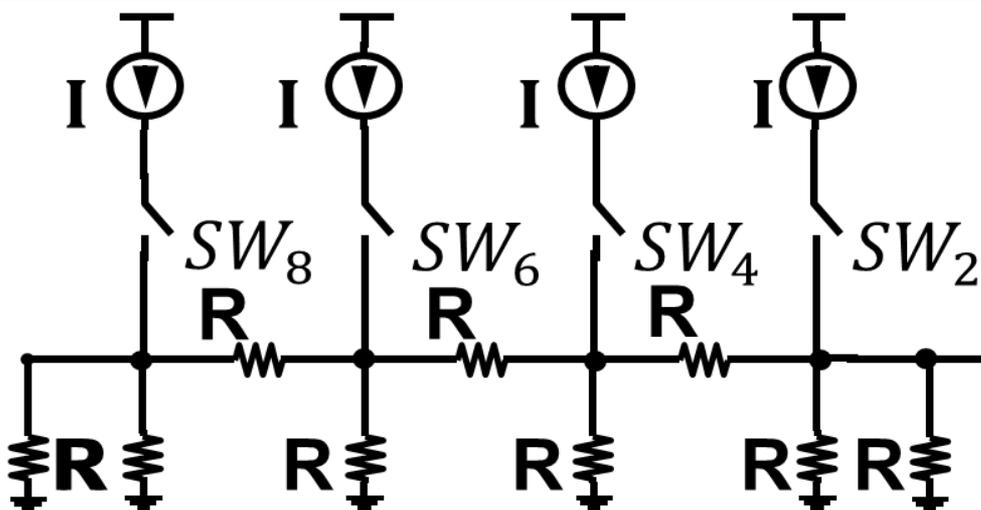
提案回路

奇数番目の
フィボナッチ出力



V_{out2}

偶数番目の
フィボナッチ出力



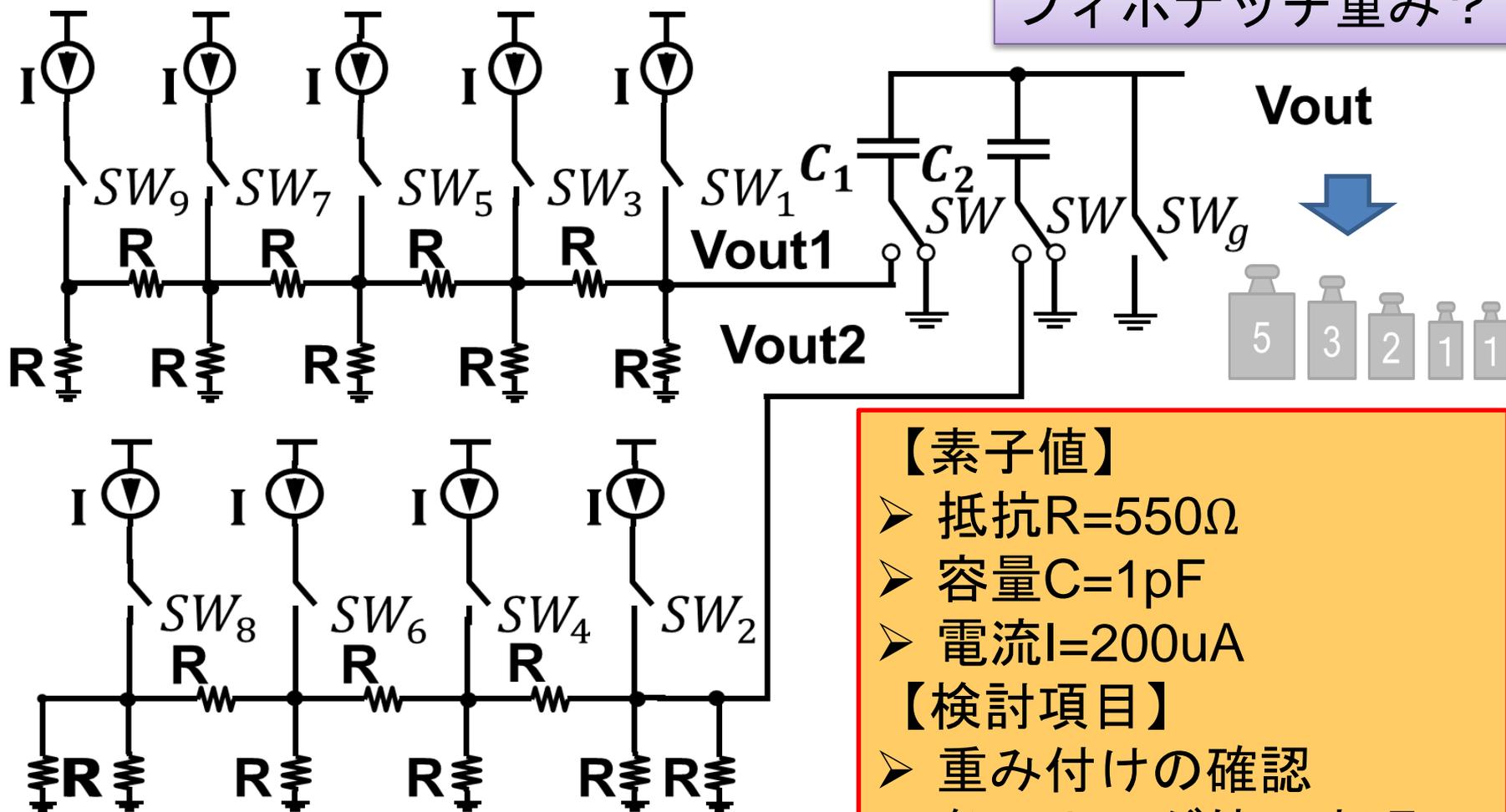
アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- **黄金比分割DACの検討**
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

提案回路

SW1~SW9を切り替え出力電圧 V_{out} を確認

フィボナッチ重み？



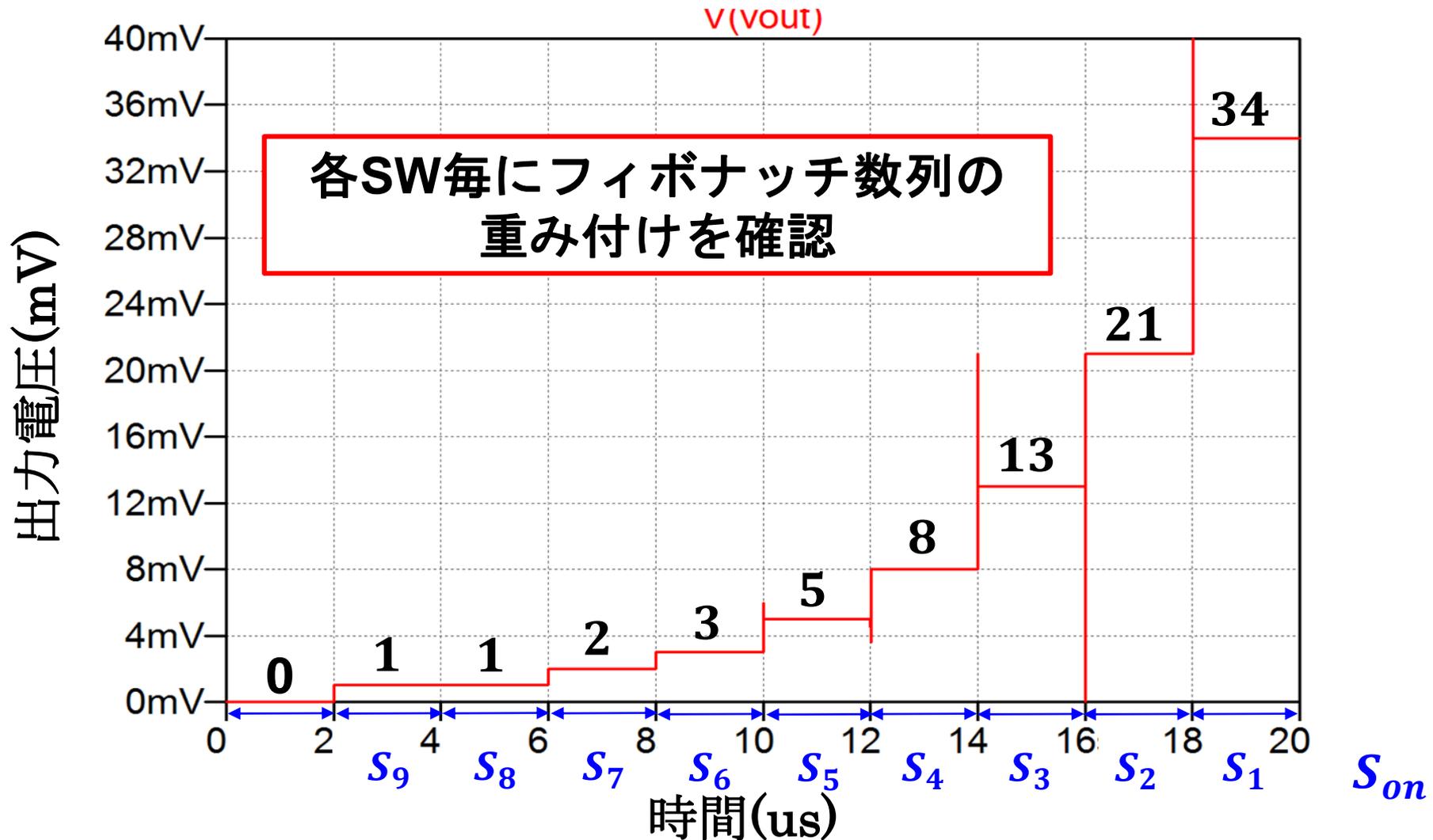
【素子値】

- 抵抗 $R=550\Omega$
- 容量 $C=1\text{pF}$
- 電流 $I=200\mu\text{A}$

【検討項目】

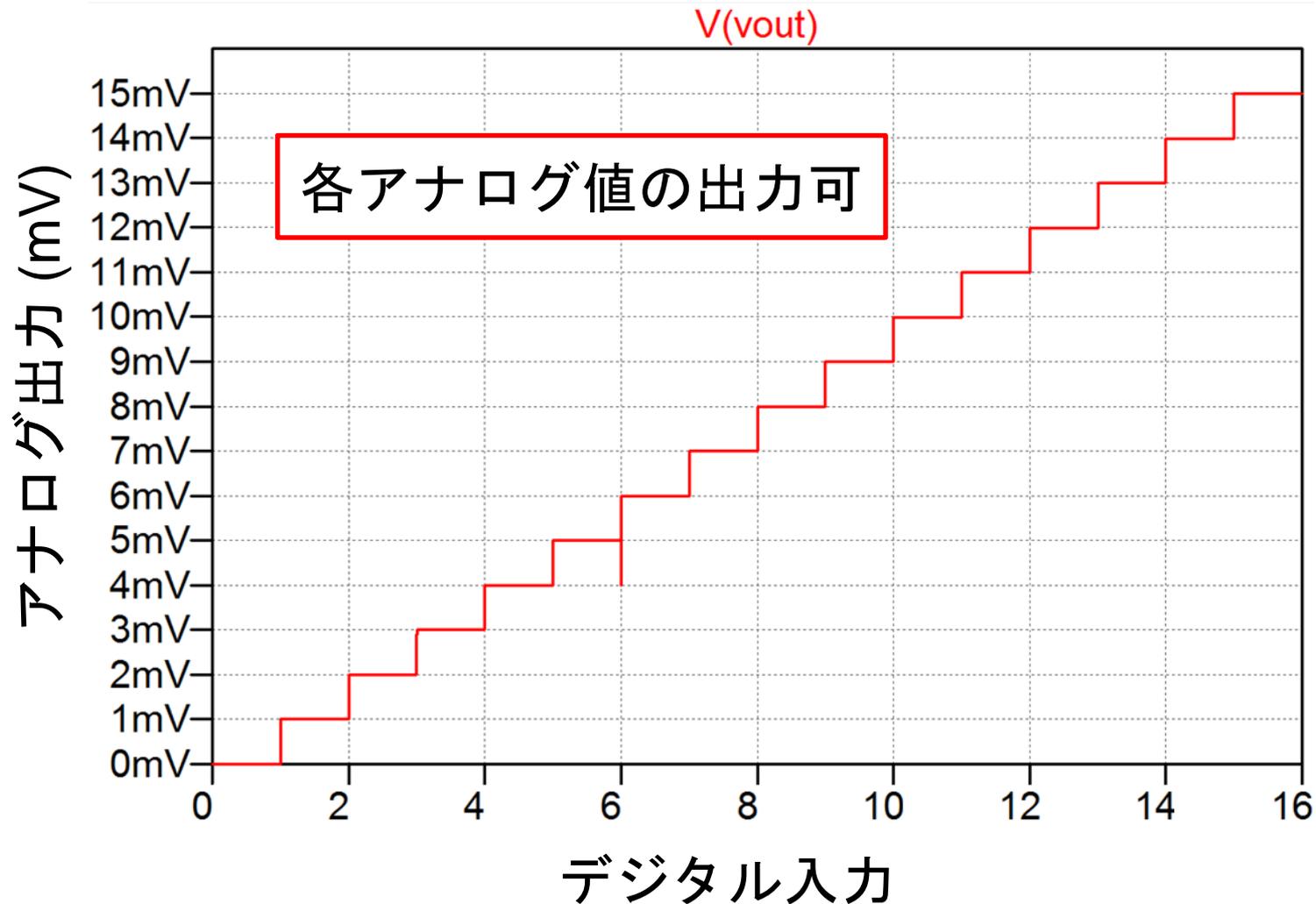
- 重み付けの確認
- 各アナログ値の表現

重み付けの確認



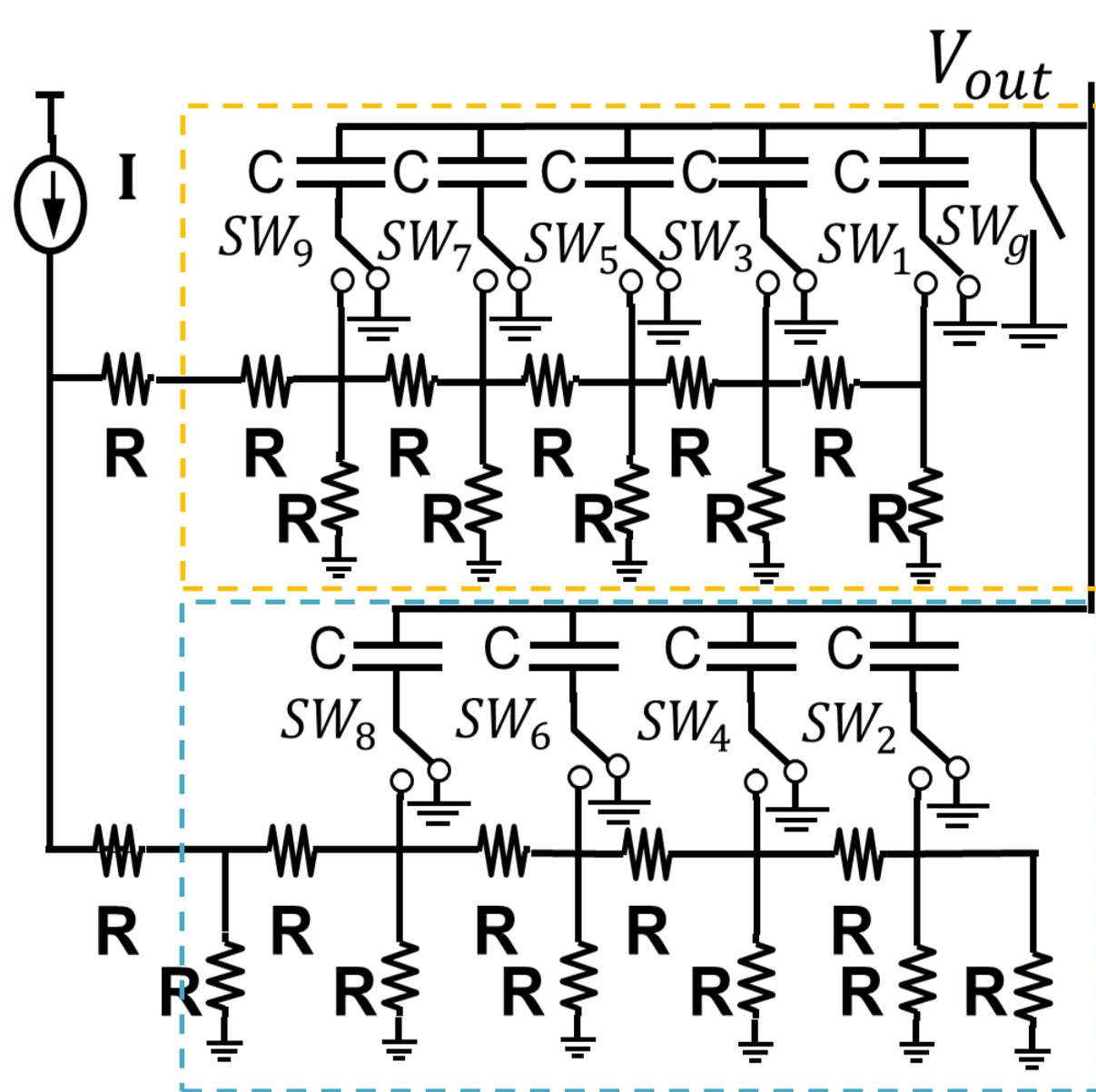
各スイッチでフィボナッチ重みが出力

4bitの出力電圧



DACとして使用可能

提案回路2



奇数番目の
フィボナッチ数

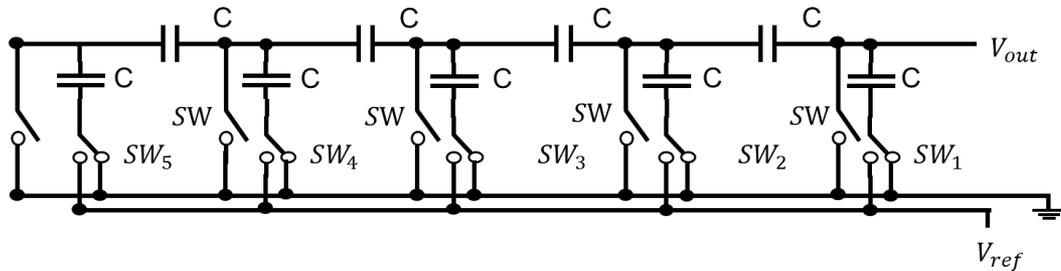
特徴

- 電流源が1つ
- 最大・最小容量比が小さい

偶数番目の
フィボナッチ数

提案回路3 (容量使用)

C終端C-Cラダー回路

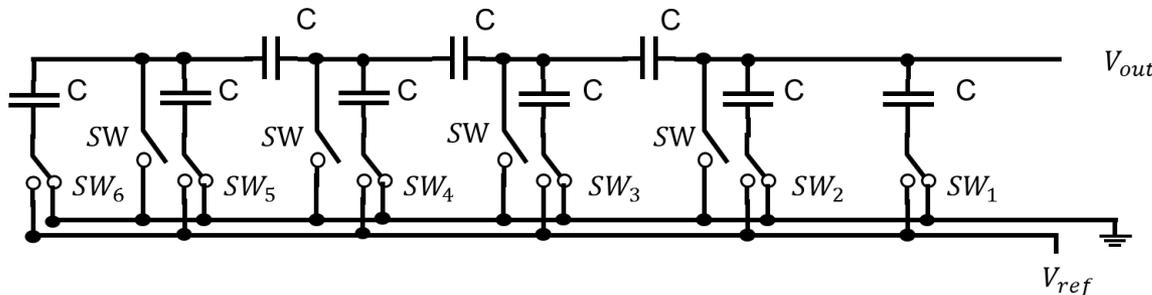


フィボナッチ
奇数項出力

特徴

- ◆ 最大・最小容量の比が小
- ◆ 容量なので低消費電力
- ◆ 浮遊ノードでの寄生容量により高精度化は難

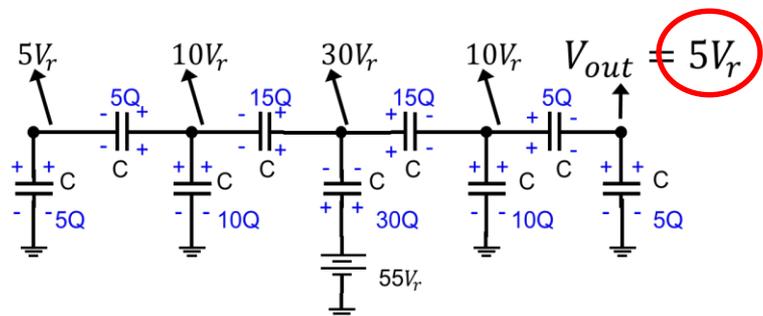
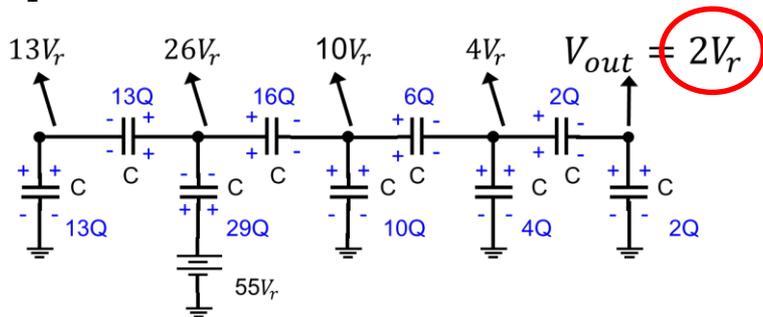
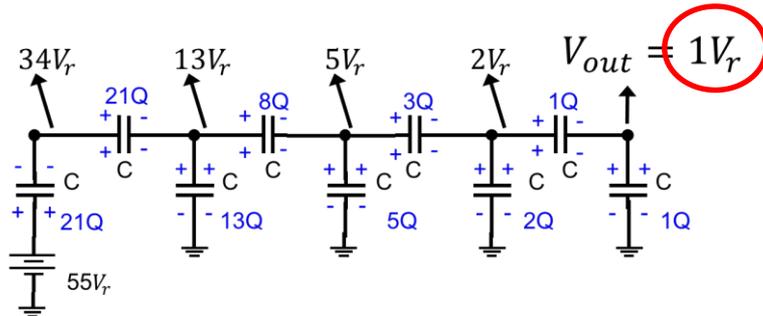
C||C終端C-Cラダー回路



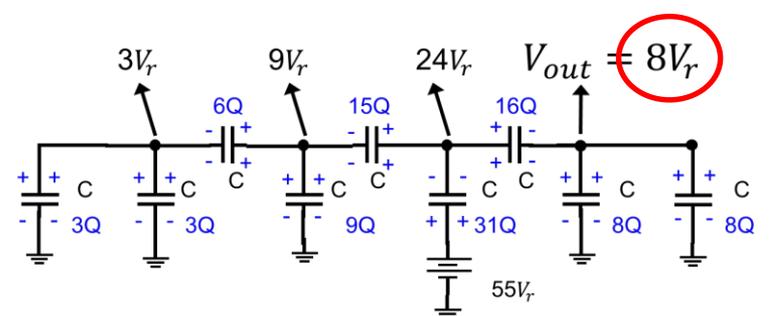
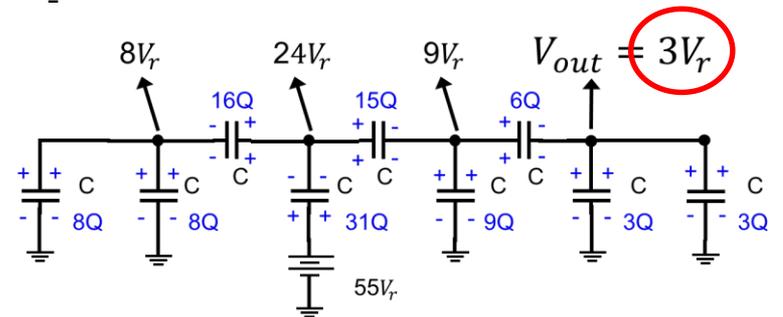
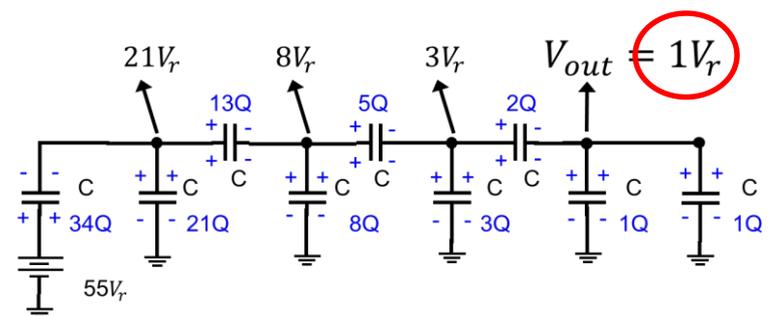
フィボナッチ
偶数項出力

提案回路3(動作)

C終端回路 (奇数項出力)



C||C終端回路 (偶数項出力)

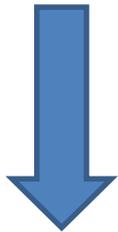


コンデンサでもフィボナッチ重み付け可

提案回路の考察

【従来DAC】

R-2R抵抗ラダー、容量アレイ、...



- 抵抗値 $2R$ を R へ変更
- 容量による加算

【提案DAC】

◆ フィボナッチ冗長に対応

- 冗長設計による補正力がUP
- 整定時間の短縮

◆ DACで重み付け可能

- SAR ロジック回路の簡略・小規模化
- ロジックでの低消費電力化

簡単な構成で
性能をUP!!

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

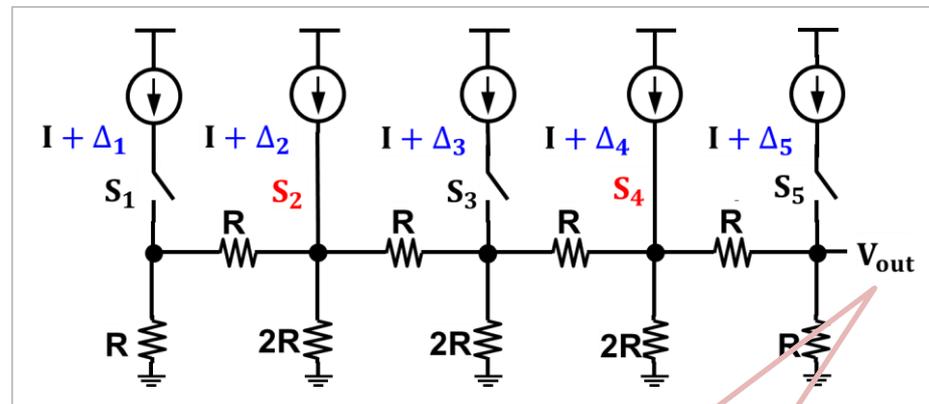
黄金比分割DACの応用

2進重みDAC

電流源毎にばらつきが存在



低減にはチップ面積を大きく
する必要あり



$$V_{out} + V_{\Delta_2} + V_{\Delta_4}$$

フィボナッチの性質

ある値を複数の組み合わせで表現可能

8I を得るパターンは？

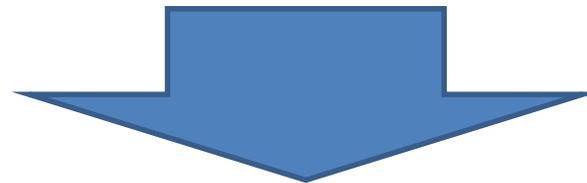
① $8I$

② $5I + 2I + I$

③ $5I + 3I$

④ $5I + 2I + I'$

※数列を $I, I', 2I, 3I, \dots$ とする



誤差最小スイッチング
パターンの選択

フィボナッチDAC内の電流源の
電流ミスマッチの影響を低減

黄金比分割DACの応用

フィボナッチDAC

電流源毎にばらつきが存在

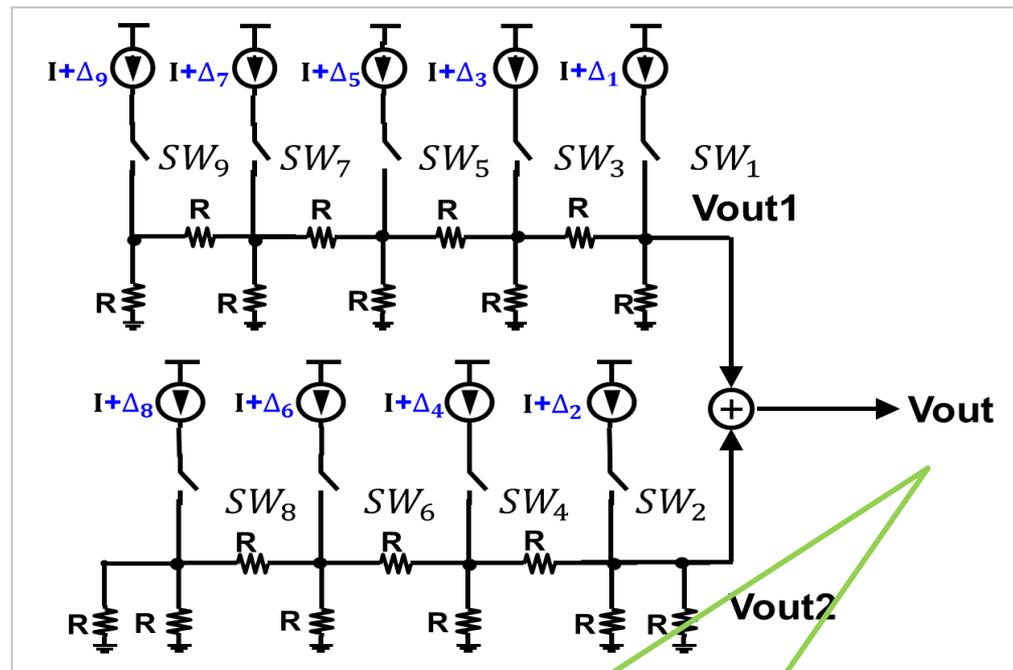


~~低減にはチップ面積を大きく
する必要あり~~

誤差最小パターンを選択



スイッチングパターンの
切り替えのみ



$$V_{out} + V_{\Delta_1} + V_{\Delta_2} + V_{\Delta_5}$$

$$V_{out} + V_{\Delta_8}$$

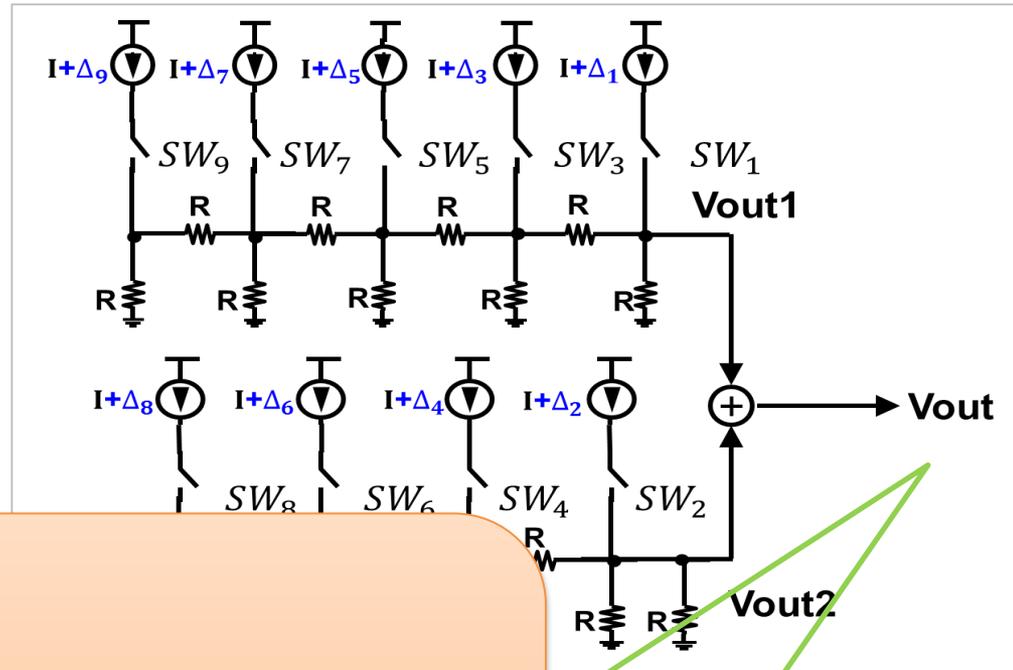
$$V_{out} + V_{\Delta_3} + V_{\Delta_5}$$

⋮

シミュレーション

フィボナッチDAC

電流源毎にばらつきが存在



<正規分布関数>

- ・ 平均 : 0
- ・ 標準偏差 $3\sigma = \pm 10\%$ ($\pm 1mA$)

切り替えのみ

⋮

$V_{\Delta_2} + V_{\Delta_5}$

V_{Δ_5}

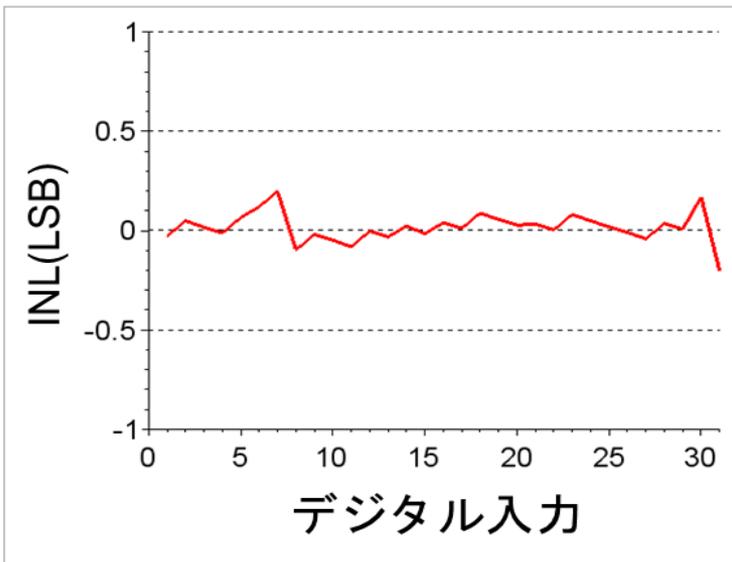
積分非直線性 (INL) の向上



バイナリDAC

デジタル入力の増大

→ INL増加



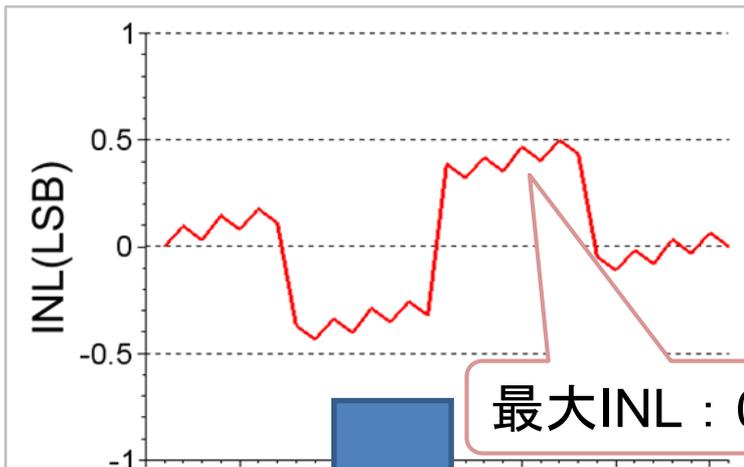
フィボナッチDAC

デジタル入力の増大

→ 補正パターンが増加

→ INL抑制

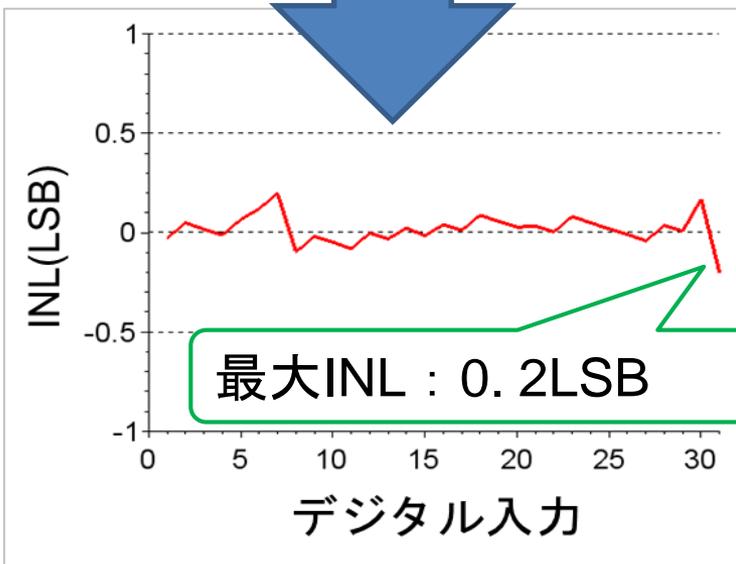
積分非直線性 (INL) の向上



バイナリDAC

デジタル入力の増大
→ INL増加

最大INL 60%低減



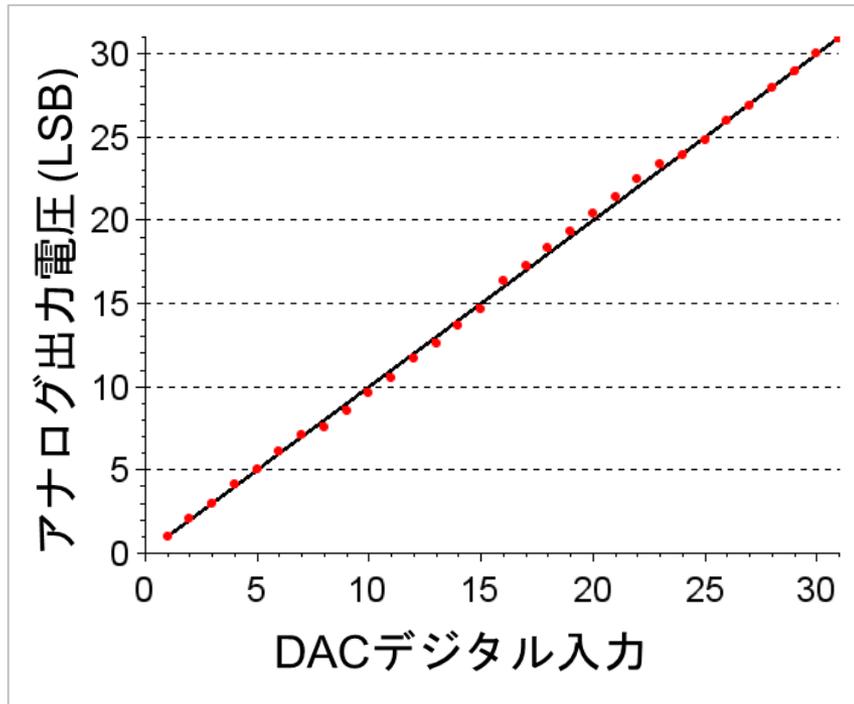
フィボナッチDAC

デジタル入力の増大
→ 補正パターンが増加
→ INL抑制

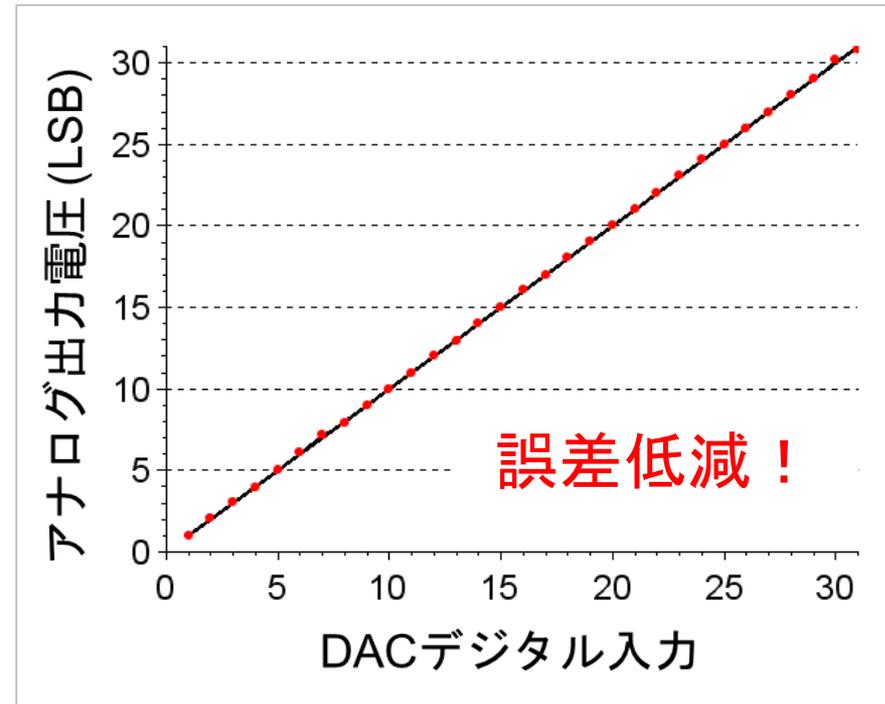
高精度化

積分非直線性 (INL)

バイナリDAC



フィボナッチDAC



黒：理想直線
赤：各DACの出力直線

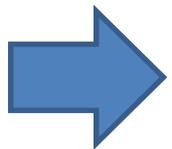
線形性の向上

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

黄金比分割DACのまとめ

- ◆ フィボナッチ冗長設計対応
 - 冗長設計による補正力がUP
 - 整定時間の短縮
- ◆ DACでフィボナッチ重み付け可能
 - SAR ロジック回路の簡略・小規模化
 - ロジックでの低消費電力化
- ◆ フィボナッチ数列の性質利用
 - DAC内の電流ミスマッチの影響の低減



簡単な回路構成で実現可能!!

整数論の回路応用

「世界は数理でできている。」

アイザック・ニュートン



Isaac Newton
(英:1642-1727)

AD変換器
DA変換器

+

整数論
(数理)

=

新たな
可能性

整数論は様々な分野に適用することで
無限大の可能性が秘められている

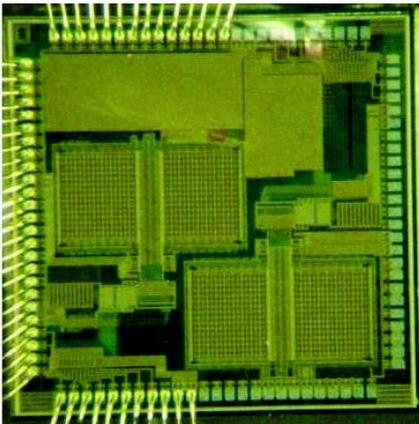
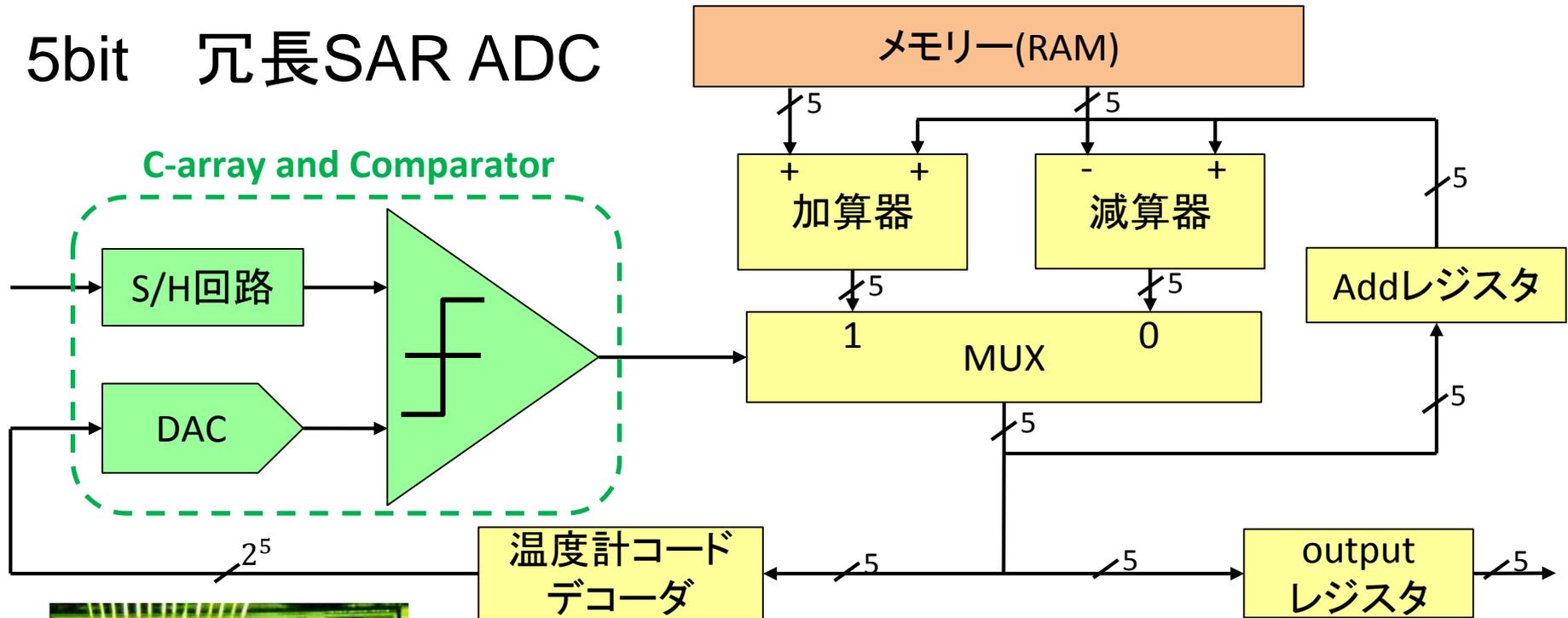
「回路は数理で設計できる」

T. Arafune

付録

冗長SAR ADCの実現

5bit 冗長SAR ADC



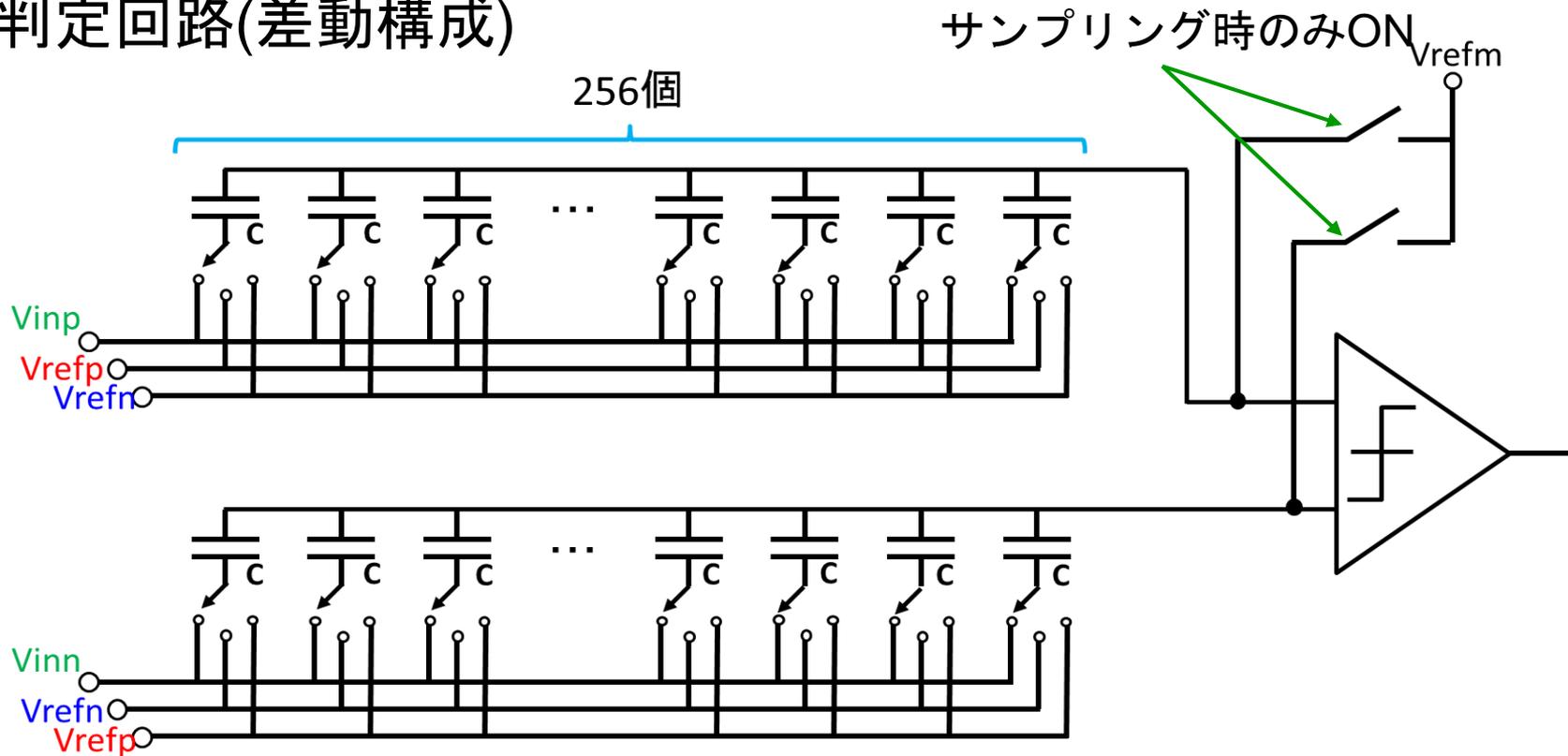
研究室で作成したチップ写真

(0.18um CMOS 2.5mm x 2.5mm)

付加回路は小面積なデジタル回路

比較判定部 (C-array and Comparator)

比較判定回路(差動構成)



上段の動作

サンプリング : $V_{inp} \Rightarrow \frac{n}{2^N} [LSB]$ との比較 : n 個 V_{refp} , $(2^N - n)$ 個 V_{refn}

下段の動作

サンプリング : $V_{inn} \Rightarrow \frac{n}{2^N} [LSB]$ との比較 : n 個 V_{refn} , $(2^N - n)$ 個 V_{refp}

結合部の検討

C1について

$$Q_1 = (V_1 - V_{out})C$$

C2について

$$Q_2 = (V_2 - V_{out})C$$

電荷の保存則より

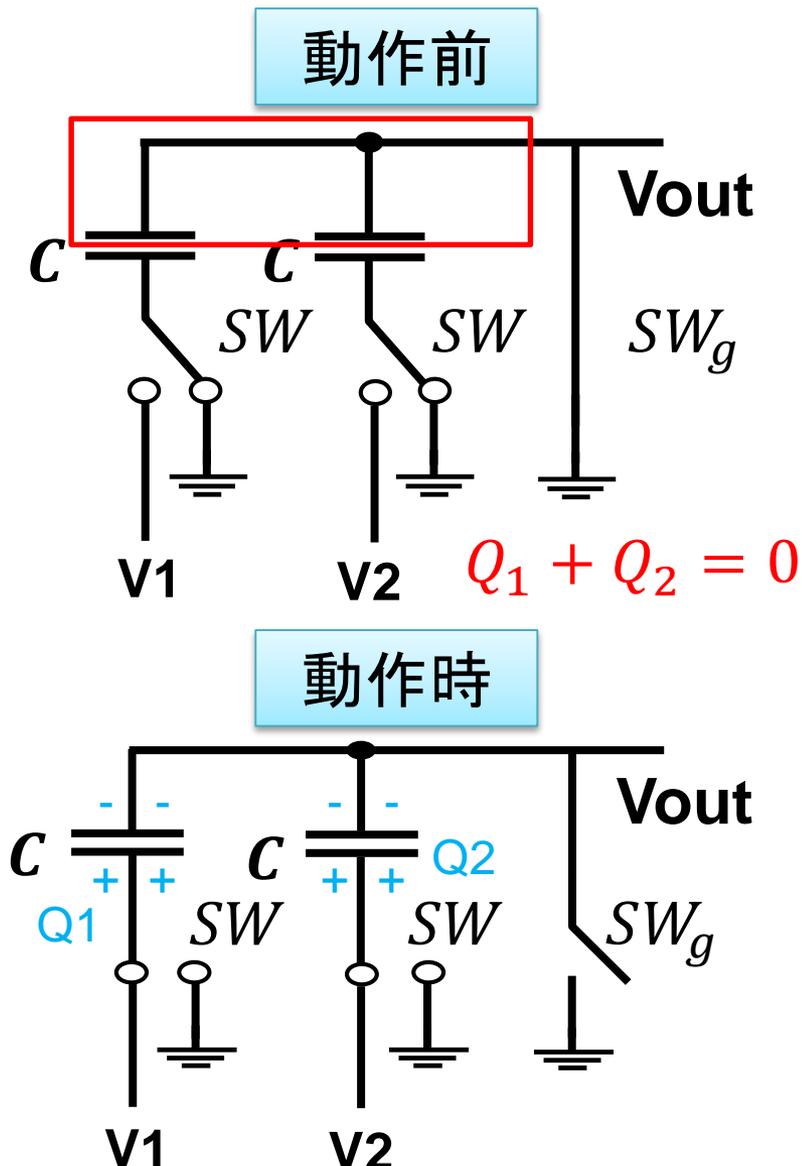
$$Q_1 + Q_2 = 0$$

$$(V_1 - V_{out})C + (V_2 - V_{out})C = 0$$

$$V_{out} = \frac{1}{2}(V_1 + V_2)$$

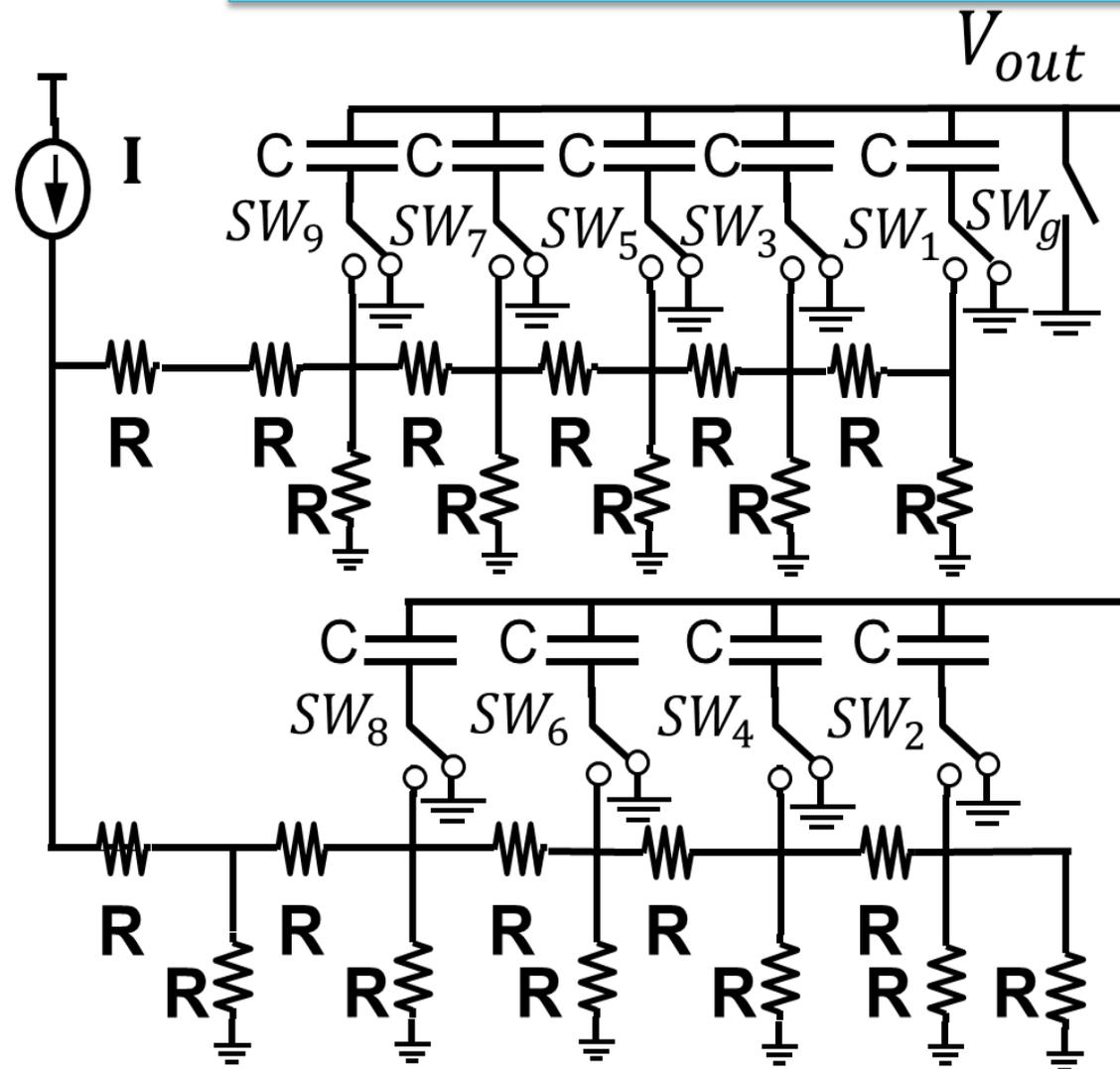
Cの容量ではなく個数に依存

小容量化可能



シミュレーション条件

SW1~SW9を切り替え出力電圧 V_{out} を確認



フィボナッチ重み？

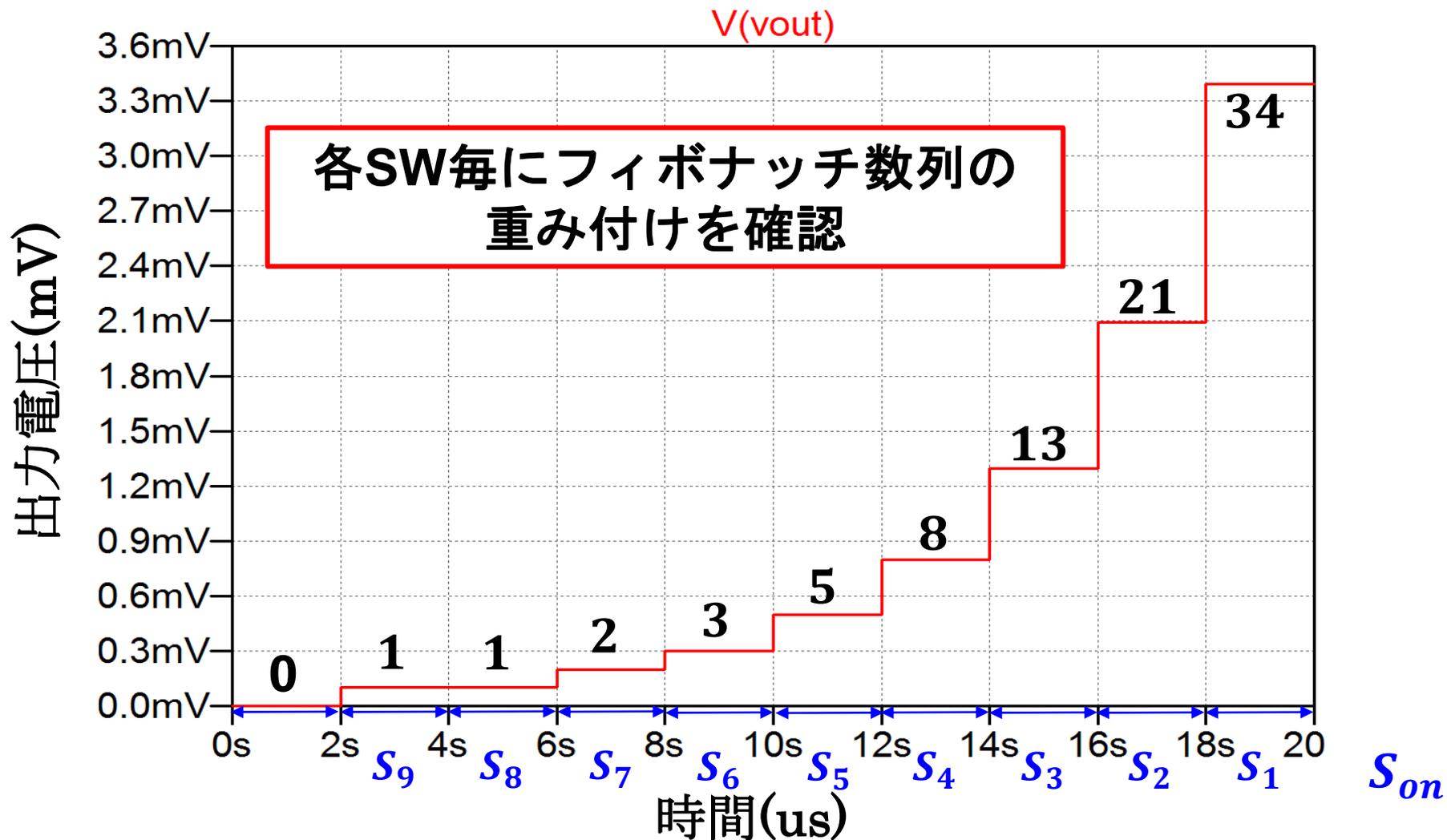
【素子値】

- 抵抗 $R=550\Omega$
- 容量 $C=1\text{pF}$
- 電流 $I=235\mu\text{A}$

【検討項目】

- 重み付けの確認

重み付けの確認(単電流)



フィボナッチ重みが出力

容量アレイ型

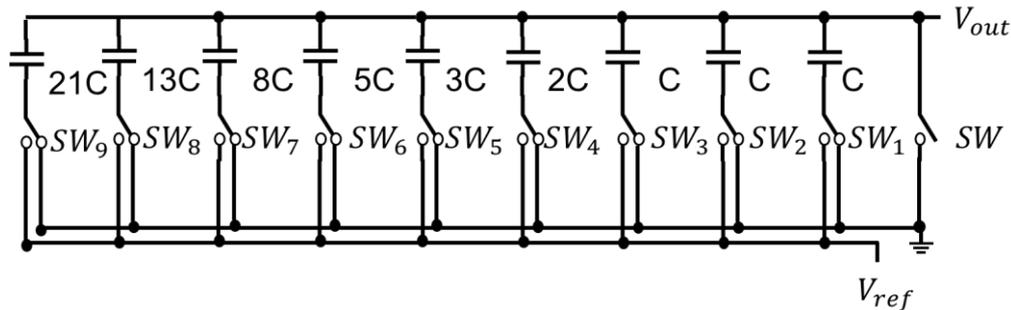
特徴

- 容量を用いることで低消費電力
- 最大・最小容量比が大きい
- 放電路が必要

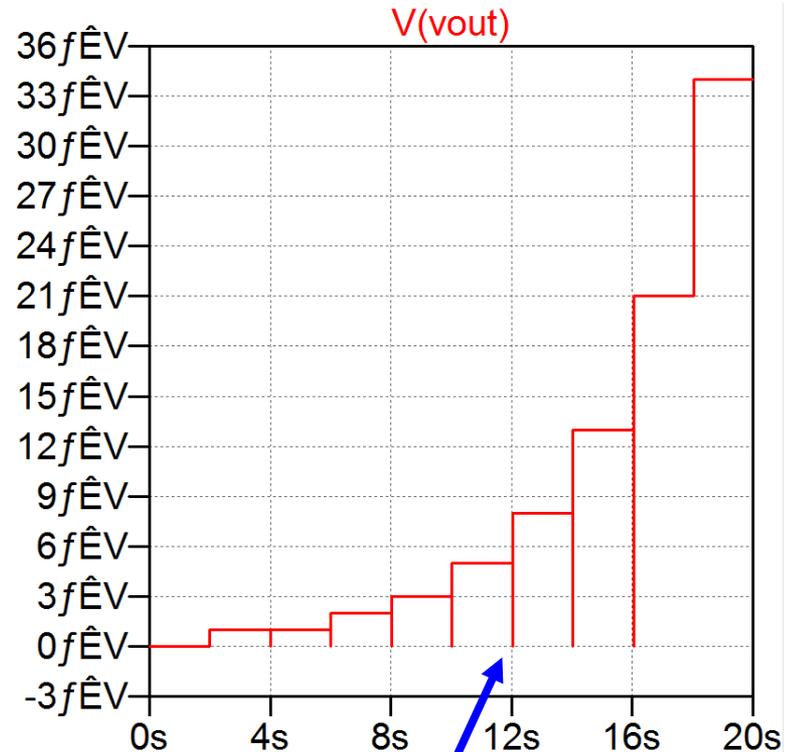
【素子値】

$V_{ref}=55\mu\text{V}$

$C=1\text{pF}$



フィボナッチ重み付け可能



電荷を放電

フィボナッチ数列を用いたSAR ADC

フィボナッチ数列SAR ADC

2点の性質を新発見！

- ① 許容値 $q(k)$ は必ずフィボナッチ数
- ② 許容できる範囲が必ず接する

性質①

許容値 $q(k)$ は必ずフィボナッチ数であり
その値は F_{M-k-1} となる

$F_0 = 0$ を最小値とすれば、これはすなわち
最後から2stepは必ず誤差許容値が0
であることに等しい

論文中の証明参照

Step	1st	2nd	3rd	4th	5th	6th	7th
Weight p(k)	16	8	5	3	2	1	1
33					↓		
32				↕			
31				↕			
30			↕		↕		
29			↕		↕		
28			↕		↕		
27			↕		↕		
26		↕		↕			
25		↕		↕			
24		↕		↕			
23		↕		↕			
22		↕		↕			
21		↕		↕			
20	↕	↕		↕			
19	↕	↕		↕			
18	↕	↕		↕			
17	↕	↕		↕			
16	↕	↕		↕			
15	↕	↕		↕			
14	↕	↕		↕			
13	↕	↕		↕			
12	↕	↕		↕			
11	↕	↕		↕			
10	↕	↕		↕			
9	↕	↕		↕			
8	↕	↕		↕			
7	↕	↕		↕			
6	↕	↕		↕			
5	↕	↕		↕			
4	↕	↕		↕			
3	↕	↕		↕			
2	↕	↕		↕			
1	↕	↕		↕			
0	↕	↕		↕			
-1	↕	↕		↕			
-2	↕	↕		↕			

フィボナッチ数列を用いたSAR ADC

フィボナッチ数列SAR ADC

2点の性質を新発見！

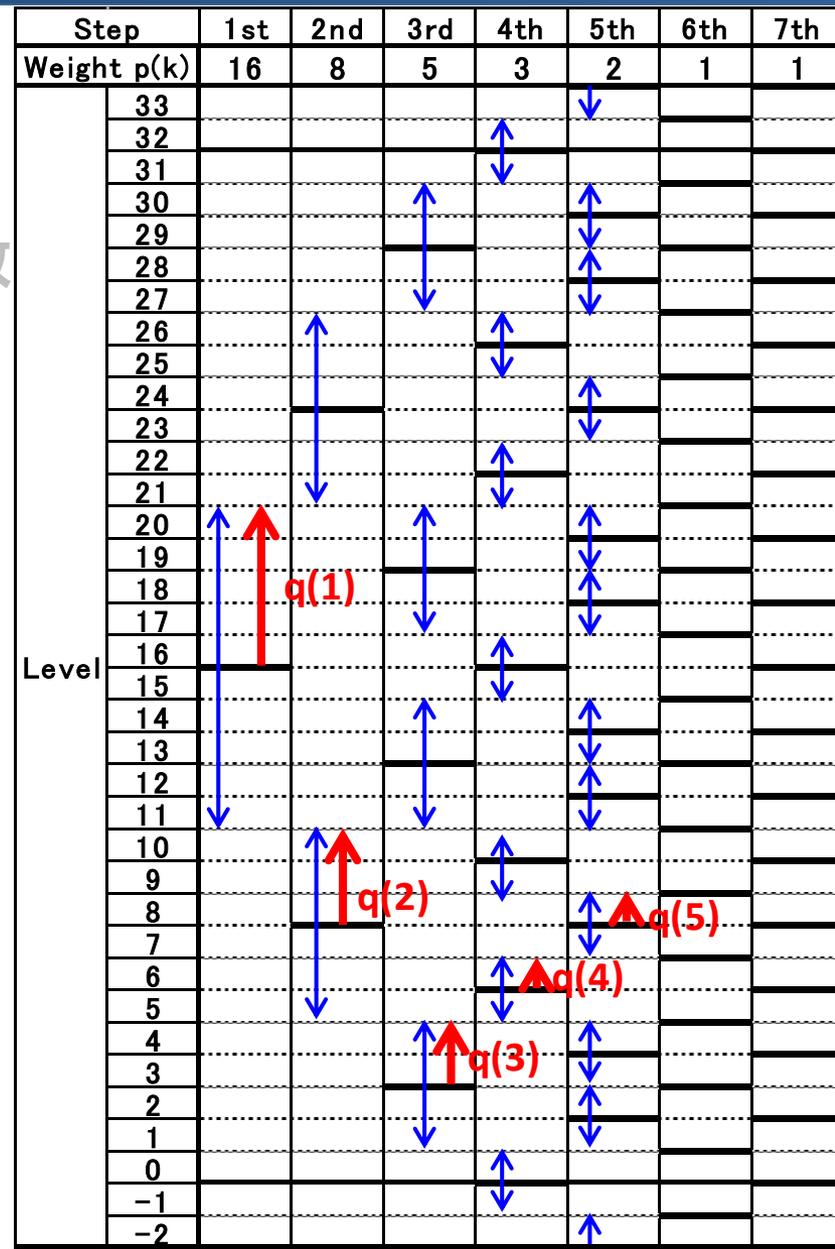
- ① 許容値 $q(k)$ は必ずフィボナッチ数
- ② 許容できる範囲が必ず接する

性質②

k step目の補正可能範囲は $k+1$ step目の補正可能範囲と重なることなく必ず接する (k stepと $k+1$ stepの両矢印の先端は必ず同じLevel値となる)

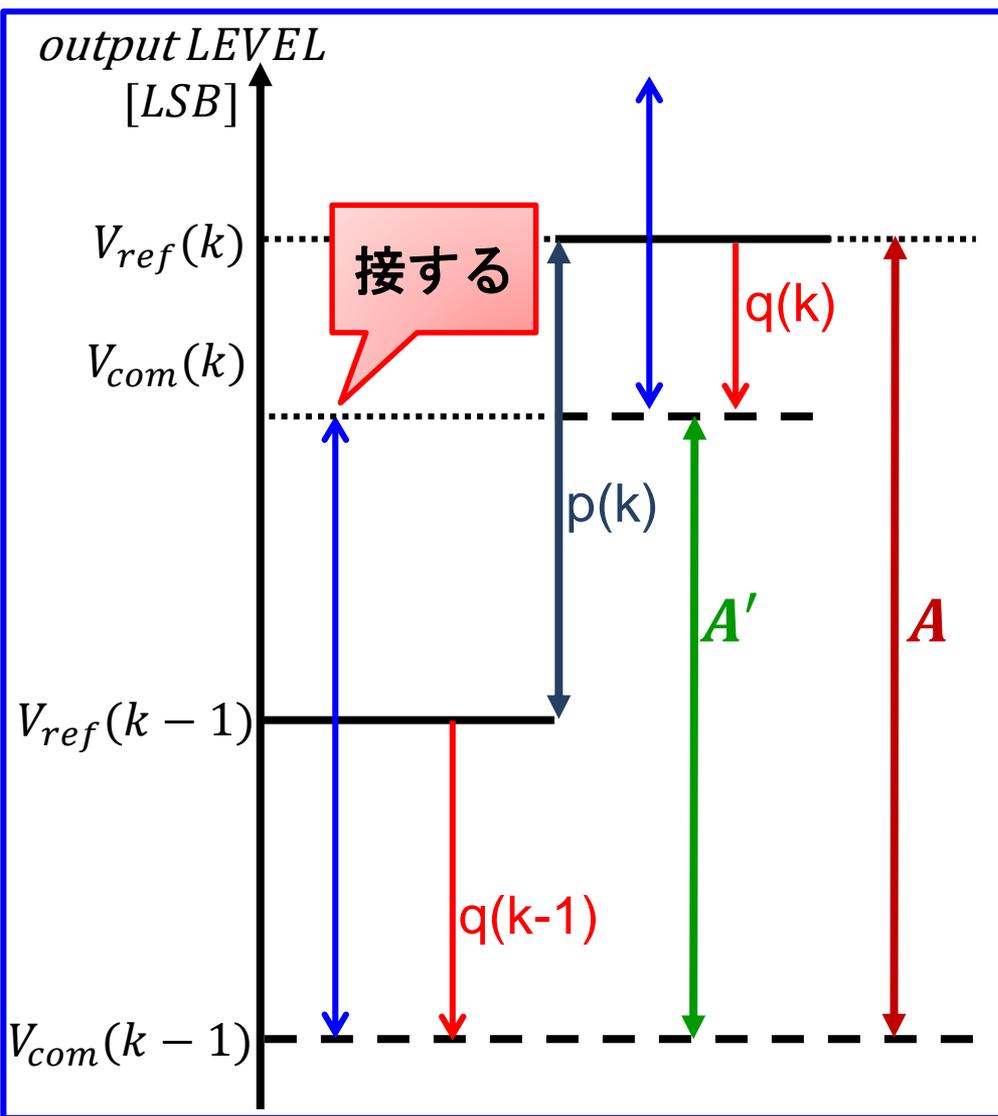
これは同時に
補正可能範囲が重なる／離れるの境界が
フィボナッチ数重みであること、
フィボナッチ数重みが補正可能範囲を接
させるための最速の重み付けであることを
を示す

論文中の証明参照



フィボナッチ設計手法の整定時間

フィボナッチDACの整定時間を考える フィボナッチ手法 (1.618進)



Step	1st	2nd	3rd
Weight $p(k)$	16	8	5
	31		
	30		
	29		
	28		
	26		
	25		
	24		
LEVEL	23		
	22		
	21		
	20		
	19		
	18		
	17		
	16		
	15		

V_{DAC}

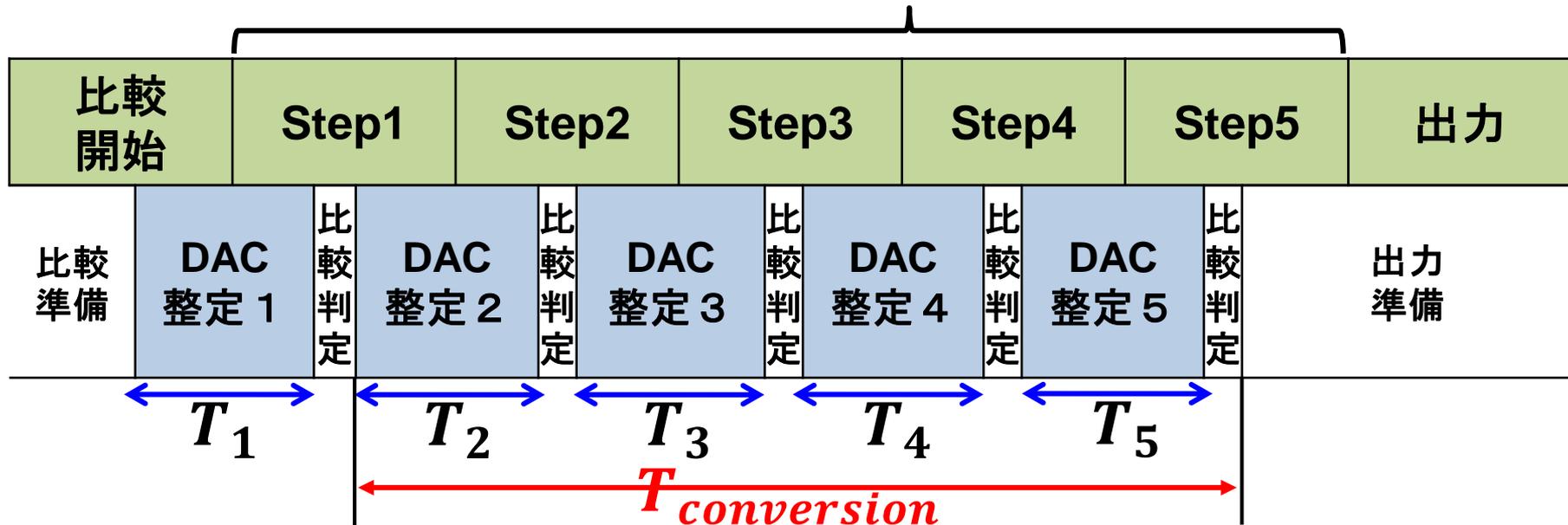
変換時間シミュレーション

5step SAR ADC変換動作

比較判定フェーズ

フェーズ

時間



シミュレーション条件(基数法と整数論法の整定時間)

- 整定時間公式利用・比較判定時間無視

$$T_k = \tau \ln \left(\frac{1}{1-x} \right) = \tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right)$$

- $q(k)=0$ [LSB]なら $q(k)=0.5$ [LSB]とみなす
- $T_1=0$:考慮しない(全方式で同じ)、 T_2 :異なる計算式を利用
- 時間の計算結果がマイナスのときは $T=0$ とする

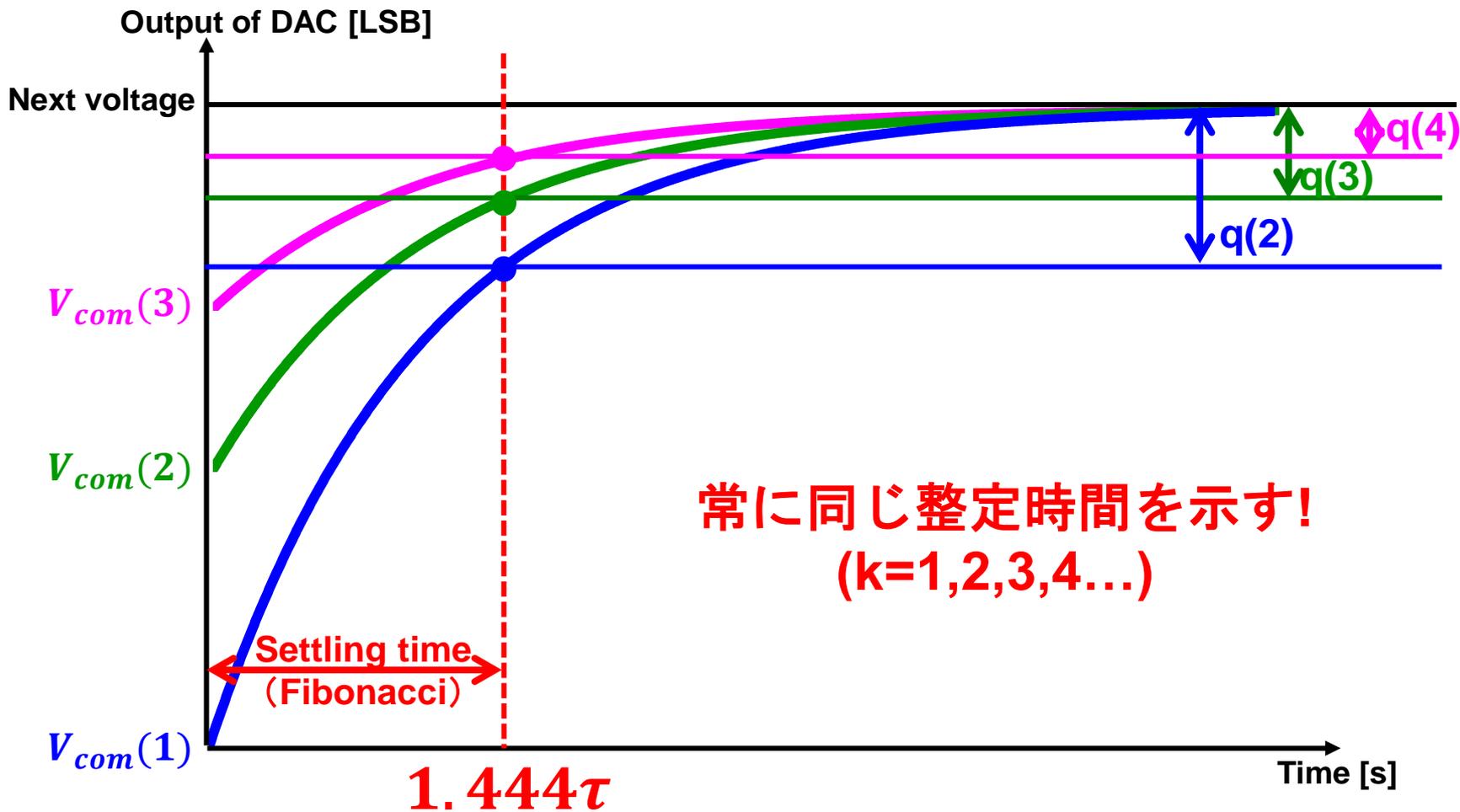
- ・ 可変クロック
 - ・ 固定クロック
- 変換時間調査

フィボナッチ数列の一般整定時間

新たな性質の発見！

$$T_{settle}(k) = \tau \ln(2\varphi + 1)$$

$$= 1.444\tau \quad \text{for all } k$$



フィボナッチ設計手法の整定時間

Step	1st	2nd	3rd	4th	5th	6th	7th
Weight p(k)	16	8	5	3	2	1	1
33					↓		
32				↑↓			
31				↑↓			
30			↑↓		↑↓		
29			↑↓		↑↓		
28			↑↓		↑↓		
27			↑↓		↑↓		
26		↑↓		↑↓			
25		↑↓		↑↓			
24		↑↓		↑↓			
23		↑↓		↑↓			
22		↑↓		↑↓			
21		↑↓		↑↓			
20	↑↓		↑↓		↑↓		
19	↑↓		↑↓		↑↓		
18	↑↓		↑↓		↑↓		
17	↑↓		↑↓		↑↓		
16	↑↓		↑↓		↑↓		
15	↑↓		↑↓		↑↓		
14	↑↓		↑↓		↑↓		
13	↑↓		↑↓		↑↓		
12	↑↓		↑↓		↑↓		
11	↑↓		↑↓		↑↓		
10	↑↓	↑↓		↑↓			
9	↑↓	↑↓		↑↓			
8	↑↓	↑↓		↑↓	↑↓		
7	↑↓	↑↓		↑↓	↑↓		
6	↑↓	↑↓		↑↓	↑↓		
5	↑↓	↑↓		↑↓	↑↓		
4	↑↓	↑↓		↑↓	↑↓		
3	↑↓	↑↓		↑↓	↑↓		
2	↑↓	↑↓		↑↓	↑↓		
1	↑↓	↑↓		↑↓	↑↓		
0	↑↓	↑↓		↑↓	↑↓		
-1	↑↓	↑↓		↑↓	↑↓		
-2	↑↓	↑↓		↑↓	↑↓		

フィボナッチ数列SAR ADC性質

①許容値 $q(k)$ は必ずフィボナッチ数

$$q(k) = F_{M-k-1}, q(k-1) = F_{M-k}$$

②許容できる範囲が必ず接する

x は必ず $q(k), q(k-1)$ でのみ決定

整定時間 T は

$$\begin{aligned} T &= \tau \ln(2\varphi + 1) \\ &= 1.444\tau \end{aligned}$$

フィボナッチ数列では
可変クロックを用いたとしても
(LSB側を除いて)常に一定!

※1. リュカ数も同様に一定時間実現

※2. 一般手法では $p(k)$ と $q(k)$ に
関連性がないためできない

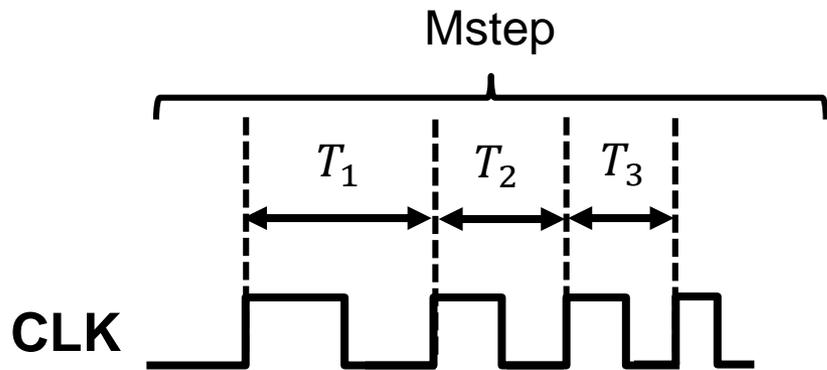
DAC出力整定の一般化

整定時間

$$T = \tau \ln\left(\frac{1}{1-x}\right) = \tau \ln\left(\frac{p(k) + q(k-1)}{q(k)}\right)$$

可変クロックAD変換

T の単純な合計値

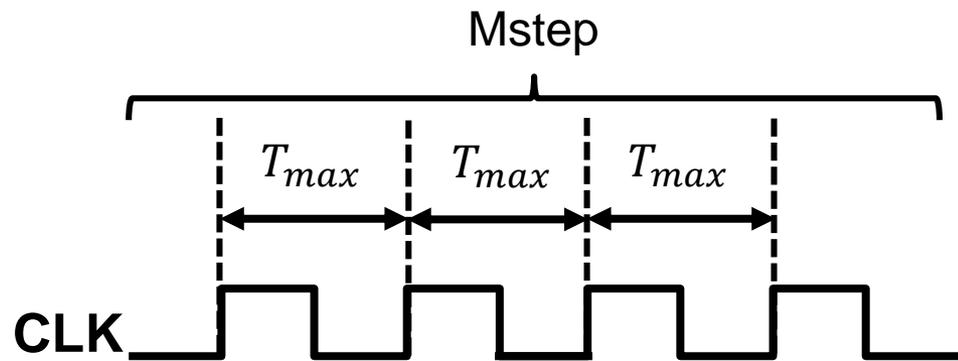


AD変換時間(可変)

$$T_{conv_vari} = \sum_{i=1}^M T_i$$

固定クロックAD変換

T の最大値 T_{max} のステップ倍
($\Rightarrow x$ が最大のところ)

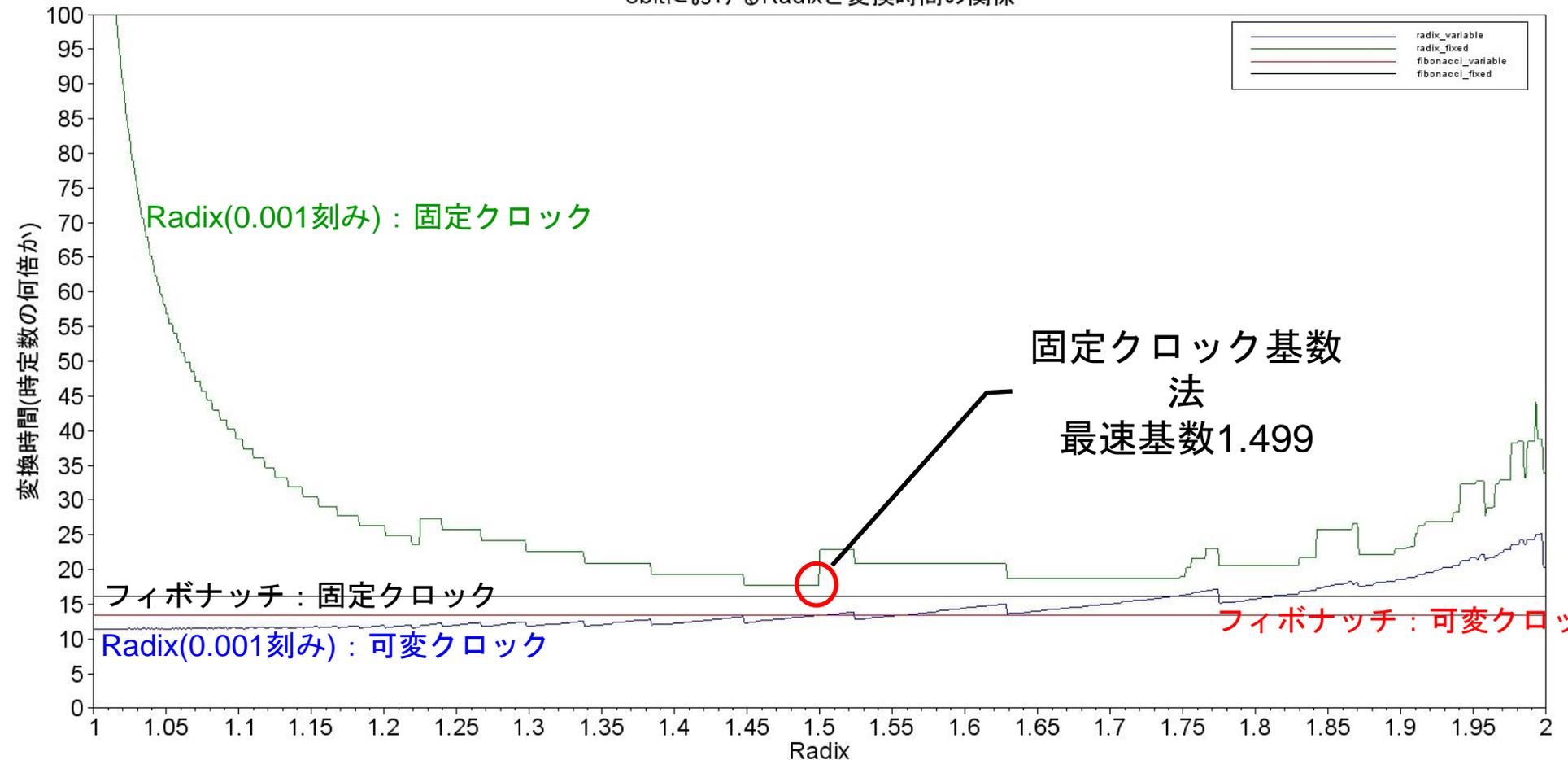


AD変換時間(固定)

$$T_{conv_fixed} = T_{max} \times M$$

8bitフィボナッチ数シミュレーション結果

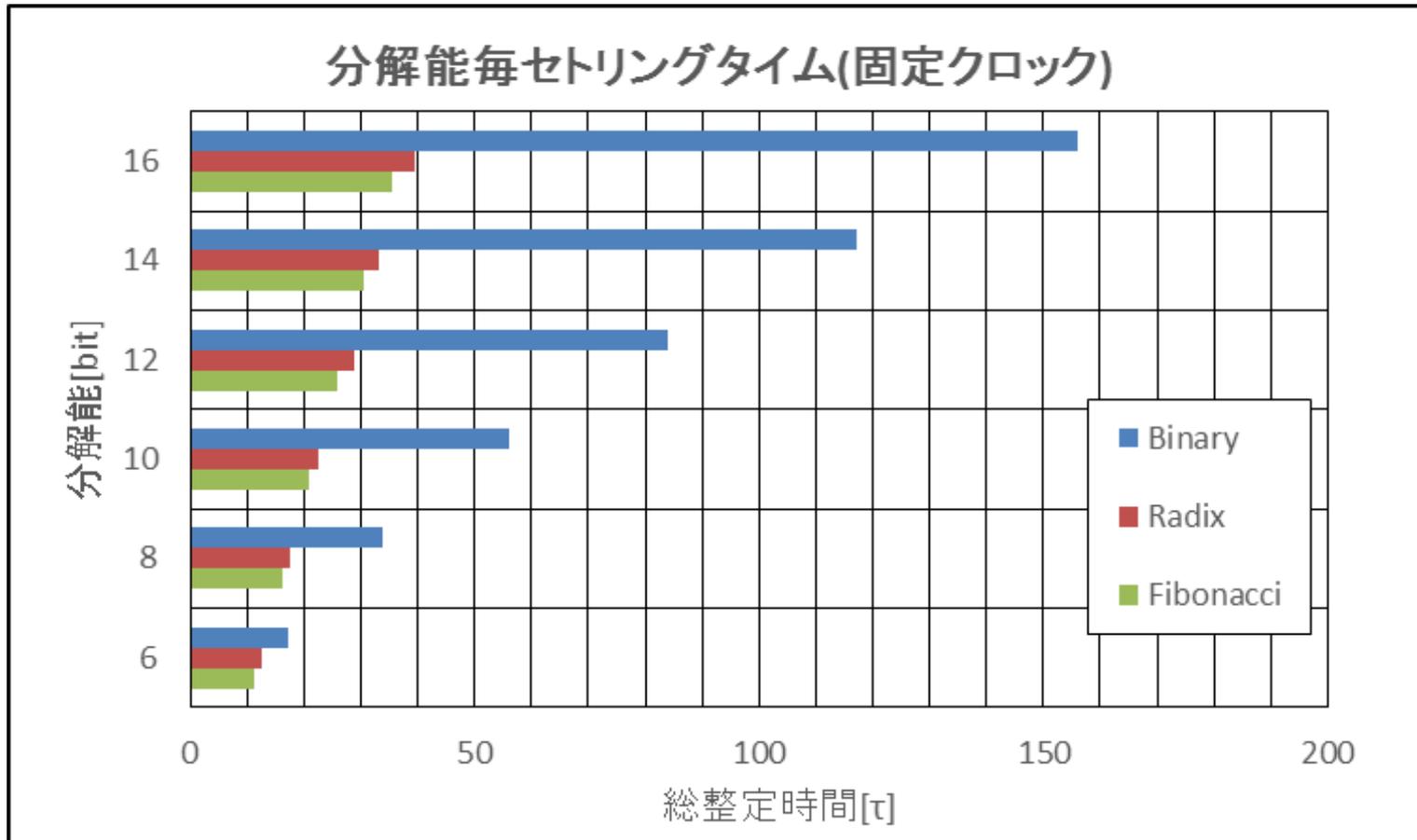
8bitにおけるRadixと変換時間の関係



固定クロックにおいてはフィボナッチ数列利用が最速！

※ただし証明ができていないため現時点での最速

不完全整定時間比較



Radix手法から

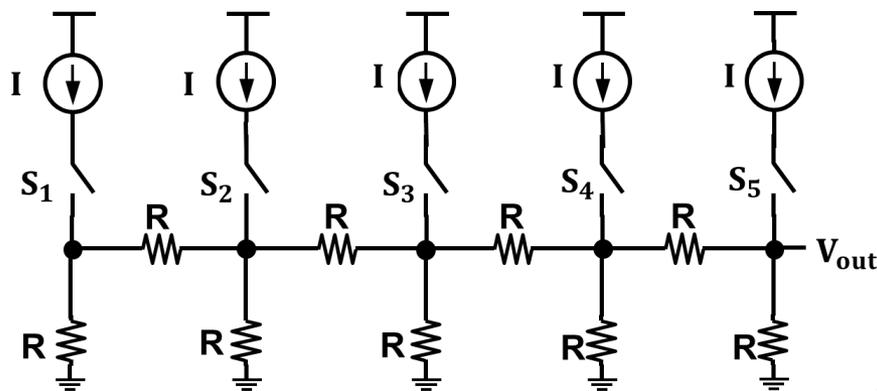
約1~3 τ 、最大で4 τ 以上短縮

最大で非冗長の1/5の時間で整定

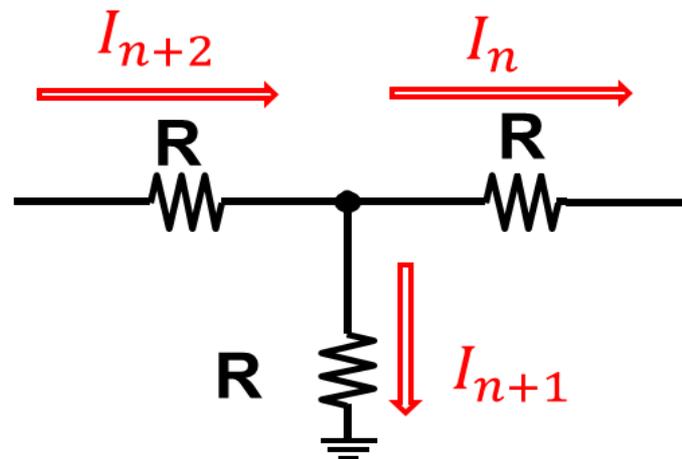
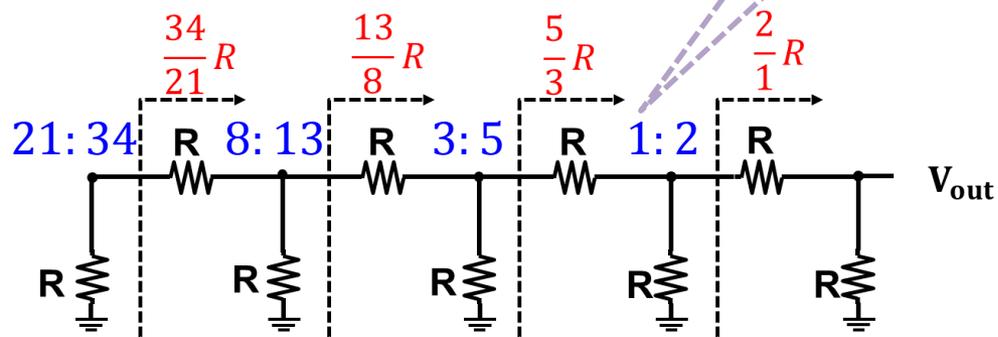
全分解能固定クロックで
フィボナッチ手法は最も高
速！

黄金比分割の原理

回路構成



合成抵抗



$$I_{n+2} = I_{n+1} + I_n$$

$$F_{n+2} = F_{n+1} + F_n$$

(1, 1, 2, 3, 5, 8, 13...)

フィボナッチと同様の性質

質疑応答

- 複数の電流源を用いた意味は？1つならバラツキもないのでは？
- 2進コードをどのようにフィボナッチ数コードに変換するのか？
- INLにおいて抵抗ラダーのバラツキは考えたのか？
- INLのばらつきが最も小さくなる組み合わせは決まっているの？製造するとき1つ1つのチップで異なるの？
- 電流源のバラツキを抑えるのは全くの新しいアイデアなのか？
- 1.62進数と言っていたが1と1,1と2の間は1.62進数ではないのでは？