

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-95816

(P2015-95816A)

(43) 公開日 平成27年5月18日(2015.5.18)

(51) Int.Cl.	F I	テーマコード (参考)
H03M 1/74 (2006.01)	H03M 1/74	5J022
H03M 1/08 (2006.01)	H03M 1/08	B

審査請求 有 請求項の数 7 O L (全 30 頁)

(21) 出願番号 特願2013-235083 (P2013-235083)  
 (22) 出願日 平成25年11月13日 (2013.11.13)

特許法第30条第2項適用申請有り ウェブサイトのアドレス：<https://www.gakkai-web.net/gakkai/eiss/program/abst/MC2-5.html> 掲載日：平成25年8月5日 [刊行物等] 平成25年 電気学会 電子・情報・システム部門大会 講演論文集 発行日：平成25年9月4日 発行所：電気学会 電子・情報・システム部門大会委員会 [刊行物等] 平成25年 電気学会 電子・情報・システム部門大会 開催日：平成25年9月5日

(71) 出願人 396023993  
 株式会社半導体理工学研究センター  
 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階  
 (74) 代理人 100099759  
 弁理士 青木 篤  
 (74) 代理人 100092624  
 弁理士 鶴田 準一  
 (74) 代理人 100114018  
 弁理士 南山 知広  
 (74) 代理人 100165191  
 弁理士 河合 章  
 (74) 代理人 100160716  
 弁理士 遠藤 力

最終頁に続く

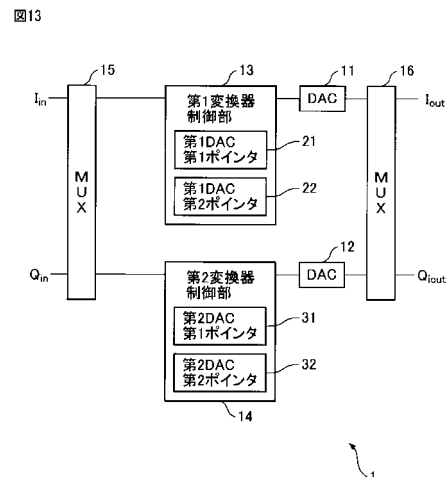
(54) 【発明の名称】  $\Delta\Sigma$ DA変調器及び $\Delta\Sigma$ AD変調器

(57) 【要約】 (修正有)

【課題】複素マルチバンドパスDA変調器を提供する。

【解決手段】複素マルチバンドパスDA変調器は、第1DA変換器11及び第2DA変換器12と、第1変換器制御部13と、第2変換器制御部14と、入力選択部15と、出力選択部16とを有する。第1変換器制御部13は、N個のポインタを使用してローパスエレメントローテーションアルゴリズムにより第1DA変換器11のセグメント素子を順次選択する。第2変換器制御部14は、N個のポインタを使用してハイパスエレメントローテーションアルゴリズムにより第2DA変換器12のセグメント素子を順次選択する。入力選択部15及び出力選択部16は、第1DA変換器11及び第2DA変換器12に入出力する信号をN個ごとに交互に選択する。

【選択図】 図13



## 【特許請求の範囲】

## 【請求項 1】

第 1 デジタル信号を第 1 アナログ信号に D A 変調すると共に、前記第 1 デジタル信号に直交する第 2 デジタル信号を前記第 1 アナログ信号に直交する第 2 アナログ信号に D A 変調する D A 変調器であって、

それぞれが複数のセグメント素子を有し、デジタル信号をアナログ信号に変換する第 1 D A 変換器及び第 2 D A 変換器と、

前記第 1 D A 変換器を制御する第 1 変換器制御部と、

前記第 2 D A 変換器を制御する第 2 変換器制御部と、

前記第 1 変換器制御部に前記第 1 デジタル信号を入力するときに前記第 2 変換器制御部に前記第 2 デジタル信号を入力し、前記第 1 変換器制御部に前記第 2 デジタル信号を入力するときに前記第 2 変換器制御部に前記第 1 デジタル信号を入力する入力選択部と、

前記第 1 D A 変換器から前記第 1 アナログ信号を出力するときに前記第 2 D A 変換器から前記第 2 アナログ信号を出力し、前記第 1 D A 変換器から前記第 2 アナログ信号を出力するときに前記第 2 D A 変換器から前記第 1 アナログ信号を出力する出力選択部と、を有し、

前記入力選択部は、前記第 1 デジタル信号及び前記第 2 デジタル信号を、2 以上の整数である N 個ごとに前記第 1 変換器制御部及び前記第 2 変換器制御部に交互に入力し、

前記出力選択部は、前記第 1 アナログ信号及び前記第 2 アナログ信号を前記 N 個ごとに前記第 1 変換器制御部及び前記第 2 変換器制御部から交互に出力し、

前記第 1 変換器制御部は、入力される前記 N 個のデジタル信号のそれぞれに対応する N 個のポインタを有し、前記 N 個のポインタを使用してローパスエレメントローテーションアルゴリズムにより前記第 1 D A 変換器のセグメント素子を順次選択し、

前記第 2 変換器制御部は、入力される前記 N 個のデジタル信号のそれぞれに対応する N 個のポインタを有し、前記 N 個のポインタを使用してハイパスエレメントローテーションアルゴリズムにより前記第 2 D A 変換器のセグメント素子を順次選択する、

ことを特徴とする D A 変調器。

## 【請求項 2】

前記第 1 変換器制御部は、それぞれが前記第 1 D A 変換器の複数のセグメント素子の何れかを示す N 個のポインタである第 1 D A C 第 1 ポインタ～第 1 D A C 第 N ポインタを有し、前記第 1 D A 変換器は、デジタル信号が入力されるごとに、前記第 1 D A C 第 1 ポインタ～前記第 1 D A C 第 N ポインタを順次使用し、

前記第 2 変換器制御部は、それぞれが前記第 2 D A 変換器の複数のセグメント素子の何れかを示す N 個のポインタである第 2 D A C 第 1 ポインタ～第 2 D A C 第 N ポインタを有し、前記第 2 D A 変換器は、デジタル信号が入力されるごとに、前記第 2 D A C 第 1 ポインタ～前記第 2 D A C 第 N ポインタを順次使用する、請求項 1 に記載の D A 変調器。

## 【請求項 3】

前記第 1 変換器制御部は、

入力されたデジタル信号に基づいて、選択するセグメント素子の個数を決定し、

前記第 1 D A C 第 N ポインタが示す前記第 1 D A 変換器のセグメント素子の順方向に位置する、前記決定した個数のセグメント素子を選択し、

前記第 1 D A C 第 N ポインタが示す前記第 1 D A 変換器のセグメント素子を、前記選択したセグメント素子に基づいて変更する、請求項 2 に記載の D A 変調器。

## 【請求項 4】

前記第 1 D A 変換器は、第 1 セグメント素子から第 M セグメント素子までの M 個のセグメント素子を有し、

前記第 1 変換器制御部は、前記第 M セグメント素子まで順方向に順次選択したときに、次いで前記第 1 セグメント素子を選択する、請求項 3 に記載の D A 変調器。

## 【請求項 5】

前記第 2 変換器制御部は、

10

20

30

40

50

入力されたデジタル信号に基づいて、選択するセグメント素子の個数を決定し、

前記第 2 D A C 第 N ポインタが示す前記第 2 D A 変換器のセグメント素子の順方向又は逆方向に位置する、前記決定した個数のセグメント素子を選択し、

前記第 2 D A C 第 N ポインタが示す前記第 2 D A 変換器のセグメント素子を、前記選択したセグメント素子に基づいて変更し、

前記第 2 変換器制御部が前記第 2 D A C 第 N ポインタが示すセグメント素子の順方向に位置するセグメント素子を選択した場合、次に前記第 2 D A C 第 N ポインタを使用するときには、前記第 2 D A C 第 N ポインタが示す前記第 2 D A 変換器のセグメント素子の逆方向に位置するセグメント素子を選択し、

前記第 2 変換器制御部が前記第 2 D A C 第 N ポインタが示すセグメント素子の逆方向に位置するセグメント素子を選択した場合、次に前記第 2 D A C 第 N ポインタを使用するときには、前記第 2 D A C 第 N ポインタが示す前記第 2 D A 変換器のセグメント素子の順方向に位置するセグメント素子を選択する、請求項 2 ~ 4 の何れか一項に記載の D A 変調器。

10

【請求項 6】

前記第 2 D A 変換器は、第 1 セグメント素子から第 M セグメント素子までの M 個のセグメント素子を有し、

前記第 2 変換器制御部は、前記第 M セグメント素子まで順方向に順次選択したときに、更に順方向に選択する場合は前記第 1 セグメント素子を選択し、前記第 1 セグメント素子まで逆方向に順次選択したときに、更に逆方向に選択する場合は前記第 M セグメント素子を選択する、請求項 5 に記載の D A 変調器。

20

【請求項 7】

第 1 アナログ信号を第 1 デジタル信号に A D 変調すると共に、前記第 1 アナログ信号に直交する第 2 アナログ信号を前記第 1 デジタル信号に直交する第 2 デジタル信号に A D 変調する A D 変調器であって、

前記第 1 デジタル信号を第 1 フィードバック信号に D A 変調すると共に、前記第 2 デジタル信号を第 2 フィードバック信号に D A 変調する D A 変調器と、

前記第 1 アナログ信号から前記第 1 フィードバック信号を減算する第 1 減算器と、

前記第 2 アナログ信号から前記第 2 フィードバック信号を減算する第 2 減算器と、

前記第 1 減算器及び前記第 2 減算器の出力信号をフィルタリングする複素マルチバンドパスフィルタと、

30

前記複素マルチバンドパスフィルタがフィルタリングした信号を前記第 1 デジタル信号に A D 変換する第 1 A D 変換器と、

前記複素マルチバンドパスフィルタがフィルタリングした信号を前記第 2 デジタル信号に A D 変換する第 2 A D 変換器と、を有し、

前記 D A 変調器は、請求項 1 ~ 6 の何れか一項に記載の D A 変調器である、

ことを特徴とする A D 変調器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、D A 変調器及び A D 変調器に関する。

40

【背景技術】

【0002】

携帯電話や無線 LAN 等の通信システムの R F 受信回路に、マルチバンドパスフィルタを用いた変調器を適用することが検討されている。特許文献 1、及び非特許文献 1 には、複数のセグメント素子と、複数のセグメント素子に順番に入力デジタル信号が供給されるように重み付けポイントを備えた D A 変換器を有する変調器が記載されている。この D A 変換器では、マルチビット D A C の特性からもたらされる非線形ノイズを効率的に除去することが可能である。

【0003】

50

また、RF受信回路に、複素バンドパス AD変換器を適用することが検討されている。特許文献2、並びに非特許文献2及び3には、第1DA変換器及び第2DA変換器と、マルチプレクサ手段と、第1論理回路手段及び第2論理回路手段とを備えるDA変調器が記載される。この変調器では、マルチプレクサ手段は、第1デジタル信号及び第2のデジタル信号をそれぞれ、所定のクロックに応じて所定の周期で交互に入出力することにより、DA変換されたアナログ信号を得るように制御する。また、第1論理回路手段及び第2論理回路手段はそれぞれ、第1DA変換器及び第2DA変換器の前段に設けられる。第1論理回路手段及び第2論理回路手段は、第1デジタル信号に対してハイパスエレメントローテーション法を用いる一方、第2のデジタル信号に対してローパスエレメントローテーション法を用いて複素デジタルフィルタを実現する。また、第1論理回路手段及び第2論理回路手段は、第1論理回路手段及び第2論理回路手段は、複素アナログフィルタを実現する。このDA変換器では、第1DA変換器及び第2DA変換器の非線形性を実質的にノイズシェーブすることができる。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特表2007-066431号公報

【特許文献2】特開2006-13705号公報

【非特許文献】

【0005】

【非特許文献1】元澤篤史、萩原 広之、山田 佳央、小林 春夫、小室 貴紀、傘 昊、「マルチバンドパス 変調器技術とその応用」、電子情報通信学会誌 和文誌C vol. J9 0-C, no.2, pp.143-158 (2007年2月)。

【非特許文献2】H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, 「A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass AD Modulators」, IEICE Trans. on Fundamentals, E87-A, no. 4, pp.792-800 (April. 2004).

【非特許文献3】H. San, A. Hagiwara, A. Motozawa, H. Kobayashi 「DWA Algorithms for Multibit Complex Bandpass AD Modulators of Arbitrary Signal Band」, IEEJ International Analog VLSI Workshop, Hangzhou, China (Nov. 2006).

【発明の概要】

【発明が解決しようとする課題】

【0006】

消費電力をより低くするために、AD変調器及びDA変調器をそれぞれ、マルチビット変調器で実現することが望まれている。AD変調器をマルチビット変調器で実現すると、増幅器のスルーレート要求が緩和されるので、増幅器の消費電力を低くすることができる。また、DA変調器マルチビット変調器で実現すると、量子化雑音が低減されることにより、DA変調器の後段に配置されるアナログフィルタの要求が緩和される。しかしながら、複素デジタル信号をマルチビットでDA変調する複素マルチバンドパスDA変調器は実現されていなかった。

【0007】

そこで、本発明は、複素デジタル信号をマルチビットでDA変調する複素マルチバンドパスDA変調器を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を実現するため、本発明に係るDA変調器は、第1デジタル信号を第1アナログ信号にDA変換すると共に、第1デジタル信号に直交する第2デジタル信号を第1アナログ信号に直交する第2アナログ信号にDA変換するDA変調器であって、それぞれが複数のセグメント素子を有し、デジタル信号をアナログ信号に変換する第1DA変換器及び第2DA変換器と、第1DA変換器を制御する第1変換器制御部と、第2DA変換器を制御する第2変換器制御部と、第1変換器制御部に第1デジタル信号を入力すると

きに第2変換器制御部に第2デジタル信号を入力し、第1変換器制御部に第2デジタル信号を入力するときに第2変換器制御部に第1デジタル信号を入力する入力選択部と、第1D/A変換器から第1アナログ信号を出力するときに第2D/A変換器から第2アナログ信号を出力し、第1D/A変換器から第2アナログ信号を出力するときに第2D/A変換器から第1アナログ信号を出力する出力選択部と、を有し、入力選択部は、第1デジタル信号及び第2デジタル信号を、2以上の整数であるN個ごとに第1変換器制御部及び第2変換器制御部に交互に入力し、出力選択部は、第1アナログ信号及び第2アナログ信号をN個ごとに第1変換器制御部及び第2変換器制御部から交互に出力し、第1変換器制御部は、入力されるN個のデジタル信号のそれぞれに対応するN個のポイントを有し、N個のポイントを使用してローパスエレメントローテーションアルゴリズムにより第1D/A変換器のセグメント素子を順次選択し、第2変換器制御部は、入力されるN個のデジタル信号のそれぞれに対応するN個のポイントを有し、N個のポイントを使用してハイパスエレメントローテーションアルゴリズムにより第2D/A変換器のセグメント素子を順次選択することを特徴とする。

10

20

30

40

50

**【0009】**

さらに、本発明に係るD/A変調器では、第1変換器制御部は、それぞれが第1D/A変換器の複数のセグメント素子の何れかを示すN個のポイントである第1DAC第1ポイント～第1DAC第Nポイントを有し、第1D/A変換器は、デジタル信号が入力されるごとに、第1DAC第1ポイント～第1DAC第Nポイントを順次使用し、第2変換器制御部は、それぞれが第2D/A変換器の複数のセグメント素子の何れかを示すN個のポイントである第2DAC第1ポイント～第2DAC第Nポイントを有し、第2D/A変換器は、デジタル信号が入力されるごとに、第2DAC第1ポイント～第2DAC第Nポイントを順次使用することが好ましい。

**【0010】**

さらに、本発明に係るD/A変調器では、第1変換器制御部は、入力されたデジタル信号に基づいて、選択するセグメント素子の個数を決定し、第1DAC第Nポイントが示す第1D/A変換器のセグメント素子の順方向に位置する、決定した個数のセグメント素子を選択し、第1DAC第Nポイントが示す第1D/A変換器のセグメント素子を、選択したセグメント素子に基づいて変更することが好ましい。

**【0011】**

さらに、本発明に係るD/A変調器では、第1D/A変換器は、第1セグメント素子から第Mセグメント素子までのM個のセグメント素子を有し、第1変換器制御部は、第Mセグメント素子まで順方向に順次選択したときに、次いで第1セグメント素子を選択することが好ましい。

**【0012】**

さらに、本発明に係るD/A変調器では、第2変換器制御部は、入力されたデジタル信号に基づいて、選択するセグメント素子の個数を決定し、第2DAC第Nポイントが示す第2D/A変換器のセグメント素子の順方向又は逆方向に位置する、決定した個数のセグメント素子を選択し、第2DAC第Nポイントが示す第2D/A変換器のセグメント素子を、選択したセグメント素子に基づいて変更し、第2変換器制御部が第2DAC第Nポイントが示すセグメント素子の順方向に位置するセグメント素子を選択した場合、次に第2DAC第Nポイントを使用するときには、第2DAC第Nポイントが示す第2D/A変換器のセグメント素子の逆方向に位置するセグメント素子を選択し、第2変換器制御部が第2DAC第Nポイントが示すセグメント素子の逆方向に位置するセグメント素子を選択した場合、次に第2DAC第Nポイントを使用するときには、第2DAC第Nポイントが示す第2D/A変換器のセグメント素子の順方向に位置するセグメント素子を選択することが好ましい。

**【0013】**

さらに、本発明に係るD/A変調器では、第2D/A変換器は、第1セグメント素子から第Mセグメント素子までのM個のセグメント素子を有し、第2変換器制御部は、第Mセ

グメント素子まで順方向に順次選択したときに、更に順方向に選択する場合は第1セグメント素子を選択し、第1セグメント素子まで逆方向に順次選択したときに、更に逆方向に選択する場合は第Mセグメント素子を選択することが好ましい。

【0014】

上記目的を実現するため、本発明に係る A/D変調器は、第1アナログ信号を第1デジタル信号にA/D変調すると共に、第1アナログ信号に直交する第2アナログ信号を第1デジタル信号に直交する第2デジタル信号にA/D変調する A/D変調器であって、第1デジタル信号を第1フィードバック信号にD/A変調すると共に、第2デジタル信号を第2フィードバック信号にD/A変調するD/A変調器と、第1アナログ信号から第1フィードバック信号を減算する第1減算器と、第2アナログ信号から第2フィードバック信号を減算する第2減算器と、第1減算器及び第2減算器の出力信号をフィルタリングする複素マルチバンドパスフィルタと、複素マルチバンドパスフィルタがフィルタリングした信号を第1デジタル信号にA/D変換する第1A/D変換器と、複素マルチバンドパスフィルタがフィルタリングした信号を第2デジタル信号にA/D変換する第2A/D変換器と、を有し、第1D/A変調器及び第2D/A変調器はそれぞれ、上述の D/A変調器の何れかであることを特徴とする。

10

【発明の効果】

【0015】

本発明に係るD/A変調器では、複素デジタル信号をマルチビットでD/A変調する複素マルチバンドパスD/A変調器を提供することが可能になった。

20

【図面の簡単な説明】

【0016】

【図1】(a)はセグメント電流セル型D/A変換器の回路図であり、(b)は(a)に示すセグメント電流セル型D/A変換器の素子をリング状に配置した回路図である。

【図2】(a)はローパスエレメントローテーションアルゴリズムを概略的に示す図であり、(b)はローパスエレメントローテーションアルゴリズムを使用したD/A変換器のパワースペクトラムの一例を示す図である。

【図3】(a)はハイパスエレメントローテーションアルゴリズムを概略的に示す図であり、(b)はハイパスエレメントローテーションアルゴリズムを使用したD/A変換器のパワースペクトラムの一例を示す図である。

30

【図4】(a)は複素バンドパス D/A変調器の回路ブロック図であり、(b)は(a)に示す複素共振器の内部回路図であり、(c)は(b)に示す複素共振器のパワースペクトラムの一例を示す図である。

【図5】(a)は2次複素バンドパス D/A変調器の回路ブロック図であり、(b)は(a)に示す2次複素バンドパス D/A変調器のパワースペクトラムの一例を示す図である。

【図6】(a)は複素バンドパス D/A変調器の他の例の回路ブロック図であり、(b)は(a)に示すD/A変換器の動作アルゴリズムを示す図であり、(c)は、(a)に示す複素バンドパス A/D変調器の具体的な回路構成を示す回路ブロック図である。

【図7】(a)はマルチバンドパス A/D変調器の一例の回路ブロック図であり、(b)は(a)に示すマルチバンドパス A/D変調器のパワースペクトラムの一例を示す図であり、(c)はマルチバンドパス A/D変調器の他の例の回路ブロック図であり、(d)は(c)に示すマルチバンドパス A/D変調器のパワースペクトラムの一例を示す図である。

40

【図8】(a)は2次マルチバンドパス D/A変調器の一例の回路ブロック図であり、(b)は(a)に示す2次マルチバンドパス D/A変調器の信号帯域中心周波数を示す図であり、(c)は、(a)に示す2次マルチバンドパス D/A変調器で使用されるローパスエレメントローテーションアルゴリズムの一例を示す図であり、(d)は(a)に示す2次マルチバンドパス D/A変調器のパワースペクトラムの一例を示す図であり、(e)は(a)に示す2次マルチバンドパス D/A変調器のパワースペクトラムの他の

50

例を示す図である。

【図 9】(a) は 2 次マルチバンドパス D A 変調器の他の例の回路ブロック図であり、(b) は (a) に示す 2 次マルチバンドパス D A 変調器の信号帯域中心周波数を示す図であり、(c) は、(a) に示す 2 次マルチバンドパス D A 変調器で使用されるハイパスエレメントローテーションアルゴリズムの一例を示す図であり、(d) は (a) に示す 2 次マルチバンドパス D A 変調器のパワースペクトラムの一例を示す図であり、(e) は (a) に示す 2 次マルチバンドパス D A 変調器のパワースペクトラムの他の例を示す図である。

【図 10】(a) は 2 次複素マルチバンドパス D A 変調器の回路ブロック図であり、(b) は (a) に示す 2 次複素マルチバンドパス D A 変調器のノイズが略ゼロになる信号帯域を示す図であり、(c) は (a) に示す 2 次複素マルチバンドパス D A 変調器の等価回路である。

10

【図 11】第 1 実施形態に係る複素マルチバンドパス 変調器の回路ブロック図である。

【図 12】図 11 に示す複素マルチバンドパス 変調器の動作アルゴリズムを示す図である。

【図 13】図 11 に示す複素マルチバンドパス 変調器の具体的な回路構成を示す回路ブロック図である。

【図 14】(a) は図 11 に示す複素マルチバンドパス 変調器のパワースペクトラムの一例を示す図であり、(b) は図 11 に示す複素マルチバンドパス 変調器の O S R に対する S N D R の値のシミュレーション結果を示す図である。

20

【図 15】第 2 実施形態に係る複素マルチバンドパス 変調器の回路ブロック図である。

【図 16】図 15 に示す複素マルチバンドパス 変調器の動作アルゴリズムを示す図である。

【図 17】図 15 に示す複素マルチバンドパス 変調器の具体的な回路構成を示す回路ブロック図である。

【図 18】(a) は図 15 に示す複素マルチバンドパス 変調器のパワースペクトラムの一例を示す図であり、(b) は図 15 に示す複素マルチバンドパス 変調器の O S R に対する S N D R の値のシミュレーション結果を示す図である。

30

【図 19】第 3 実施形態に係る複素マルチバンドパス 変調器の回路ブロック図である。

【図 20】実施形態に係る複素マルチバンドパス 変調器の特徴を説明する図である。

【発明を実施するための形態】

【0017】

以下図面を参照して、本発明に係る D A 変調器及び A D 変調器について説明する。但し、本発明の技術的範囲はそれらの実施の形態に限定されず、特許請求の範囲に記載された発明との均等物に及ぶ点に留意されたい。

【0018】

本発明に係る D A 変調器及び A D 変調器について説明する前に、本発明に係る D A 変調器及び A D 変調器に関連する技術について説明する。

40

【0019】

まず、 A D 変調器用 D W A (Data-Weighted-Averaging) アルゴリズムの第 1 のアルゴリズムであるローパスエレメントローテーションアルゴリズム及び第 2 のアルゴリズムであるハイパスエレメントローテーションアルゴリズムについて説明する。

【0020】

図 1 (a) はセグメント電流セル型 D A 変換器の回路図であり、図 1 (b) は図 1 (a) に示すセグメント電流セル型 D A 変換器の素子をリング状に配置した回路図である。

【0021】

セグメント電流セル型 D A 変換器 300 は、第 1 電流源 C S 0 ~ 第 8 電流源 C S 7 と、

50

電流源に直列接続された第1スイッチS0～第8スイッチS7とを有する。第1電流源CS0～第8電流源CS7は、大きさが互いに等しい電流を流す電流源であることが望まれるが、半導体装置に搭載される場合には製造プロセスのバラツキ等により、第1電流源CS0～第8電流源CS7の電流の大きさは相違する。図1(a)に示す例では、第1電流源CS0の電流の大きさは $I + e_0$ であり、第2電流源CS1の電流の大きさは $I + e_1$ であり、第8電流源CS7の電流の大きさは $I + e_7$ である。図1(a)において、 $e_0 \sim e_7$ はミスマッチ値であり、DA変換器の非線形性を示すものである。

#### 【0022】

セグメント電流セル型DA変換器300に入力されるデジタル信号に応じて第1電流源CS0から順に電流源を使用する場合、第1電流源CS0～第8電流源CS7の電流値の大きさは相違する。例えば、「2」を示すデジタル信号が入力されたときに第1電流源CS0及び第2電流源CS1をオンするので出力電流の大きさは $2I + (e_0 + e_1)$ となる。また、「4」を示すデジタル信号が入力されたときに第1電流源CS0～第4電流源CS3をオンするので出力電流の大きさは $4I + (e_0 + e_1 + e_2 + e_3)$ となる。入力されるデジタル信号に応じて出力電流の大きさが相違することに起因してノイズが発生するため特性が悪化し、セグメント電流セル型DA変換器300のパワースペクトルは平坦になる。

10

#### 【0023】

セグメント電流セル型DA変換器310は、第1電流源CS0～第8電流源CS7をリング状に配置したものである。セグメント電流セル型DA変換器310において、第1電流源CS0～第8電流源CS7の何れかを順方向又は逆方向に選択することができる。第1電流源CS0～第8電流源CS7の何れかを順方向に選択するとき、第1スイッチS0～第8スイッチS7を順次オンして、第1電流源CS0～第8電流源CS7を順次選択する。第1電流源CS0～第8電流源CS7の何れかを逆方向に選択するとき、第8スイッチS7～第1スイッチS0を順次オンして、第8スイッチS7～第1スイッチS0を順次選択する。

20

#### 【0024】

図2(a)はローパスエレメントローテーションアルゴリズムを概略的に示す図であり、図2(b)はローパスエレメントローテーションアルゴリズムを使用したDA変換器のパワースペクトラムの一例を示す図である。

30

#### 【0025】

ローパスエレメントローテーションアルゴリズムでは、先に入力されたデジタル信号に応じて使用した電流源を記憶して、次いで入力されたデジタル信号に応じて使用する電流源を同一方向に順次選択するように決定する。図2(a)に示す例では、まず、「4」を示すデジタル信号が入力されたときに、第1電流源CS0～第4電流源CS3を使用する。次いで、「3」を示すデジタル信号が入力されたときに、同一方向に3個の電流源を順次選択して、第5電流源CS4～第7電流源CS6を使用する。次いで、「2」を示すデジタル信号が入力されたときに、同一方向に2個の電流源を順次選択して、第8電流源CS7と第1電流源CS0とを使用する。図1(b)に示すように第1電流源CS0～第8電流源CS7がリング状に配置されており、第8電流源CS7と第1電流源CS0とが隣接するためである。次いで、「6」を示すデジタル信号が入力されたときに、順方向に6個の電流源を順次選択して、第2電流源CS1～第7電流源CS6を使用する。このように、ローパスエレメントローテーションアルゴリズムでは、使用する電流源を順方向に順次選択することにより、図2(b)に示されるように、第1電流源CS0～第8電流源CS7間のミスマッチは1次ノイズシェーブされる。

40

#### 【0026】

図3(a)はハイパスエレメントローテーションアルゴリズムを概略的に示す図であり、図3(b)はハイパスエレメントローテーションアルゴリズムを使用したDA変換器のパワースペクトラムの一例を示す図である。

#### 【0027】

50



ハイパスエレメントローテーションアルゴリズムでは、先に入力されたデジタル信号に応じて使用した電流源を記憶して、次いで入力されたデジタル信号に応じて使用する電流源を反対方向に交互に順次選択するように決定する。図3(a)に示す例では、まず、「4」を示すデジタル信号が入力されたときに、第1電流源CS0～第4電流源CS3を使用する。次いで、「3」を示すデジタル信号が入力されたときに、逆方向に3個の電流源を順次選択して、第2電流源CS1～第4電流源CS3を使用する。次いで、「2」を示すデジタル信号が入力されたときに、順方向に2個の電流源を順次選択して、第2電流源CS1～第3電流源CS2を使用する。次いで、「6」を示すデジタル信号が入力されたときに、逆方向に6個の電流源を順次選択して、第1電流源CS0～第3電流源CS2と第6電流源CS5～第8電流源CS7とを使用する。図1(b)に示すように第1電流源CS0～第8電流源CS7がリング状に配置されており、第1電流源CS0と第8電流源CS7とが隣接するためである。このように、ハイパスエレメントローテーションアルゴリズムでは、使用する電流源を反対方向に交互に順次選択することにより、図3(b)に示されるように、第1電流源CS0～第8電流源CS7間のミスマッチは1次ノイズシェーブされる。

10

【0028】

図4(a)は複素バンドパスDA変調器の回路ブロック図であり、図4(b)は図4(a)に示す複素共振器の内部回路図であり、図4(c)は図4(b)に示す複素共振器のパワースペクトラムの一例を示す図である。

20

【0029】

複素バンドパスDA変調器400の入出力関係は、以下のように示される。

【数1】

$$I_{out} + jQ_{out} = \frac{H(z)}{1 + H(z)}(I_{in} + jQ_{in}) + \frac{1}{1 + H(z)}(E_i + jE_q) \quad (1)$$

ここで、 $I_{in}$ は入力信号の同相成分であり、 $Q_{in}$ は入力信号の直交成分であり、 $I_{out}$ は出力信号の同相成分であり、 $Q_{out}$ は出力信号の直交成分である。また、 $H(z)$ は複素共振器401の伝達関数であり、 $E_i$ はノイズの同相成分であり、 $E_q$ はノイズの直交成分である。式(1)において、信号伝達関数STF(z)及びノイズ伝達関数NTF(z)はそれぞれ、

30

【数2】

$$STF(z) := \frac{H(z)}{1 + H(z)} \quad (2)$$

40

$$NTF(z) := \frac{1}{1 + H(z)} \quad (3)$$

で示される。また、複素共振器401の伝達関数 $H(z)$ は、

【数 3】

$$H(z) = \frac{\beta + j\alpha}{z - (\beta + j\alpha)}$$

$$= \frac{e^{j\theta}}{z - e^{j\theta}}$$

$$\left( \tan \theta = \frac{\alpha}{\beta} \right)$$

10

で示される。複素共振器 4 0 1 の伝達関数  $H(z)$  が大きくなると、信号伝達関数  $S T F(z)$  は 1 に漸近し、ノイズ伝達関数  $N T F(z)$  は略ゼロになり、複素バンドパス D A 変調器 4 0 0 の出力信号のノイズを略ゼロにすることができる。

20

【0 0 3 0】

図 5 ( a ) は 2 次複素バンドパス D A 変調器の回路ブロック図であり、図 5 ( b ) は図 5 ( a ) に示す 2 次複素バンドパス D A 変調器のパワースペクトラムの一例を示す図である。

【0 0 3 1】

2 次複素バンドパス D A 変調器 4 1 0 は、直列接続された 2 個の複素共振器 4 1 1 及び 4 1 2 を有する。このような構成を有することにより、2 次複素バンドパス D A 変調器 4 1 0 は、標準化周波数を上げることができると共に、オーバーサンプリング効果により、複素バンドパス D A 変調器 4 0 0 よりも S N R (Signal-to-noise ratio) が改善される。

30

【0 0 3 2】

図 6 ( a ) は複素バンドパス D A 変調器の他の例の回路ブロック図であり、図 6 ( b ) は図 6 ( a ) に示す D A 変換器の動作アルゴリズムを示す図である。また、図 6 ( c ) は、図 6 ( a ) に示す複素バンドパス A D 変調器の具体的な回路構成を示す回路ブロック図である。

【0 0 3 3】

複素バンドパス D A 変調器 5 0 0 は、第 1 D A 変換器 5 0 1 と第 2 D A 変換器 5 0 2 と、第 1 ポインタ 5 1 1 と、第 2 ポインタ 5 1 2 と、第 1 入力スイッチ 5 2 1 ~ 第 4 入力スイッチ 5 2 4 と、第 1 出力スイッチ 5 3 1 ~ 第 4 出力スイッチ 5 3 4 とを有する。複素バンドパス D A 変調器 5 0 0 は第 1 デジタル信号  $I_{in}$  を第 1 アナログ信号  $I_{out}$  に変換すると共に、第 2 デジタル信号  $Q_{in}$  を第 2 アナログ信号  $Q_{out}$  に変換する。

40

【0 0 3 4】

第 1 D A 変換器 5 0 1 は、図 1 ( b ) に示すように第 1 電流源  $C S 0$  ~ 第 8 電流源  $C S 7$  がリング状に配置されており、ローパスエレメントローテーションアルゴリズムにより、入力されたデジタル信号をアナログ信号に順次変換する。第 2 D A 変換器 5 0 2 は、図 1 ( b ) に示すように第 1 電流源  $C S 0$  ~ 第 8 電流源  $C S 7$  がリング状に配置されており、ハイパスエレメントローテーションアルゴリズムにより、入力されたデジタル信号をアナログ信号に順次変換する。第 1 ポインタ 5 1 1 は第 1 D A 変換器 5 0 1 に先に入力されたデジタル信号に応じて使用した電流源を記憶し、第 2 ポインタ 5 1 2 は第 2 D A 変換器 5 0 2 に先に入力されたデジタル信号に応じて使用した電流源を記憶する。

50

## 【0035】

第1入力スイッチ521～第4入力スイッチ524は、第1DA変換器501に第1デジタル信号 $I_{in}$ を入力するときに第2DA変換器502に第2デジタル信号 $Q_{in}$ を入力する。この場合、第1入力スイッチ521及び第2入力スイッチ522がオンし、第3入力スイッチ523及び第4入力スイッチ524がオフする。また、第1入力スイッチ521～第4入力スイッチ524は、第2DA変換器502に第1デジタル信号 $I_{in}$ を入力するときに第1DA変換器501に第2デジタル信号 $Q_{in}$ を入力する。この場合、第1入力スイッチ521及び第2入力スイッチ522がオフし、第3入力スイッチ523及び第4入力スイッチ524がオンする。第1入力スイッチ521～第4入力スイッチ524は、第1デジタル信号 $I_{in}$ 及び第2デジタル信号 $Q_{in}$ が入力されるごとに、入力信号を交互に切り替える。

10

## 【0036】

第1出力スイッチ531～第4出力スイッチ534は、第1DA変換器501から第1アナログ信号 $I_{out}$ を出力するときに第2DA変換器502から第2アナログ信号 $Q_{out}$ を出力する。この場合、第1出力スイッチ531及び第2出力スイッチ532がオンし、第3出力スイッチ533及び第4出力スイッチ534がオフする。また、第1出力スイッチ531～第4出力スイッチ534は、第2DA変換器502から第1アナログ信号 $I_{out}$ を出力するときに第1DA変換器501から第2アナログ信号 $Q_{out}$ を出力する。この場合、第1出力スイッチ531及び第2出力スイッチ532がオフし、第3出力スイッチ533及び第4出力スイッチ534がオンする。第1入力スイッチ521～第4入力スイッチ524は、第1アナログ信号 $I_{out}$ 及び第2アナログ信号 $Q_{out}$ が出力されるごとに、出力信号を交互に切り替える。

20

## 【0037】

図6(b)を参照して、複素バンドパスDA変調器500の動作アルゴリズムを説明する。まず、複素バンドパスDA変調器500に「 $4 + 3j$ 」が入力される。第1入力スイッチ521～第4入力スイッチ524は、「4」を第1デジタル信号 $I_{in}$ として第1DA変換器501に入力し、「3」を第2デジタル信号 $Q_{in}$ として第2DA変換器502に入力する。第1DA変換器501は、第1電流源CS0～第4電流源CS3を使用して「4」を示す第1デジタル信号 $I_{in}$ をアナログ信号に変換する。第2DA変換器502は、第1電流源CS0～第3電流源CS2を使用して「3」を示す第2デジタル信号 $Q_{in}$ をアナログ信号に変換する。第1ポインタ511は第4電流源CS3を記憶し、第2ポインタ512は第3電流源CS2を記憶する。第1出力スイッチ531～第4出力スイッチ534は、第1DA変換器501が変換した「4」を示すアナログ信号を第1アナログ信号 $I_{out}$ として出力し、第2DA変換器502が変換した「3」を示すアナログ信号を第2アナログ信号 $Q_{out}$ として出力する。

30

## 【0038】

次いで、複素バンドパスDA変調器500に「 $2 + 5j$ 」が入力される。第1入力スイッチ521～第4入力スイッチ524は、「2」を第1デジタル信号 $I_{in}$ として第2DA変換器502に入力し、「5」を第2デジタル信号 $Q_{in}$ として第1DA変換器501に入力する。第1DA変換器501は、第1ポインタ511に記憶される第4電流源CS3から順方向の5個の電流源である第1電流源CS0及び第5電流源CS4～第8電流源CS7を使用して「5」を示す第2デジタル信号 $I_{in}$ をアナログ信号に変換する。第2DA変換器502は、第2ポインタ512に記憶される第3電流源CS2から逆方向の2個の電流源である第2電流源CS1～第3電流源CS2を使用して「2」を示す第2デジタル信号 $Q_{in}$ をアナログ信号に変換する。第1ポインタ511は第1電流源CS1を記憶し、第2ポインタ512は第2電流源CS1を記憶する。第1出力スイッチ531～第4出力スイッチ534は、第2DA変換器502が変換した「2」を示すアナログ信号を第1アナログ信号 $I_{out}$ として出力し、第1DA変換器501が変換した「5」を示すアナログ信号を第2アナログ信号 $Q_{out}$ として出力する。

40

## 【0039】

50

複素バンドパス D A 変調器 5 0 0 では、第 1 D A 変換器 5 0 1 と第 2 D A 変換器 5 0 2 とに第 1 デジタル信号  $I_{in}$  及び第 2 デジタル信号  $Q_{in}$  をそれぞれ、交互に入力するように第 1 入力スイッチ 5 2 1 ~ 第 4 入力スイッチ 5 2 4 を動作させるように制御する。第 1 D A 変換器 5 0 1 はローパスエレメントローテーションアルゴリズムを適用するように制御される一方、第 2 D A 変換器 5 0 2 はハイパスエレメントローテーションアルゴリズムを適用するように制御される。このような構成を採用することにより、複素バンドパス D A 変調器 5 0 0 は、第 1 D A 変換器 5 0 1 及び第 2 D A 変換器 5 0 2 の非線形性により生じるノイズをノイズシェーブすることができる。

【 0 0 4 0 】

複素バンドパス D A 変調器 5 0 0 の具体的な回路構成を示す複素バンドパス D A 変調器 5 5 0 は、第 1 D A 変換器 5 0 1 と、第 2 D A 変換器 5 0 2 と、第 1 変換器制御部 5 5 1 と、第 2 変換器制御部 5 5 2 とを有する。複素バンドパス D A 変調器 5 5 0 は、入力選択部 5 5 3 と、出力選択部 5 5 4 とを更に有する。第 1 変換器制御部 5 5 1 は、入力されるデジタル信号に応じてローパスエレメントローテーションアルゴリズムにより第 1 D A 変換器 5 0 1 の複数のセグメント素子を順次選択する。第 2 変換器制御部 5 5 2 は、入力されるデジタル信号に応じてハイパスエレメントローテーションアルゴリズムにより第 2 D A 変換器 5 0 2 の複数のセグメント素子を順次選択する。入力選択部 5 5 3 は、第 1 入力スイッチ 5 2 1 ~ 第 4 入力スイッチ 5 2 4 の機能を実現する。すなわち、入力選択部 5 5 3 は、第 1 変換器制御部 5 5 1 に第 1 デジタル信号  $I_{in}$  を入力するときに第 2 変換器制御部 5 5 2 に第 2 デジタル信号  $Q_{in}$  を入力する。また、入力選択部 5 5 3 は、第 2 変換器制御部 5 5 2 に第 1 デジタル信号  $I_{in}$  を入力するときに第 1 変換器制御部 5 5 1 に第 2 デジタル信号  $Q_{in}$  を入力する。入力選択部 5 5 3 は、第 1 デジタル信号  $I_{in}$  及び第 2 デジタル信号  $Q_{in}$  が入力されるごとに、入力信号を交互に切り替える。出力選択部 5 5 4 は、第 1 出力スイッチ 5 3 1 ~ 第 4 出力スイッチ 5 3 4 の機能を実現する。出力選択部 5 5 4 は、第 1 D A 変換器 5 0 1 から第 1 アナログ信号  $I_{out}$  を出力するときに第 2 D A 変換器 5 0 2 に第 2 アナログ信号  $Q_{out}$  を出力する。また、出力選択部 5 5 4 は、第 2 D A 変換器 5 0 2 から第 1 アナログ信号  $I_{out}$  を出力するときに第 1 D A 変換器 5 0 1 から第 2 アナログ信号  $Q_{out}$  を出力する。出力選択部 5 5 4 は、第 1 アナログ信号  $I_{out}$  及び第 2 アナログ信号  $Q_{out}$  が出力されるごとに、出力信号を交互に切り替える。

【 0 0 4 1 】

図 7 ( a ) はマルチバンドパス A D 変調器の一例の回路ブロック図であり、図 7 ( b ) は図 7 ( a ) に示すマルチバンドパス A D 変調器のパワースペクトラムの一例を示す図である。また、図 7 ( c ) はマルチバンドパス A D 変調器の他の例の回路ブロック図であり、図 7 ( d ) は図 7 ( c ) に示すマルチバンドパス A D 変調器のパワースペクトラムの一例を示す図である。

【 0 0 4 2 】

マルチバンドパス A D 変調器 6 0 0 は、フィルタ 6 0 1 と、A D 変換器 6 0 2 と、D A 変換器 6 0 3 とを有する。フィルタ 6 0 1 の伝達関数  $H(z)$  は、

【 数 4 】

$$H(z) = \frac{-z^{-N}}{1+z^{-N}}$$

であり、マルチバンドパス A D 変調器 6 0 0 の出力信号  $Y(z)$  は、

【 数 5 】

$$Y(z) = X(z) \cdot (-z^{-N}) + E(z) \cdot (1+z^{-N})$$

10

20

30

40

50

で示され、マルチバンドパス AD変調器600の信号伝達関数STF(z)及びノイズ伝達関数NTF(z)はそれぞれ、

【数6】

$$STF = \frac{Y(z)}{X(z)} = -z^{-N}$$

$$NTF = \frac{Y(z)}{E_q(z)} = 1 + z^{-N}$$

10

で示される。マルチバンドパス AD変調器600の信号伝達関数STF(z)が「1」であり、ノイズ伝達関数NTF(z)が「0」である複数の信号帯域中心周波数 $f_n$ はサンプリング周波数 $f_s$ を用いて、図7(b)に示すように、

【数7】

$$f_{2n-1} = \frac{2n-1}{2N} f_s,$$

$$n = \begin{cases} 1, 2, \dots, \frac{N+1}{2} & (N: \text{奇数}) \\ 1, 2, \dots, \frac{N}{2} & (N: \text{偶数}) \end{cases}$$

20

となる。

【0043】

マルチバンドパス AD変調器610は、フィルタ611と、AD変換器612と、DA変換器613とを有する。フィルタ611の伝達関数H(z)は、

【数8】

$$H(z) = \frac{z^{-N}}{1 - z^{-N}}$$

30

であり、マルチバンドパス AD変調器610の出力信号Y(z)は、

【数9】

$$Y(z) = X(z) \cdot z^{-N} + E(z) \cdot (1 - z^{-N})$$

40

で示され、マルチバンドパス AD変調器610の信号伝達関数STF(z)及びノイズ伝達関数NTF(z)はそれぞれ、

【数 1 0】

$$STF = \frac{Y(z)}{X(z)} = z^{-N}$$

$$NTF = \frac{Y(z)}{E(z)} = 1 - z^{-N}$$

で示される。信号伝達関数  $STF(z)$  が「1」であり、ノイズ伝達関数  $NTF(z)$  が「0」である複数の信号帯域中心周波数  $f_n$  はサンプリング周波数  $f_s$  を用いて、図 7 (d) に示すように、

10

【数 1 1】

$$f_{2n} = \frac{2n}{2N} f_s = \frac{n}{N} f_s,$$

$$n = \begin{cases} 0, 1, 2, \dots, \frac{N-1}{2} & (N: \text{奇数}) \\ 0, 1, 2, \dots, \frac{N}{2} & (N: \text{偶数}) \end{cases}$$

20

となる。

【0 0 4 4】

図 8 (a) は 2 次マルチバンドパス D A 変調器の一例の回路ブロック図であり、図 8 (b) は図 8 (a) に示す 2 次マルチバンドパス D A 変調器の信号帯域中心周波数を示す図である。図 8 (c) は、図 8 (a) に示す 2 次マルチバンドパス D A 変調器で使用されるローパスエレメントローテーションアルゴリズムの一例を示す図である。図 8 (d) は図 8 (a) に示す 2 次マルチバンドパス D A 変調器のパワースペクトラムの一例を示す図であり、図 8 (e) は図 8 (a) に示す 2 次マルチバンドパス D A 変調器のパワースペクトラムの他の例を示す図である。

30

【0 0 4 5】

2 次マルチバンドパス D A 変調器 7 0 0 はフィルタ 7 0 1 及び 7 0 2 と D A 変換器 7 0 3 とを有する。D A 変換器 7 0 3 は、図 1 (b) に示すように素子がリング状に配置されたセグメント電流セル型 D A 変換器である。2 次マルチバンドパス D A 変調器 7 0 0 の出力信号  $A_{out}$  は、

【数 1 2】

$$A_{out}(Z) = Z^{-2N}X(Z) + (1 - Z^{-N})^2E(Z) + (1 - Z^{-N})\delta(Z)$$

40

で示される。

【0 0 4 6】

図 8 (c) を参照して、 $N = 4$ 、すなわち 4 次のフィルタに対応する 2 次マルチバンドパス D A 変調器で使用されるローパスエレメントローテーションアルゴリズムについて説明する。D A 変換器 7 0 3 は第 1 ポインタ ~ 第 4 ポインタを有し、第 1 ポインタ ~ 第 4 ポインタがそれぞれ、入力されたデジタル信号に応じてローパスエレメントローテーションアルゴリズムを実行する。

【0 0 4 7】

まず、「4」を示すデジタル信号が入力されたときに、第 1 電流源  $CS_0$  ~ 第 4 電流源

50

C S 3 を使用し、第 4 電流源 C S 3 を第 1 ポインタが記憶する。次いで、「 3 」を示すデジタル信号が入力されたときに、3 個の電流源を順次選択して、第 1 電流源 C S 0 ~ 第 3 電流源 C S 2 を使用し、第 3 電流源 C S 2 を第 2 ポインタが記憶する。次いで、「 2 」を示すデジタル信号が入力されたときに、2 個の電流源を順次選択して、第 1 電流源 C S 0 と第 2 電流源 C S 2 とを使用し、第 2 電流源 C S 1 を第 3 ポインタが記憶する。次いで、「 2 」を示すデジタル信号が入力されたときに、2 個の電流源を順次選択して、第 1 電流源 C S 0 と第 2 電流源 C S 2 とを使用し、第 2 電流源 C S 1 を第 4 ポインタが記憶する。

【 0 0 4 8 】

次いで、「 6 」を示すデジタル信号が入力されたときに、第 1 ポインタに記憶される第 4 電流源 C S 3 の順方向に位置する 6 個の電流源である第 5 電流源 C S 4 ~ 第 2 電流源 C S 1 を使用し、第 2 電流源 C S 1 を第 1 ポインタが記憶する。次いで、「 1 」を示すデジタル信号が入力されたときに、第 2 ポインタに記憶される第 3 電流源 C S 2 の順方向に位置する 1 個の電流源である第 4 電流源 C S 3 を使用し、第 4 電流源 C S 3 を第 2 ポインタが記憶する。次いで、「 7 」を示すデジタル信号が入力されたときに、第 3 ポインタに記憶される第 2 電流源 C S 1 の順方向に位置する 7 個の電流源である第 3 電流源 C S 2 ~ 第 1 電流源 C S 0 を使用し、第 1 電流源 C S 0 を第 3 ポインタが記憶する。次いで、「 5 」を示すデジタル信号が入力されたときに、第 4 ポインタに記憶される第 2 電流源 C S 1 の順方向に位置する 5 個の電流源である第 3 電流源 C S 2 ~ 第 7 電流源 C S 6 を使用し、第 7 電流源 C S 6 を第 4 ポインタが記憶する。

【 0 0 4 9 】

図 9 ( a ) は 2 次マルチバンドパス D A 変調器の他の例の回路ブロック図であり、図 9 ( b ) は図 9 ( a ) に示す 2 次マルチバンドパス D A 変調器の信号帯域中心周波数を示す図である。図 9 ( c ) は、図 9 ( a ) に示す 2 次マルチバンドパス D A 変調器で使用されるハイパスエレメントローテーションアルゴリズムの一例を示す図である。図 9 ( d ) は図 9 ( a ) に示す 2 次マルチバンドパス D A 変調器のパワースペクトラムの一例を示す図であり、図 9 ( e ) は図 9 ( a ) に示す 2 次マルチバンドパス D A 変調器のパワースペクトラムの他の例を示す図である。

【 0 0 5 0 】

2 次マルチバンドパス D A 変調器 7 1 0 はフィルタ 7 1 1 及び 7 1 2 と D A 変換器 7 1 3 とを有する。D A 変換器 7 1 3 は、図 1 ( b ) に示すように素子がリング状に配置されたセグメント電流セル型 D A 変換器である。2 次マルチバンドパス D A 変調器 7 1 0 の出力信号  $A_{out}$  は、

【 数 1 3 】

$$A_{out}(Z) = Z^{-2N}X(Z) + (1 + Z^{-N})^2E(Z) + (1 + Z^{-N})\delta(Z)$$

で示される。

【 0 0 5 1 】

図 9 ( c ) を参照して、 $N = 4$ 、すなわち 4 次のフィルタに対応する 2 次マルチバンドパス D A 変調器で使用されるハイパスエレメントローテーションアルゴリズムについて説明する。D A 変換器 7 1 3 は第 1 ポインタ ~ 第 4 ポインタを有し、第 1 ポインタ ~ 第 4 ポインタがそれぞれ、入力されたデジタル信号に応じてハイパスエレメントローテーションアルゴリズムを実行する。

【 0 0 5 2 】

まず、「 4 」を示すデジタル信号が入力されたときに、第 1 電流源 C S 0 ~ 第 4 電流源 C S 3 を使用し、第 4 電流源 C S 3 を第 1 ポインタが記憶する。次いで、「 3 」を示すデジタル信号が入力されたときに、3 個の電流源を順次選択して、第 1 電流源 C S 0 ~ 第 3 電流源 C S 2 を使用し、第 3 電流源 C S 2 を第 2 ポインタが記憶する。次いで、「 2 」を

示すデジタル信号が入力されたときに、2個の電流源を順次選択して、第1電流源CS0と第2電流源CS2とを使用し、第2電流源CS1を第3ポイントが記憶する。次いで、「2」を示すデジタル信号が入力されたときに、2個の電流源を順次選択して、第1電流源CS0と第2電流源CS2とを使用し、第2電流源CS1を第4ポイントが記憶する。  
【0053】

次いで、「6」を示すデジタル信号が入力されたときに、第1ポイントに記憶される第4電流源CS3から逆方向に位置する6個の電流源である第1電流源CS0～第4電流源CS3及び第7電流源CS6～第8電流源CS7を使用する。そして、第6電流源CS5を第1ポイントが記憶する。次いで、「1」を示すデジタル信号が入力されたときに、第2ポイントに記憶される第3電流源CS2から逆方向に位置する1個の電流源である第3電流源CS2を使用し、第3電流源CS2を第2ポイントが記憶する。次いで、「7」を示すデジタル信号が入力されたときに、第3ポイントに記憶される第2電流源CS1から逆方向に位置する7個の電流源である第1電流源CS0～第2電流源CS1及び第4電流源CS3～第8電流源CS7を使用する。そして、第4電流源CS3を第3ポイントが記憶する。次いで、「5」を示すデジタル信号が入力されたときに、第4ポイントに記憶される第2電流源CS1から逆方向に位置する5個の電流源である第1電流源CS0～第2電流源CS1及び第6電流源CS5～第8電流源CS7を使用する。そして、第6電流源CS5を第4ポイントが記憶する。

【0054】

図4～6を参照して説明された複素バンドパスAD変調器は、1次複素フィルタを使用するものである。また、図7～9を参照して説明されたマルチバンドパスAD変調器は、実信号をN次フィルタでフィルタリングするものであり、複素フィルタを使用するものではない。本発明の発明者らは、これらのAD変調器に基づき、複素マルチバンドパスAD変調器、及び複素マルチバンドパスAD変調器に適用されるDWAアルゴリズムを発明した。

【0055】

図10(a)は2次複素マルチバンドパスDA変調器の回路ブロック図であり、図10(b)は図10(a)に示す2次複素マルチバンドパスDA変調器のノイズが略ゼロになる信号帯域を示す図である。また、図10(c)は、図10(a)に示す2次複素マルチバンドパスDA変調器の等価回路である。

【0056】

2次DA変調器100の出力信号( $I_{out} + jQ_{out}$ )は、  
【数14】

$$I_{out} + jQ_{out} = Z^{-2N}(I_{in} + jQ_{in}) + (j - Z^{-N})^2(E_I + jE_Q) + (j - Z^{-N})(\delta_I + j\delta_Q)$$

で示される。ここで、 $I_{in}$ は入力信号の同相成分であり、 $Q_{in}$ は入力信号の直交成分であり、 $I_{out}$ は出力信号の同相成分であり、 $Q_{out}$ は出力信号の直交成分である。また、 $E_I$ は量子化ノイズの同相成分であり、 $E_Q$ は量子化ノイズの直交成分であり、 $\delta_I$ はDA変換器のノイズの同相成分であり、 $\delta_Q$ はDA変換器のノイズの直交成分である。

【0057】

2次DA変調器100の等価回路101は、第1DA変換器11と、第2DA変換器12と、複素共振器102と、複素ノッチ103とを有する。2次DA変調器100の等価回路101では、DA変換器のノイズの同相成分 $\delta_I$ 及びDA変換器のノイズの直交成分 $\delta_Q$ は、複素ノッチ103に影響する。2次DA変調器100の等価回路101は、第1DA変換器11及び第2DA変換器12に入力されるデジタル信号が無限大になる可能性があるため、実現することができない。



## 【 0 0 5 8 】

図 1 1 は、第 1 実施形態に係る複素マルチバンドパス 変調器の回路ブロック図である。

## 【 0 0 5 9 】

D A 変調器 1 は、第 1 D A 変換器 1 1 と、第 2 D A 変換器 1 2 と、第 1 D A C 第 1 ポインタ 2 1 と、第 1 D A C 第 2 ポインタ 2 2 と、第 2 D A C 第 1 ポインタ 3 1 と、第 2 D A C 第 2 ポインタ 3 2 とを有する。 D A 変調器 1 は、第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 と、第 1 出力スイッチ 5 1 ~ 第 4 出力スイッチ 5 4 とを更に有する。

## 【 0 0 6 0 】

第 1 D A 変換器 1 1 は図 6 を参照して説明した第 1 D A 変換器 5 0 1 と同様な機能及び構成を有し、第 2 D A 変換器 1 2 は図 6 を参照して説明した第 2 D A 変換器 5 0 2 と同様な機能及び構成を有する。すなわち、第 1 D A 変換器 1 1 は、図 1 ( b ) に示すように第 1 電流源 C S 0 ~ 第 8 電流源 C S 7 がリング状に配置されており、ローパスエレメントローテーションアルゴリズムにより、入力されたデジタル信号をアナログ信号に順次変換する。第 2 D A 変換器 1 2 は、図 1 ( b ) に示すように第 1 電流源 C S 0 ~ 第 8 電流源 C S 7 がリング状に配置されており、ハイパスエレメントローテーションアルゴリズムにより、入力されたデジタル信号をアナログ信号に順次変換する。

10

## 【 0 0 6 1 】

第 1 D A C 第 1 ポインタ 2 1 及び第 1 D A C 第 2 ポインタ 2 2 はそれぞれ、第 1 D A 変換器 1 1 に先に入力されたデジタル信号に応じて使用した電流源を記憶する。第 2 D A C 第 1 ポインタ 3 1 及び第 2 D A C 第 2 ポインタ 3 2 はそれぞれ、第 2 D A 変換器 1 2 に先に入力されたデジタル信号に応じて使用した電流源を記憶する。

20

## 【 0 0 6 2 】

第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 は、第 1 D A 変換器 1 1 に第 1 デジタル信号  $I_{in}$  を入力するときに第 2 D A 変換器 1 2 に第 2 デジタル信号  $Q_{in}$  を入力する。この場合、第 1 入力スイッチ 4 1 及び第 2 入力スイッチ 4 2 がオンし、第 3 入力スイッチ 4 3 及び第 4 入力スイッチ 4 4 がオフする。また、第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 は、第 2 D A 変換器 1 2 に第 1 デジタル信号  $I_{in}$  を入力するときに第 1 D A 変換器 1 1 に第 2 デジタル信号  $Q_{in}$  を入力する。この場合、第 1 入力スイッチ 4 1 及び第 2 入力スイッチ 4 2 がオフし、第 3 入力スイッチ 4 3 及び第 4 入力スイッチ 4 4 がオンする。第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 は、第 1 デジタル信号  $I_{in}$  及び第 2 デジタル信号  $Q_{in}$  が 2 対入力されるごとに、入力信号を交互に切り替える。すなわち、第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 は、2 個の第 1 デジタル信号  $I_{in}$  を第 1 D A 変換器 1 1 に入力し、2 個の第 2 デジタル信号  $Q_{in}$  を第 2 D A 変換器 1 2 に入力すると、切替動作を実行する。切替動作を実行した後、第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 は、2 個の第 1 デジタル信号  $I_{in}$  を第 2 D A 変換器 1 2 に入力し、2 個の第 2 デジタル信号  $Q_{in}$  を第 1 D A 変換器 1 1 に入力し、切替動作を再度実行する。

30

## 【 0 0 6 3 】

第 1 出力スイッチ 5 1 ~ 第 4 出力スイッチ 5 4 は、第 1 D A 変換器 1 1 から第 1 アナログ信号  $I_{out}$  を出力するときに第 2 D A 変換器 1 2 から第 2 アナログ信号  $Q_{out}$  を出力する。この場合、第 1 出力スイッチ 5 1 及び第 2 出力スイッチ 5 2 がオンし、第 3 出力スイッチ 5 3 及び第 4 出力スイッチ 5 4 がオフする。また、第 1 出力スイッチ 5 1 ~ 第 4 出力スイッチ 5 4 は、第 2 D A 変換器 1 2 から第 1 アナログ信号  $I_{out}$  を出力するときに第 1 D A 変換器 1 1 から第 2 アナログ信号  $Q_{out}$  を出力する。この場合、第 1 出力スイッチ 5 1 及び第 2 出力スイッチ 5 2 がオフし、第 3 出力スイッチ 5 3 及び第 4 出力スイッチ 5 4 がオンする。第 1 出力スイッチ 5 1 ~ 第 4 出力スイッチ 5 4 は、第 1 アナログ信号  $I_{out}$  及び第 2 アナログ信号  $Q_{out}$  が 2 対出力されるごとに、出力信号を交互に切り替える。すなわち、第 1 出力スイッチ 5 1 ~ 第 4 出力スイッチ 5 4 は、2 個の第 1 アナログ信号  $I_{out}$  を第 1 D A 変換器 1 1 から出力し、2 個の第 2 アナログ信号  $Q_{out}$  を第 2 D A 変換器 1 2 から出力すると、切替動作を実行する。切替動作を実行した後、第 1 出力スイッチ 5 1 ~

40

50

第4出力スイッチ54は、2個の第1アナログ信号 $I_{out}$ を第2D/A変換器12から出力し、2個の第2アナログ信号 $Q_{out}$ を第1D/A変換器11から出力し、切替動作を再度実行する。

【0064】

図12は、D/A変調器1の動作アルゴリズムを示す図である。

【0065】

まず、D/A変調器1に「4+2j」が入力される。第1入力スイッチ41～第4入力スイッチ44は、「4」を第1デジタル信号 $I_{in}$ として第1D/A変換器11に入力し、「2」を第2デジタル信号 $Q_{in}$ として第2D/A変換器12に入力する。第1D/A変換器11は、第1電流源CS0～第4電流源CS3を使用して「4」を示す第1デジタル信号 $I_{in}$ をアナログ信号に変換する。第2D/A変換器12は、第1電流源CS0～第2電流源CS1を使用して「2」を示す第2デジタル信号 $Q_{in}$ をアナログ信号に変換する。第1DAC第1ポインタ21は第4電流源CS3を記憶し、第2DAC第1ポインタ31は第2電流源CS1を記憶する。第1出力スイッチ51～第4出力スイッチ54は、第1D/A変換器11が変換した「4」を示すアナログ信号を第1アナログ信号 $I_{out}$ として出力し、第2D/A変換器12が変換した「2」を示すアナログ信号を第2アナログ信号 $Q_{out}$ として出力する。

10

【0066】

次いで、D/A変調器1に「3+2j」が入力される。第1入力スイッチ41～第4入力スイッチ44は、「3」を第1デジタル信号 $I_{in}$ として第1D/A変換器11に入力し、「2」を第2デジタル信号 $Q_{in}$ として第2D/A変換器12に入力する。第1D/A変換器11は、第1電流源CS0～第3電流源CS2を使用して「3」を示す第1デジタル信号 $I_{in}$ をアナログ信号に変換する。第2D/A変換器12は、第1電流源CS0～第2電流源CS1を使用して「2」を示す第2デジタル信号 $Q_{in}$ をアナログ信号に変換する。第1DAC第2ポインタ22は第3電流源CS2を記憶し、第2DAC第2ポインタ32は第2電流源CS1を記憶する。第1出力スイッチ51～第4出力スイッチ54は、第1D/A変換器11が変換した「3」を示すアナログ信号を第1アナログ信号 $I_{out}$ として出力し、第2D/A変換器12が変換した「2」を示すアナログ信号を第2アナログ信号 $Q_{out}$ として出力する。

20

【0067】

次いで、D/A変調器1に「2+6j」が入力される。第1入力スイッチ41～第4入力スイッチ44は、「2」を第1デジタル信号 $I_{in}$ として第2D/A変換器12に入力し、「6」を第2デジタル信号 $Q_{in}$ として第1D/A変換器11に入力する。第1D/A変換器11は、第1DAC第1ポインタ21に記憶される第4電流源CS3から順方向に位置する第1電流源CS0～第2電流源CS1及び第5電流源CS4～第8電流源CS7を使用して「6」を示す第2デジタル信号 $I_{in}$ をアナログ信号に変換する。第2D/A変換器12は、第2DAC第1ポインタ31に記憶される第2電流源CS1から逆方向の2個の電流源である第1電流源CS1～第2電流源CS1を使用して「2」を示す第2デジタル信号 $Q_{in}$ をアナログ信号に変換する。第1DAC第1ポインタ21は第2電流源CS1を記憶し、第2DAC第1ポインタ31は第1電流源CS0を記憶する。第1出力スイッチ51～第4出力スイッチ54は、第2D/A変換器12が変換した「2」を示すアナログ信号を第1アナログ信号 $I_{out}$ として出力し、第1D/A変換器11が変換した「6」を示すアナログ信号を第2アナログ信号 $Q_{out}$ として出力する。

30

40

【0068】

次いで、D/A変調器1に「2+1j」が入力される。第1入力スイッチ41～第4入力スイッチ44は、「2」を第1デジタル信号 $I_{in}$ として第2D/A変換器12に入力し、「1」を第2デジタル信号 $Q_{in}$ として第1D/A変換器11に入力する。第1D/A変換器11は、第1DAC第2ポインタ22に記憶される第3電流源CS2から順方向に位置する第4電流源CS3を使用して「1」を示す第2デジタル信号 $I_{in}$ をアナログ信号に変換する。第2D/A変換器12は、第2DAC第2ポインタ32に記憶される第2電流源CS1

50

から逆方向の2個の電流源である第1電流源CS1～第2電流源CS1を使用して「2」を示す第2デジタル信号 $Q_{in}$ をアナログ信号に変換する。第1DAC第2ポインタ22は第4電流源CS3を記憶し、第2DAC第2ポインタ32は第1電流源CS0を記憶する。第1出力スイッチ51～第4出力スイッチ54は、第2DA変換器12が変換した「2」を示すアナログ信号を第1アナログ信号 $I_{out}$ として出力し、第1DA変換器11が変換した「1」を示すアナログ信号を第2アナログ信号 $Q_{out}$ として出力する。

【0069】

第1DA変換器11と第2DA変換器12に第1デジタル信号 $I_{in}$ 及び第2デジタル信号 $Q_{in}$ をそれぞれ、2対ずつ交互に入力するように第1入力スイッチ41～第4入力スイッチ44を動作させるように制御する。また、第1DA変換器11と第2DA変換器12で変換されたアナログ信号を変第1デジタル信号 $I_{in}$ 及び第2デジタル信号 $Q_{in}$ として、2対ずつ交互に出力するように第1出力スイッチ51～第4出力スイッチ54を動作させるように制御する。第1DA変換器11は、第1デジタル信号 $I_{in}$ を2個アナログ信号に変換すると、第2デジタル信号 $Q_{in}$ を2個アナログ信号に変換する。第2DA変換器12は、第1DA変換器11が第1デジタル信号 $I_{in}$ をアナログ信号に変換するとき、第2デジタル信号 $Q_{in}$ をアナログ信号に変換する。また、第2DA変換器12は、第1DA変換器11が第2デジタル信号 $Q_{in}$ をアナログ信号に変換するとき、第1デジタル信号 $I_{in}$ をアナログ信号に変換する。

10

【0070】

図13は、DA変調器1の具体的な回路構成を示す回路ブロック図である。

20

【0071】

DA変調器1は、第1DA変換器11と、第2DA変換器12と、第1変換器制御部13と、第2変換器制御部14と、入力選択部15と、出力選択部16とを有する。

【0072】

第1変換器制御部13は、第1DAC第1ポインタ21及び第1DAC第2ポインタ22を使用して、入力されるデジタル信号に応じてローパスエレメントローテーションアルゴリズムにより第1DA変換器11の複数のセグメント素子を順次選択する。第2変換器制御部14は、第2DAC第1ポインタ31及び第2DAC第2ポインタ32を使用して、入力されるデジタル信号に応じてハイパスエレメントローテーションアルゴリズムにより第2DA変換器502の複数のセグメント素子を順次選択する。入力選択部15は、第1入力スイッチ41～第4入力スイッチ44の機能を実現する。すなわち、入力選択部15は、第1DA変換器11に第1デジタル信号 $I_{in}$ を入力するときに第2DA変換器12に第2デジタル信号 $Q_{in}$ を入力する。また、入力選択部15は、第2DA変換器12に第1デジタル信号 $I_{in}$ を入力するときに第1DA変換器11に第2デジタル信号 $Q_{in}$ を入力する。入力選択部15は、第1デジタル信号 $I_{in}$ 及び第2デジタル信号 $Q_{in}$ が2対入力されるごとに、入力信号を交互に切り替える。出力選択部16は、第1出力スイッチ51～第4出力スイッチ54の機能を実現する。出力選択部16は、第1DA変換器11から第1アナログ信号 $I_{out}$ を出力するときに第2DA変換器12に第2アナログ信号 $Q_{out}$ を出力する。また、出力選択部16は、第2DA変換器12から第1アナログ信号 $I_{out}$ を出力するときに第1DA変換器11から第2アナログ信号 $Q_{out}$ を出力する。出力選択部16は、第1アナログ信号 $I_{out}$ 及び第2アナログ信号 $Q_{out}$ が2対出力されるごとに、出力信号を交互に切り替える。

30

40

【0073】

図14(a)は、DA変調器1のパワースペクトラムの一例を示す図である。また、図14(b)は、DA変調器1のOSR(Over sampling Ratio)に対するSNDR(Signal-to-noise and distortion ratio)の値のシミュレーション結果を示す図である。図14(b)において、四角はDWAアルゴリズムを適用しない場合を示し、ひし形はDWAアルゴリズムを適用したDA変調器1のシミュレーション結果を示す。

【0074】

図14(a)に示すように、DA変調器1は信号帯域のノイズが低減されている。

50

また、図 14 (b) に示すように、D A 変調器 1 は、D W A アルゴリズムを適用しない場合と比較して良好な S N D R が得られる。

【 0 0 7 5 】

図 15 は、第 2 実施形態に係る複素マルチバンドパス 変調器の回路ブロック図である。

【 0 0 7 6 】

D A 変調器 2 は、第 1 D A 変換器 1 1 と、第 2 D A 変換器 1 2 と、第 1 D A C 第 1 ポインタ 2 1 ~ 第 1 D A C 第 4 ポインタ 2 4 と、第 2 D A C 第 1 ポインタ 3 1 ~ 第 2 D A C 第 4 ポインタ 3 4 とを有する。D A 変調器 1 は、第 1 入力スイッチ 6 1 ~ 第 4 入力スイッチ 6 4 と、第 1 出力スイッチ 7 1 ~ 第 4 出力スイッチ 7 4 とを更に有する。D A 変調器 2 は、第 1 D A C 第 1 ポインタ 2 1 と第 1 D A C 第 2 ポインタ 2 2 とに加えて、第 1 D A C 第 3 ポインタ 2 3 と第 1 D A C 第 4 ポインタ 2 4 とを有することが、D A 変調器 1 と相違する。また、D A 変調器 2 は、第 2 D A C 第 1 ポインタ 3 1 と第 2 D A C 第 2 ポインタ 3 2 とに加えて、第 2 D A C 第 3 ポインタ 3 3 と第 2 D A C 第 4 ポインタ 3 4 とを有することが、D A 変調器 1 と更に相違する。また、D A 変調器 2 は、第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 の代わりに、第 1 入力スイッチ 6 1 ~ 第 4 入力スイッチ 6 4 が配置されることが、D A 変調器 1 と更に相違する。また、D A 変調器 2 は、第 1 出力スイッチ 5 1 ~ 第 4 出力スイッチ 5 4 の代わりに、第 1 出力スイッチ 7 1 ~ 第 4 出力スイッチ 7 4 が配置されることが、D A 変調器 1 と更に相違する。

【 0 0 7 7 】

第 1 D A C 第 3 ポインタ 2 3 及び第 1 D A C 第 4 ポインタ 2 4 はそれぞれ、第 1 D A 変換器 1 1 に先に入力されたデジタル信号に応じて使用した電流源を記憶する。第 2 D A C 第 3 ポインタ 3 3 及び第 2 D A C 第 4 ポインタ 3 4 はそれぞれ、第 2 D A 変換器 1 2 に先に入力されたデジタル信号に応じて使用した電流源を記憶する。

【 0 0 7 8 】

第 1 入力スイッチ 6 1 ~ 第 4 入力スイッチ 6 4 は、入力信号を交互に切り替える周期が第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 と相違する。第 1 入力スイッチ 6 1 ~ 第 4 入力スイッチ 6 4 は、第 1 デジタル信号  $I_{in}$  及び第 2 デジタル信号  $Q_{in}$  が 2 対入力されるごとではなく、第 1 デジタル信号  $I_{in}$  及び第 2 デジタル信号  $Q_{in}$  が 4 対入力されるごとに入力信号を交互に切り替える。すなわち、第 1 入力スイッチ 6 1 ~ 第 4 入力スイッチ 6 4 は、4 個の第 1 デジタル信号  $I_{in}$  を第 1 D A 変換器 1 1 に入力し、4 個の第 2 デジタル信号  $Q_{in}$  を第 2 D A 変換器 1 2 に入力すると、切替動作を実行する。切替動作を実行した後、第 1 入力スイッチ 6 1 ~ 第 4 入力スイッチ 6 4 は、4 個の第 1 デジタル信号  $I_{in}$  を第 2 D A 変換器 1 2 に入力し、4 個の第 2 デジタル信号  $Q_{in}$  を第 1 D A 変換器 1 1 に入力し、切替動作を再度実行する。

【 0 0 7 9 】

第 1 出力スイッチ 7 1 ~ 第 4 出力スイッチ 7 4 は、入力信号を交互に切り替える周期が第 1 出力スイッチ 5 1 ~ 第 4 出力スイッチ 5 4 と相違する。第 1 出力スイッチ 7 1 ~ 第 4 出力スイッチ 7 4 は、第 1 アナログ信号  $I_{out}$  及び第 2 アナログ信号  $Q_{out}$  が 4 対出力されるごとに、出力信号を交互に切り替える。すなわち、第 1 出力スイッチ 7 1 ~ 第 4 出力スイッチ 7 4 は、4 個の第 1 アナログ信号  $I_{out}$  を第 1 D A 変換器 1 1 から出力し、4 個の第 2 アナログ信号  $Q_{out}$  を第 2 D A 変換器 1 2 から出力すると、切替動作を実行する。切替動作を実行した後、第 1 出力スイッチ 7 1 ~ 第 4 出力スイッチ 7 4 は、4 個の第 1 アナログ信号  $I_{out}$  を第 2 D A 変換器 1 2 から出力し、4 個の第 2 アナログ信号  $Q_{out}$  を第 1 D A 変換器 1 1 から出力し、切替動作を再度実行する。

【 0 0 8 0 】

図 16 は、D A 変調器 2 の動作アルゴリズムを示す図である。

【 0 0 8 1 】

D A 変調器 2 では、第 1 D A 変換器 1 1 と第 2 D A 変換器 1 2 とに第 1 デジタル信

号  $I_{in}$  及び第 2 デジタル信号  $Q_{in}$  をそれぞれ、4 対ずつ交互に入力するように第 1 入力スイッチ 4 1 ~ 第 4 入力スイッチ 4 4 を動作させるように制御する。また、第 1 D A 変換器 1 1 と第 2 D A 変換器 1 2 で変換されたアナログ信号を変第 1 デジタル信号  $I_{in}$  及び第 2 デジタル信号  $Q_{in}$  として、4 対ずつ交互に出力するように第 1 出力スイッチ 5 1 ~ 第 4 出力スイッチ 5 4 を動作させるように制御する。第 1 D A 変換器 1 1 は、4 個の第 1 デジタル信号  $I_{in}$  をアナログ信号に変換すると、4 個の第 2 デジタル信号  $Q_{in}$  をアナログ信号に変換する。第 2 D A 変換器 1 2 は、第 1 D A 変換器 1 1 が第 1 デジタル信号  $I_{in}$  をアナログ信号に変換するとき、第 2 デジタル信号  $Q_{in}$  をアナログ信号に変換する。また、第 2 D A 変換器 1 2 は、第 1 D A 変換器 1 1 が第 2 デジタル信号  $Q_{in}$  をアナログ信号に変換するとき、第 1 デジタル信号  $I_{in}$  をアナログ信号に変換する。

10

【0082】

図 1 7 は、D A 変調器 2 の具体的な回路構成を示す回路ブロック図である。

【0083】

D A 変調器 1 は、第 1 D A 変換器 1 1 と、第 2 D A 変換器 1 2 と、第 1 変換器制御部 1 7 と、第 2 変換器制御部 1 8 と、入力選択部 1 9 と、出力選択部 2 0 とを有する。

【0084】

第 1 変換器制御部 1 7 は、4 個のポインタを使用して、入力されるデジタル信号に応じてローパスエレメントローテーションアルゴリズムにより第 1 D A 変換器 1 1 の複数のセグメント素子を順次選択する。第 2 変換器制御部 1 8 は、4 個のポインタを使用して、入力されるデジタル信号に応じてハイパスエレメントローテーションアルゴリズムにより第 2 D A 変換器 5 0 2 の複数のセグメント素子を順次選択する。入力選択部 1 9 は、第 1 入力スイッチ 6 1 ~ 第 4 入力スイッチ 6 4 の機能を実現する。すなわち、入力選択部 1 9 は、第 1 D A 変換器 1 1 に第 1 デジタル信号  $I_{in}$  を入力するときに第 2 D A 変換器 1 2 に第 2 デジタル信号  $Q_{in}$  を入力する。また、入力選択部 1 5 は、第 2 D A 変換器 1 2 に第 1 デジタル信号  $I_{in}$  を入力するときに第 1 D A 変換器 1 1 に第 2 デジタル信号  $Q_{in}$  を入力する。入力選択部 1 9 は、第 1 デジタル信号  $I_{in}$  及び第 2 デジタル信号  $Q_{in}$  が 4 対入力されるごとに、入力信号を交互に切り替える。出力選択部 2 0 は、第 1 出力スイッチ 7 1 ~ 第 4 出力スイッチ 7 4 の機能を実現する。出力選択部 2 0 は、第 1 D A 変換器 1 1 から第 1 アナログ信号  $I_{out}$  を出力するときに第 2 D A 変換器 1 2 に第 2 アナログ信号  $Q_{out}$  を出力する。また、出力選択部 2 0 は、第 2 D A 変換器 1 2 から第 1 アナログ信号  $I_{out}$  を出力するときに第 1 D A 変換器 1 1 から第 2 アナログ信号  $Q_{out}$  を出力する。出力選択部 2 0 は、第 1 アナログ信号  $I_{out}$  及び第 2 アナログ信号  $Q_{out}$  が 4 対出力されるごとに、出力信号を交互に切り替える。

20

30

【0085】

図 1 8 ( a ) は D A 変調器 2 のパワースペクトラムの一例を示す図であり、図 1 8 ( b ) は D W A アルゴリズムを適用しない D A 変調器のパワースペクトラムの一例を示す図である。図 1 8 ( c ) は、D A 変調器 2 の O S R ( Over sampling Ratio ) に対する S N D R ( Signal-to-noise and distortion ratio ) の値のシミュレーション結果を示す図である。図 1 8 ( c ) において、四角は D W A アルゴリズムを適用しない場合を示し、ひし形は D W A アルゴリズムを適用した D A 変調器 1 のシミュレーション結果を示す。

40

【0086】

図 1 8 ( a ) に示すように、D A 変調器 2 は信号帯域のノイズが低減されている。一方、図 1 8 ( b ) に示すように、D W A アルゴリズムを適用しない D A 変調器では、信号帯域に多くのノイズが生じている。図 1 8 ( c ) に示すように、D A 変調器 1 は、D W A アルゴリズムを適用しない場合と比較して良好な S N D R が得られる。

【0087】

図 1 9 は、第 3 実施形態に係る複素マルチバンドパス変調器の回路ブロック図である。

【0088】

50

AD変調器200は、DA変調器201と、第1AD変換器211と、第2AD変換器212と、第1減算器221と、第2減算器222と、複素マルチバンドパスフィルタ230とを有する。

【0089】

DA変調器201は、DA変調器1又は2と同様な構成及び機能を有する。

DA変調器201は、第1デジタル信号 $I_{out}$ をDA変調して、第1フィードバック信号として第1減算器221に出力し、第2デジタル信号 $Q_{out}$ をDA変調して、第2フィードバック信号として第2減算器222に出力する。第1AD変換器211は複素マルチバンドパスフィルタ230がフィルタリングした信号を第1デジタル信号 $I_{out}$ にAD変換し、第2AD変換器212は複素マルチバンドパスフィルタ230がフィルタリングした信号を第2デジタル信号 $Q_{out}$ にAD変換する。第1減算器221はDA変調器201から出力される第1フィードバック信号を第1アナログ信号 $I_{in}$ から減算し、第2減算器222はDA変調器201から出力される第2フィードバック信号を第2アナログ信号 $Q_{in}$ から減算する。

10

【0090】

複素マルチバンドパスフィルタ230は、N次の信号帯域を有するフィルタである。

DA変調器1を、DA変調器201として使用するとき、複素マルチバンドパスフィルタ230として2次の信号帯域を有するフィルタを使用する。DA変調器2を、

DA変調器201として使用するとき、複素マルチバンドパスフィルタ230として4次の信号帯域を有するフィルタを使用する。

20

【0091】

DA変調器1では、第1変換器制御部13は、入力される2個のデジタル信号のそれぞれに対応する2個のポインタを使用してローパスエレメントローテーションアルゴリズムにより第1DA変換器11のセグメント素子を順次選択する。また、第2変換器制御部14は、入力される2個のデジタル信号のそれぞれに対応する2個のポインタを使用してハイパスエレメントローテーションアルゴリズムにより第2DA変換器12のセグメント素子を順次選択する。また、入力選択部15は第1デジタル信号 $I_{in}$ 及び第2デジタル信号 $Q_{in}$ を2個ごとに交互に選択し、出力選択部16は、第1アナログ信号 $I_{out}$ 及び第2アナログ信号 $Q_{out}$ を2個ごとに交互に選択する。

【0092】

また、DA変調器2では、第1変換器制御部17は、入力される4個のデジタル信号のそれぞれに対応する4個のポインタを使用してローパスエレメントローテーションアルゴリズムにより第1DA変換器11のセグメント素子を順次選択する。また、第2変換器制御部18は、入力される4個のデジタル信号のそれぞれに対応する4個のポインタを使用してハイパスエレメントローテーションアルゴリズムにより第2DA変換器12のセグメント素子を順次選択する。また、入力選択部19は第1デジタル信号 $I_{in}$ 及び第2デジタル信号 $Q_{in}$ を4個ごとに交互に選択し、出力選択部20は、第1アナログ信号 $I_{out}$ 及び第2アナログ信号 $Q_{out}$ を4個ごとに交互に選択する。

30

【0093】

DA変調器1及び2はそれぞれ、このような構成を有することにより、複素マルチバンドパス変調が可能になり、DA変調器1の後段に配置されるアナログフィルタに要求される性能を軽減することができる。

40

【0094】

図10(b)に示すように、DA変調器1の信号帯域は $f_n / f_s = -3/8$ 及び $1/8$ であり、DA変調器2の信号帯域は $f_n / f_s = -7/16$ 、 $-3/16$ 、 $1/16$ 及び $5/16$ である。DA変調器1及び2では、正負の信号帯域で絶対値が相違する。一方、図8(b)及び図9(b)に示すように、2次マルチバンドパスDA変調器700の信号帯域は $f_n / f_s = \pm 1/2$ であり、2次マルチバンドパスDA変調器710信号帯域は $f_n / f_s = 1/4$ であり、正負の信号帯域で絶対値が同一である。

DA変調器1及び2では、正負の信号帯域で絶対値が相違しており、信号帯域を有効に活

50

用できる。また、D A 変調器 1 及び 2 では、信号帯域近傍で良好なノイズの広がりが実現可能である。

【0095】

また、図 20 に示すように、D A 変調器 1 及び 2 では、マルチビット化することにより、パワースペクトラムの絶対値を小さくすることができるため、後段に配置されるアナログフィルタに要求される遮断特性の急峻度が緩和される。

【0096】

D A 変調器 1 では第 1 D A 変換器 1 1 及び第 2 D A 変換器 1 2 に入出力される信号を 2 個ずつ切り換え、D A 変調器 2 では第 1 D A 変換器 1 1 及び第 2 D A 変換器 1 2 に入出力される信号を 4 個ずつ切り換える。しかしながら、D A 変調器では、第 1 D A 変換器 1 1 及び第 2 D A 変換器 1 2 に入出力される信号を、2 以上の整数である N 個ごとに交互に切り換える構成としてもよい。

10

【0097】

第 1 D A 変換器 1 1 及び第 2 D A 変換器 1 2 に入出力される信号を、N 個ごとに交互に切り換える構成とする場合、第 1 変換器制御部 1 3 及び第 2 変換器制御部 1 4 は、入出力される N 個のデジタル信号のそれぞれに対応する N 個のポイントを有する構成になる。

【0098】

第 1 D A 変換器 1 1 及び第 2 D A 変換器 1 2 はそれぞれ、図 1 ( b ) に示すように第 1 電流源 C S 0 ~ 第 8 電流源 C S 7 がリング状に配置される構造を有するが、第 1 電流源 C S 0 ~ 第 8 電流源 C S 7 の代わりに 8 つの電圧源を有する電圧駆動型の構造としてもよい。

20

【0099】

第 1 変換器制御部 1 3 及び 1 7 は、第 1 D A C 第 1 ポインタ 2 1 ~ 第 1 D A C 第 4 ポインタ 2 4 がそれぞれ示す電流源の順方向に隣接する電流源から単数又は複数の電流源を順方向に選択する。しかしながら、第 1 変換器制御部 1 3 及び 1 7 は、第 1 D A C 第 1 ポインタ 2 1 ~ 第 1 D A C 第 4 ポインタ 2 4 がそれぞれ示す電流源を含めて単数又は複数の電流源を順方向に選択する構成としてもよい。

【0100】

第 2 変換器制御部 1 4 及び 1 8 は、第 2 D A C 第 1 ポインタ 3 1 ~ 第 2 D A C 第 4 ポインタ 3 4 がそれぞれ示す電流源を含めて単数又は複数の電流源を順方向又は逆方向に選択する。しかしながら、第 2 変換器制御部 1 4 及び 1 8 は、第 1 D A C 第 1 ポインタ 2 1 ~ 第 1 D A C 第 4 ポインタ 2 4 がそれぞれ示す電流源の順方向又は逆方向に隣接する電流源から単数又は複数の電流源を選択する構成としてもよい。

30

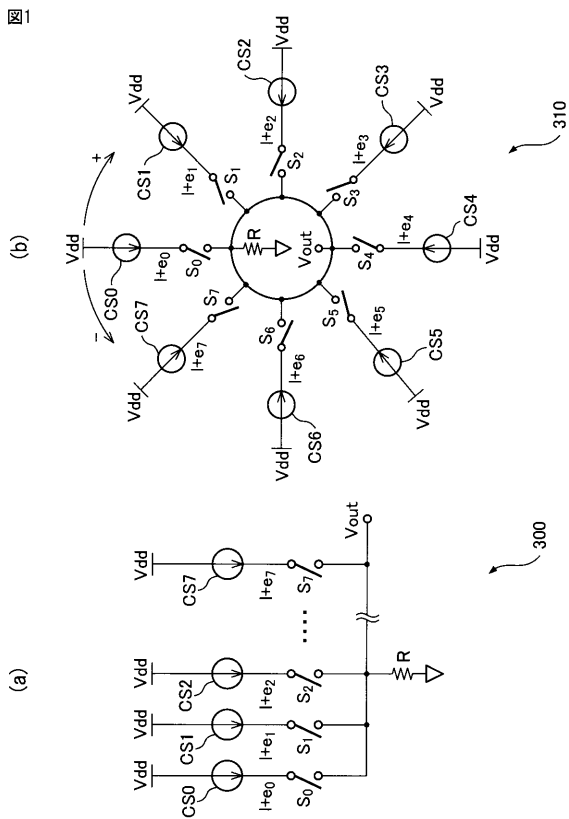
【符号の説明】

【0101】

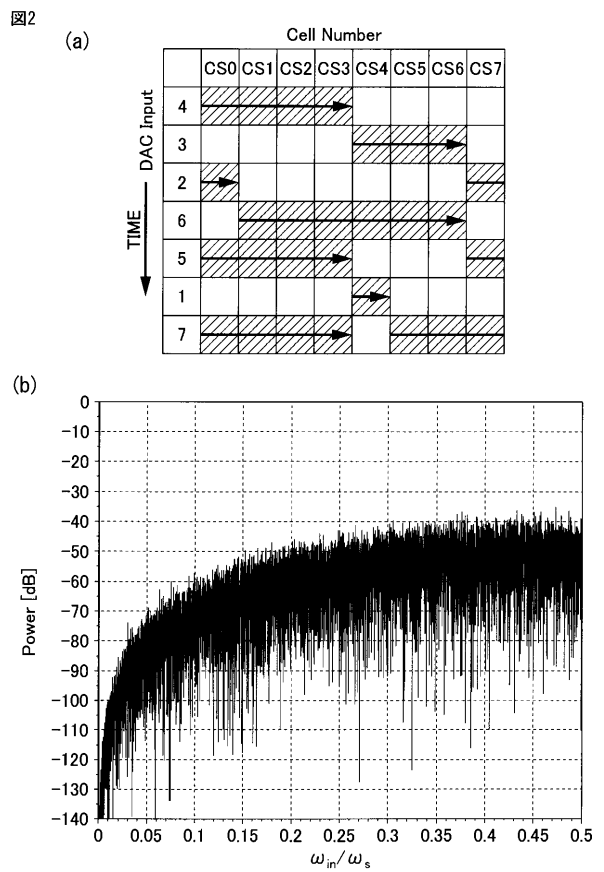
- |                 |   |    |
|-----------------|---|----|
| 1、2、201         | D A 変調器                                 |    |
| 11              | 第 1 D A 変換器                             |    |
| 12              | 第 2 D A 変換器                             |    |
| 13、17           | 第 1 変換器制御部                              | 40 |
| 14、18           | 第 4 変換器制御部                              |    |
| 15、19           | 入力選択部                                   |    |
| 16、20           | 出力選択部                                   |    |
| 21 ~ 24         | 第 1 D A C 第 1 ポインタ ~ 第 1 D A C 第 4 ポインタ |    |
| 31 ~ 34         | 第 2 D A C 第 1 ポインタ ~ 第 2 D A C 第 4 ポインタ |    |
| 41 ~ 44、61 ~ 64 | 第 1 入力スイッチ ~ 第 4 入力スイッチ                 |    |
| 51 ~ 54、71 ~ 74 | 第 1 出力スイッチ ~ 第 4 出力スイッチ                 |    |
| 200             | A D 変調器                                 |    |
| 211             | 第 1 A D 変換器                             |    |
| 212             | 第 2 A D 変換器                             | 50 |

230 複素マルチバンドパスフィルタ

【図1】

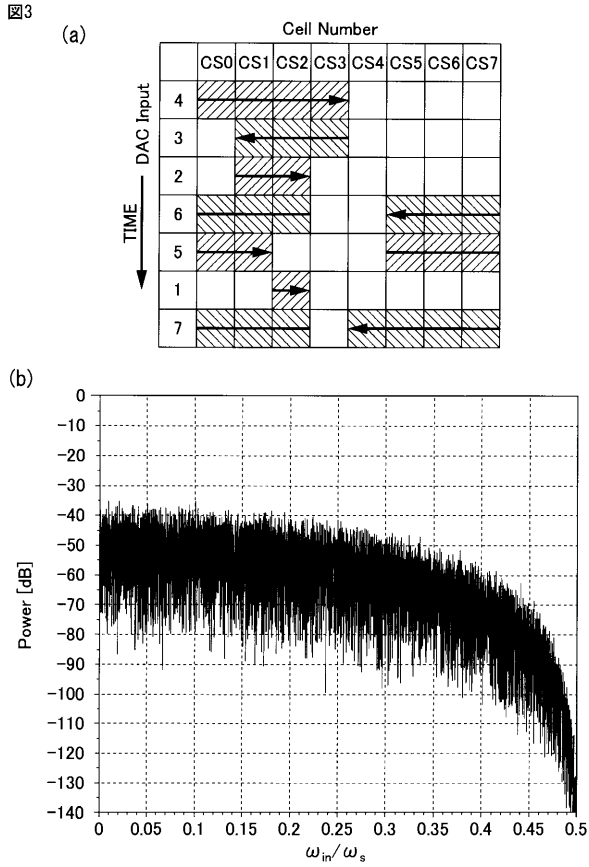


【図2】

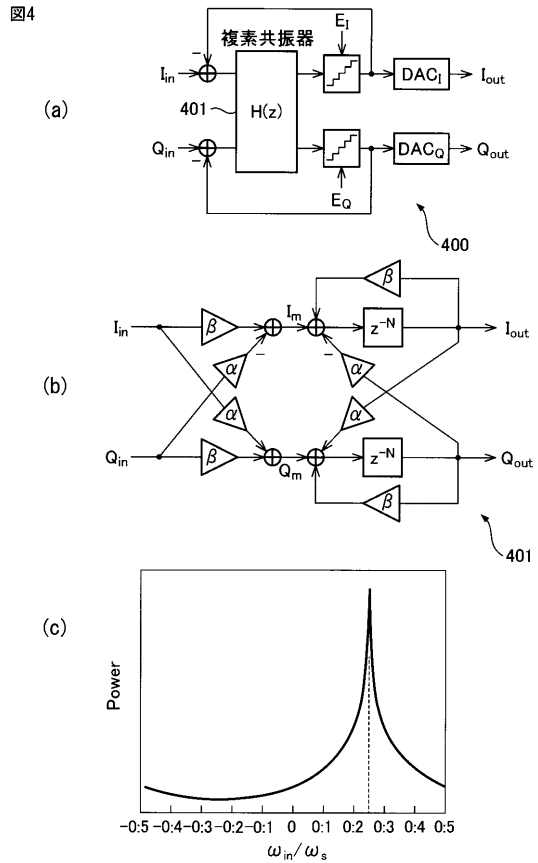




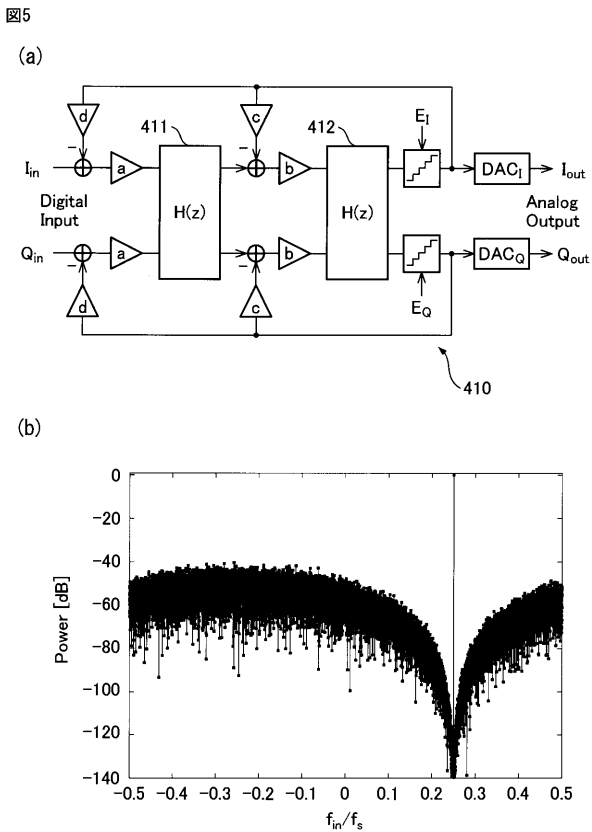
【 図 3 】



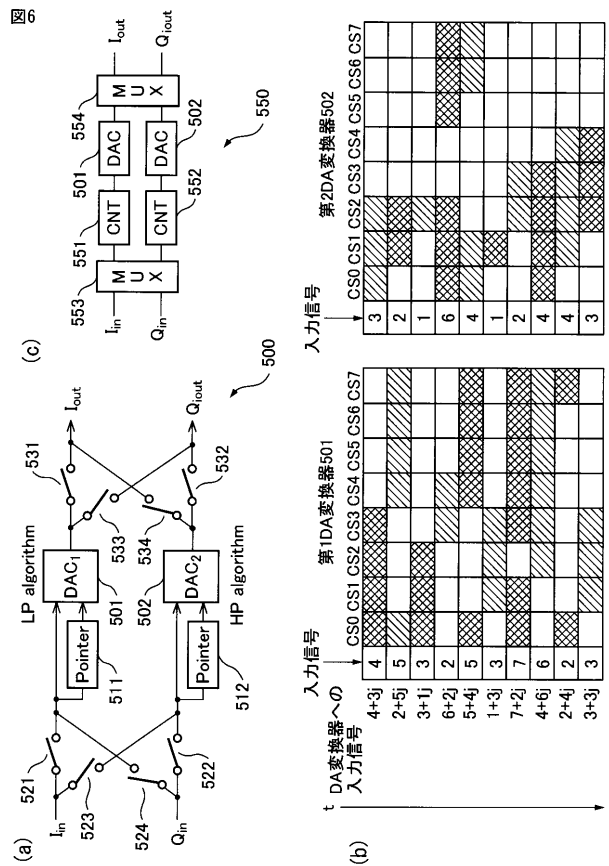
【 図 4 】



【 図 5 】

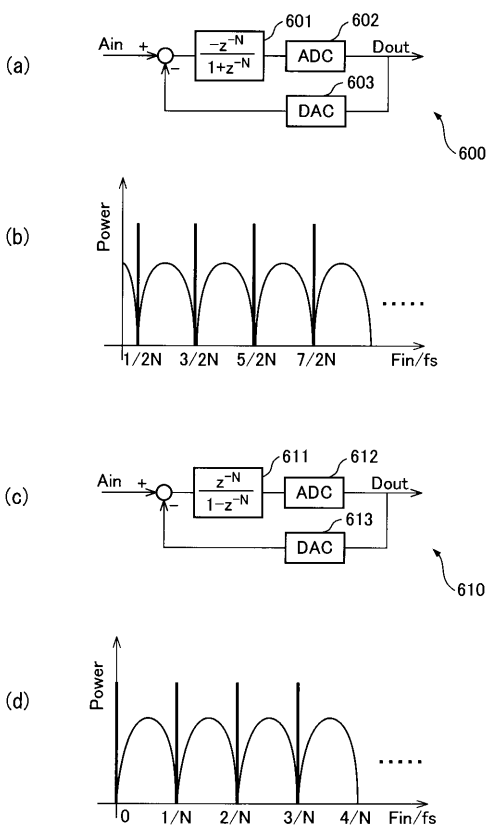


【 図 6 】



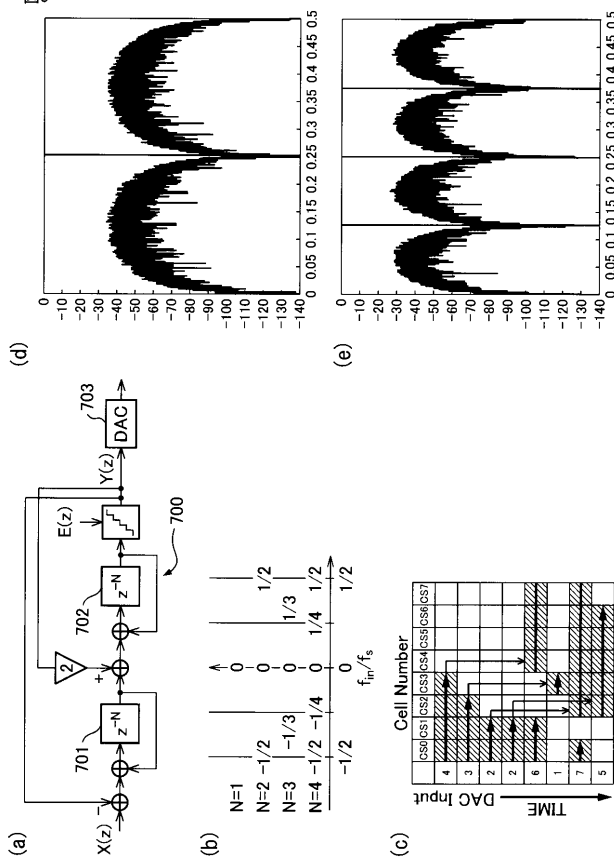
【 図 7 】

図7



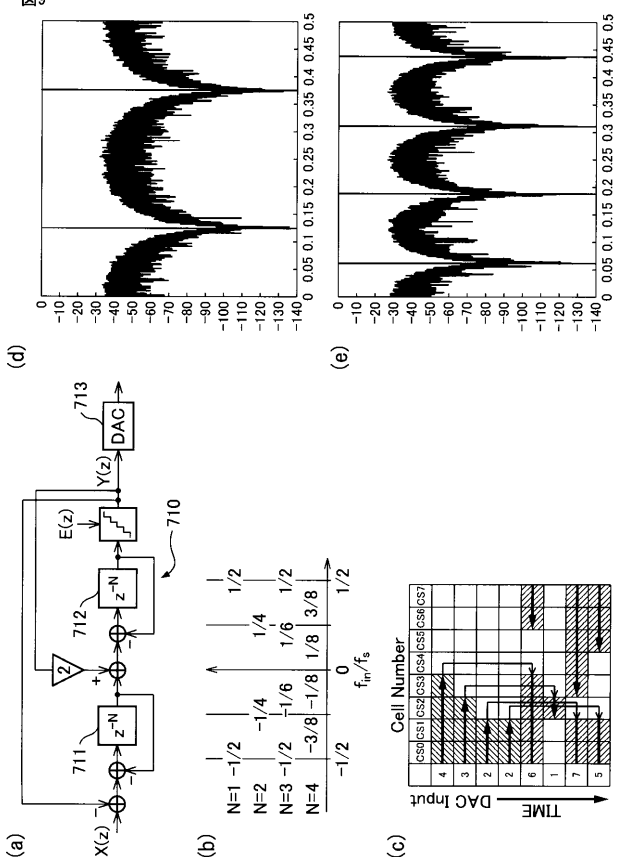
【 図 8 】

図8



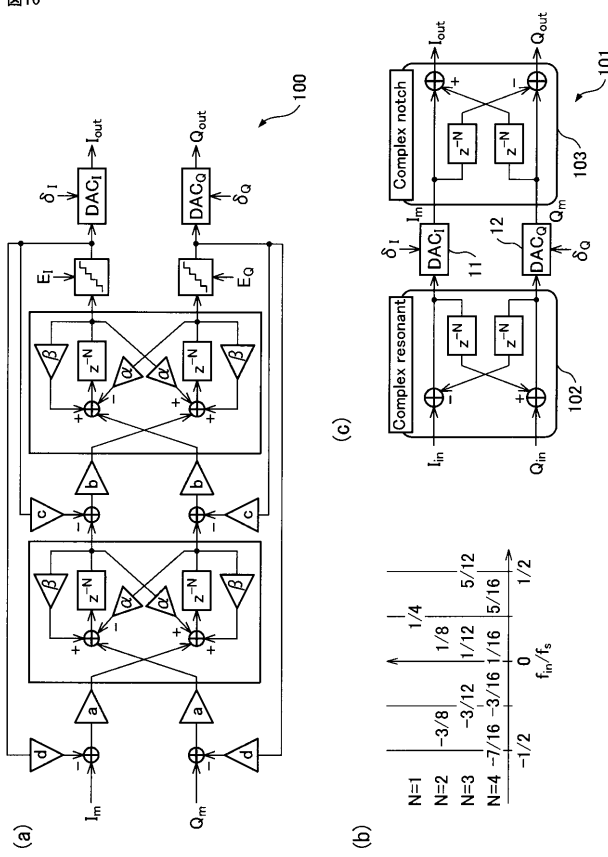
【 図 9 】

図9



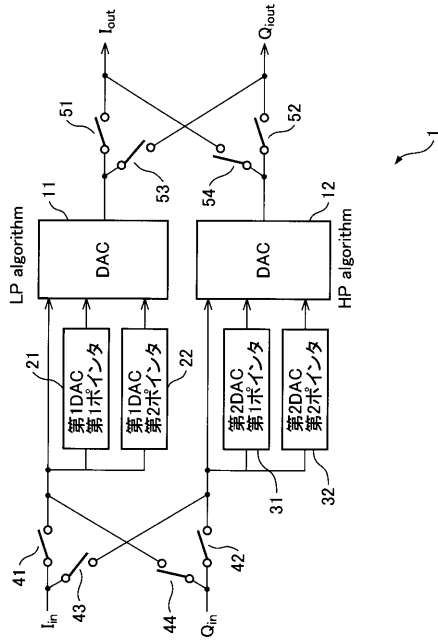
【 図 10 】

図10



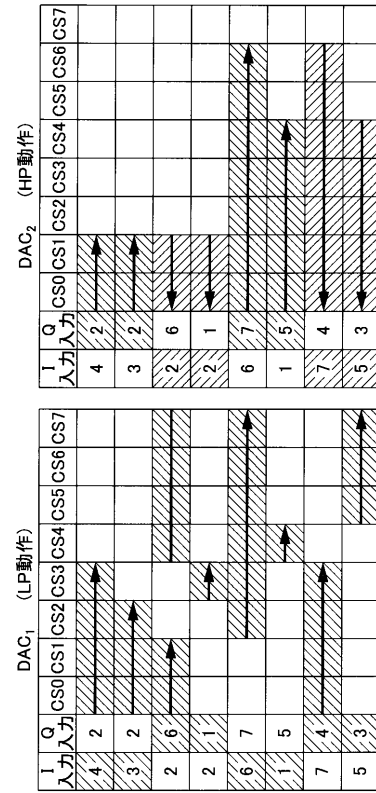
【 図 1 1 】

図11



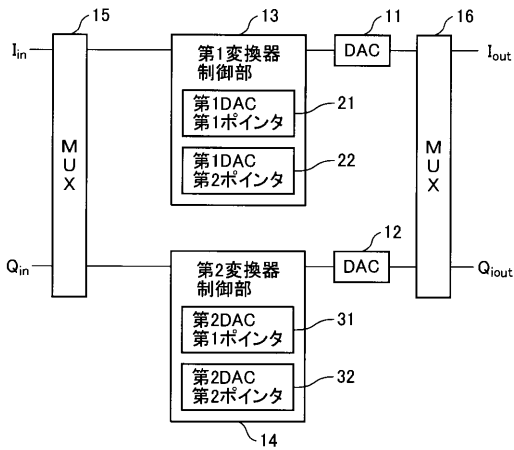
【 図 1 2 】

図12



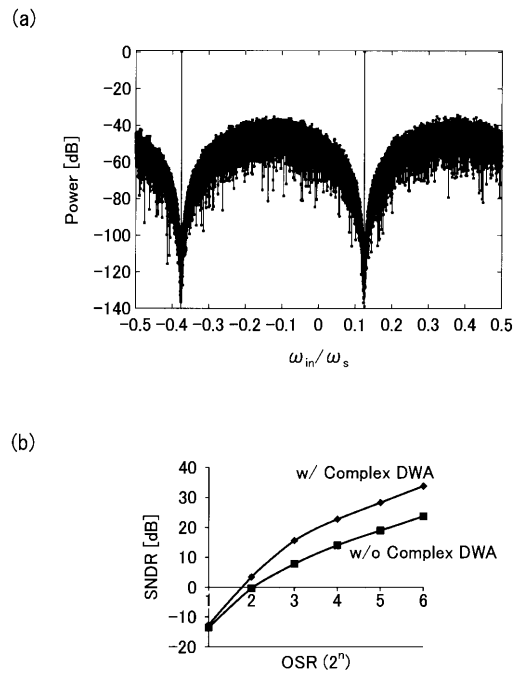
【 図 1 3 】

図13



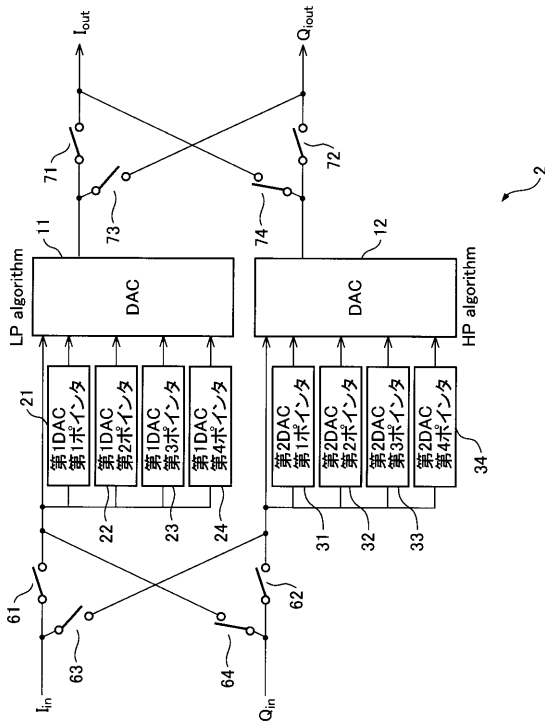
【 図 1 4 】

図14



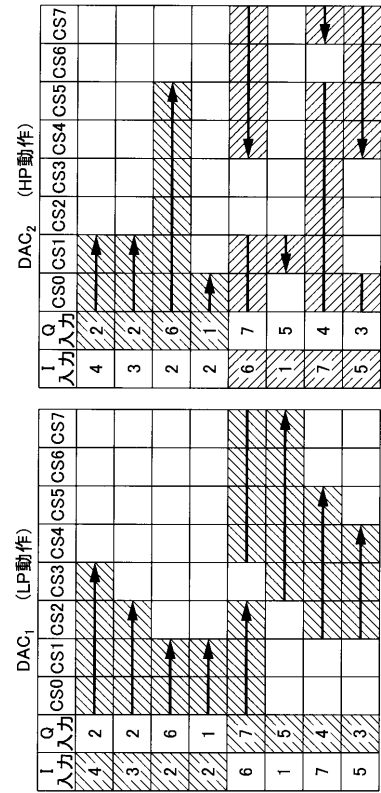
【 図 1 5 】

図15



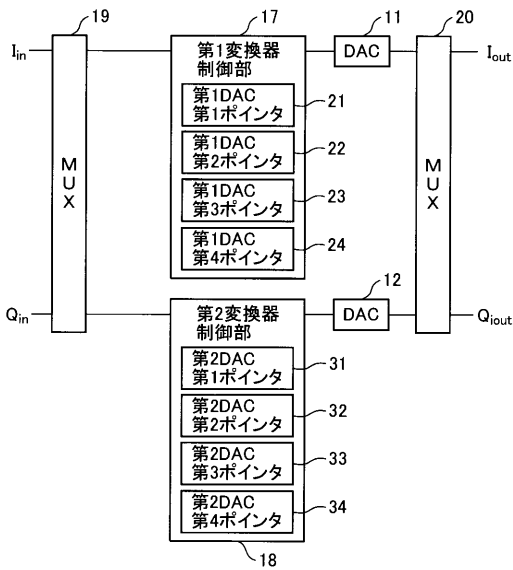
【 図 1 6 】

図16



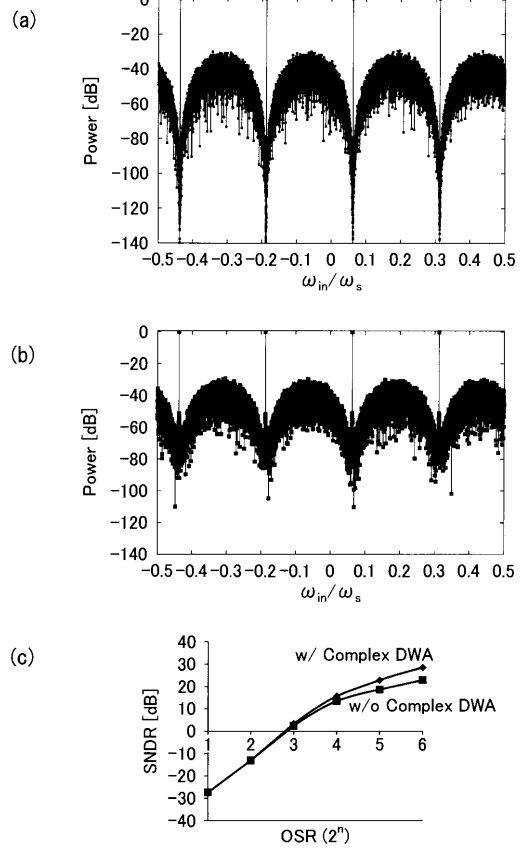
【 図 1 7 】

図17



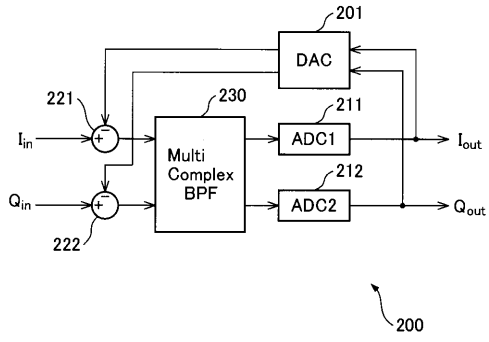
【 図 1 8 】

図18



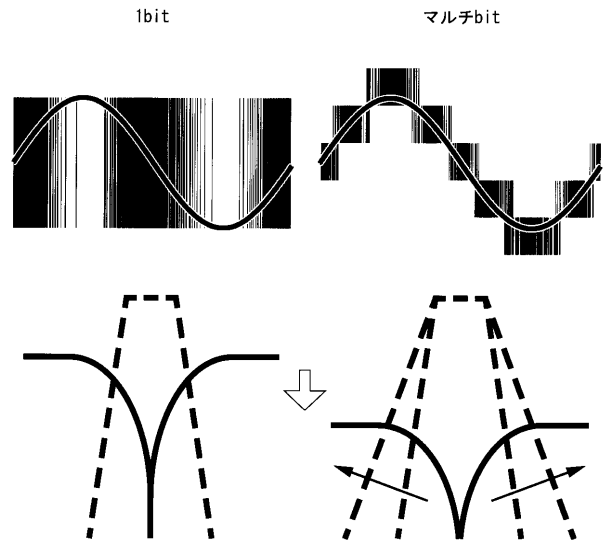
【 図 1 9 】

図19



【 図 2 0 】

図20



---

フロントページの続き

(72)発明者 村上 正紘

群馬県前橋市荒牧町四丁目2番地 国立大学法人群馬大学内

(72)発明者 小林 春夫

群馬県前橋市荒牧町四丁目2番地 国立大学法人群馬大学内

Fターム(参考) 5J022 AB02 BA02 BA06 CA07 CE01 CF08