

整数論を用いた高速・高信頼性 逐次比較近似AD変換アルゴリズム設計

小林 佑太朗、小林 春夫
群馬大学大学院理工学府 電子情報部門

〒376-8515 群馬県桐生市天神町1-5-1 E-mail:t14804039@gunma-u.ac.jp

序論

研究背景と目的

逐次比較型AD変換器(SAR ADC)

- 高分解能
- 中速サンプリング
- 小面積
- 低消費電力

産業界で幅広く使用

信頼性向上のために冗長設計の重要性が大

デジタル自己校正によりテストが困難に

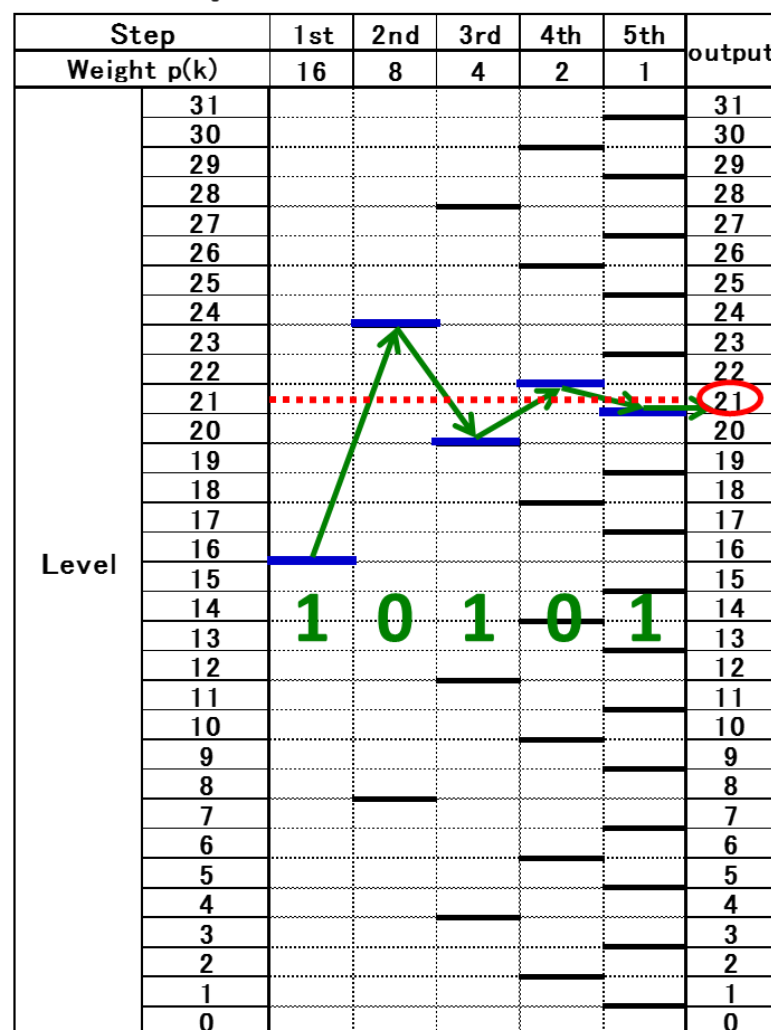
冗長設計SAR ADCの「テスト方法」と「設計アルゴリズム」を検討
SAR ADC : Successive Approximation Register type Analog to Digital Converter

研究目的

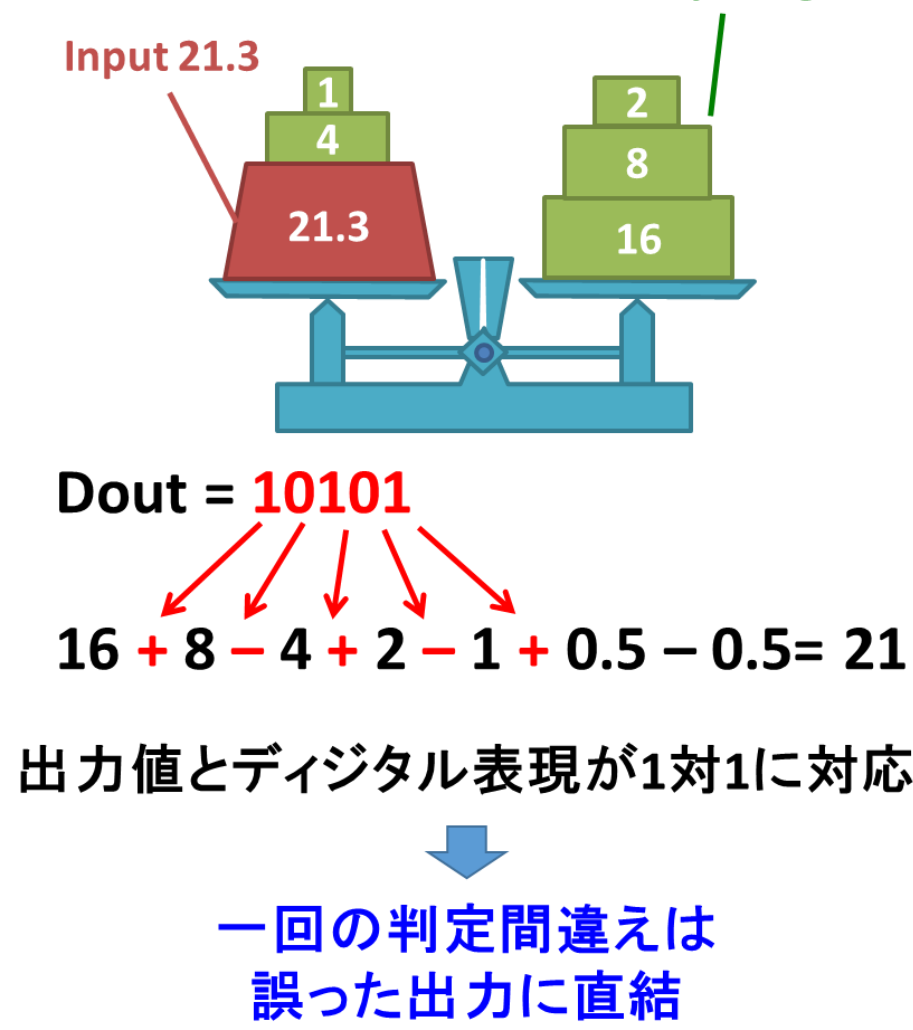
- 最適な冗長アルゴリズム設計方法の発見 (高信頼&高速ADC)
- 冗長設計SAR ADCのテスト容易化

逐次比較型AD変換器

5bitStep AD変換



天秤の原理



冗長逐次比較近似AD変換器

冗長を持つ逐次比較型AD変換器

冗長：余分、余裕のこと

SAR ADCへ

時間の冗長性を利用

- 比較判定の回数を増加
- 比較する電圧を変更

複数の出力表現方法

(20)₁₀ = 101001, 100111

デジタル誤差補正(高信頼性化)

DAC不完全整定を許容(高速化)



冗長設計の評価方法

定義

kステップ目の補正可能範囲: q(k)

- 判定結果が0でも1でも良い
- 入力電圧と比較電圧の最大差

補正可能な条件

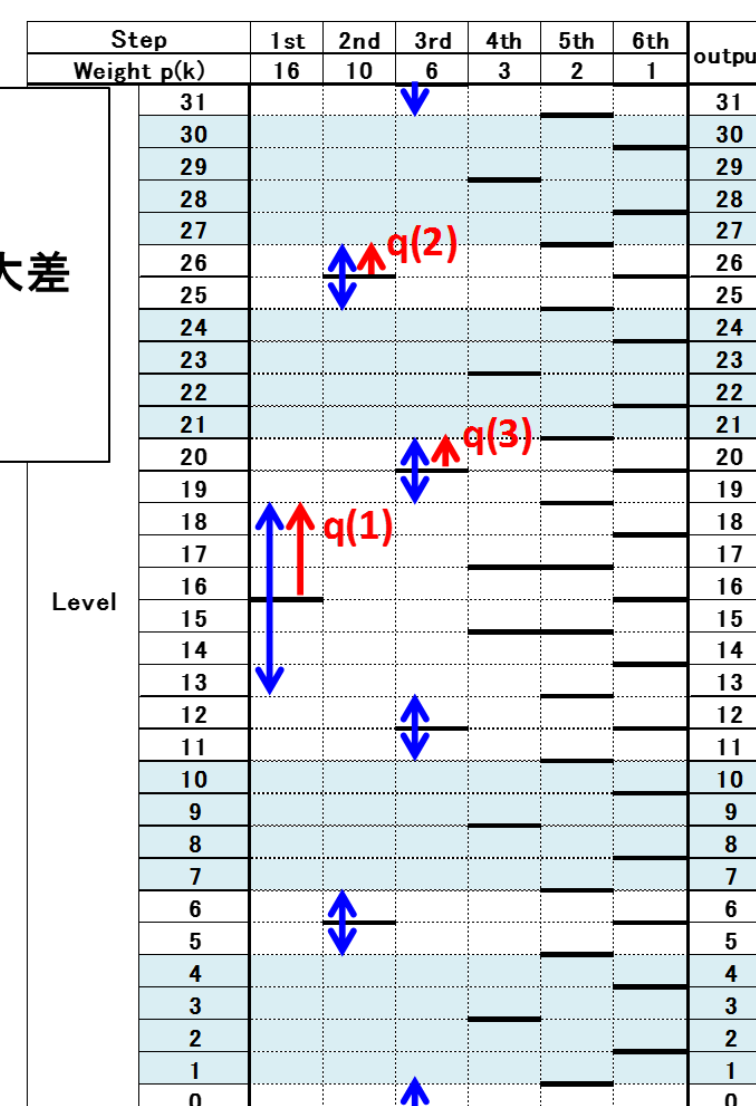
$$|V_{in} - V_{com}(k)| \leq q(k)$$

q(k)を求める公式

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i)$$

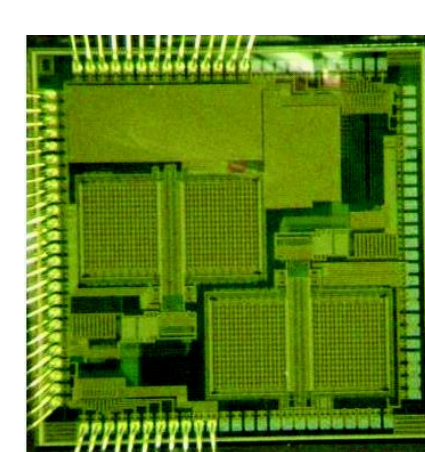
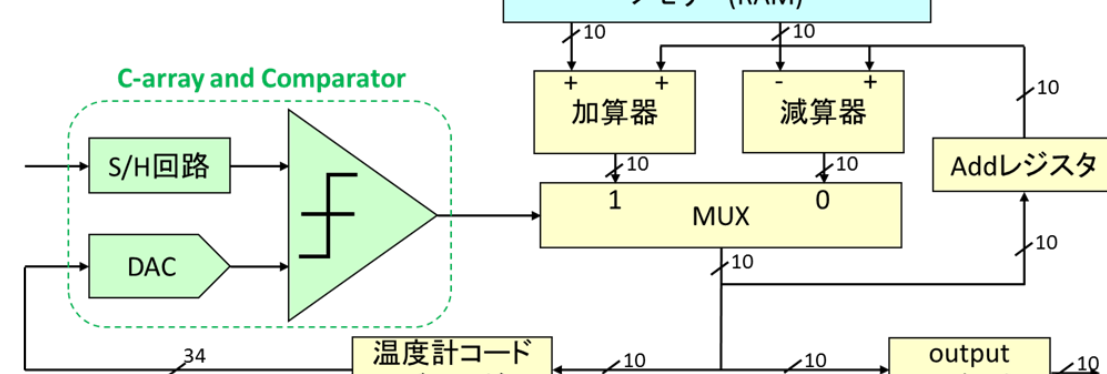
M: 総ステップ数

p(k): 比較電圧重み

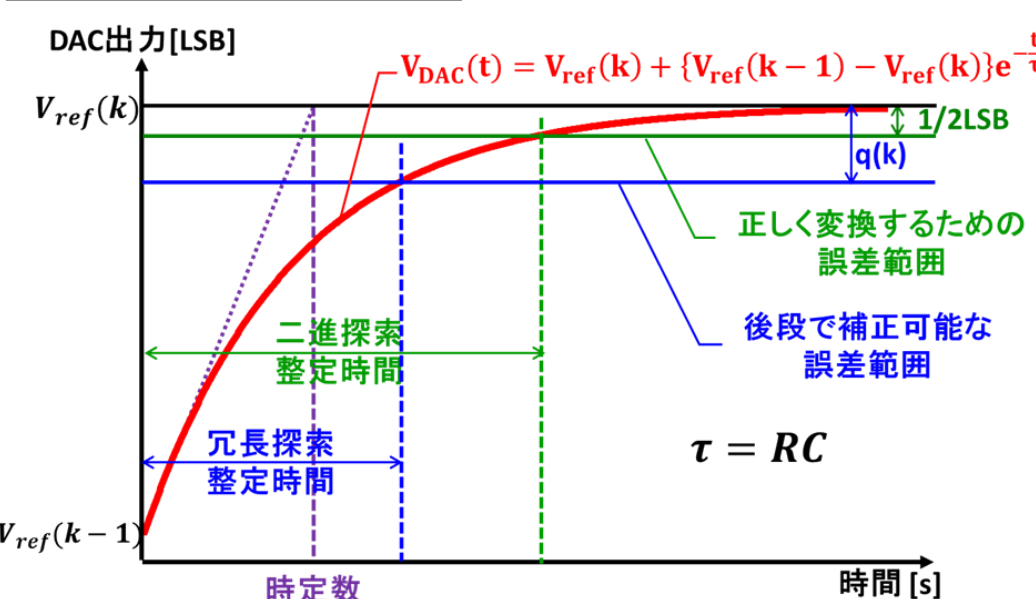


冗長設計によるDAC不完全整定

10bit 冗長SAR ADC図



DAC不完全整定の原理



$$\tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right)$$

高信頼 & 高速
SAR ADC

比較重みp(k)決定の従来手法

N bit全M step中k step目の比較重みp(k)を決定 (ただし p(1) = 2^{N-1})

従来手法

1. 基数(Radix)選択手法

$$p(k) = r^{M-k} \text{ (here } 1 \leq r < 2 \text{)}$$

問題点

- 最適なRadixを決めることが難しい
- 比較判定回数と補正能力の高さはトレードオフ
- p(k)は必ず小数となる(単位項を使えない)
- 小数での設計精度の低下を引き起こす
- 整数への丸めはq(k)のばらつきを生じる

2. 設計者によって適した値を選ぶ

問題点

- 最適な効果を得ることが難しい
- 決定の難しさが設計時間を増加させる



フィボナッチ数列を用いた冗長設計

フィボナッチ数列

定義 (n=0,1,2,3...)

$$F_0 = 0$$

$$F_1 = 1$$

$$F_{n+2} = F_n + F_{n+1}$$

具体例(フィボナッチ数)

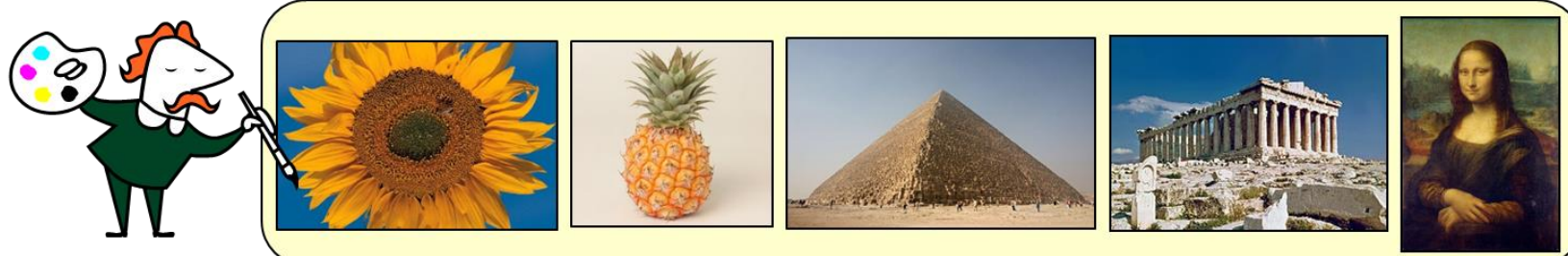
0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89...

性質

隣り合う項の比率は「黄金比」に収束する!

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.6180339887 \dots = \phi$$

Fibonacci number and Golden ratio



比較重みp(k)決定の提案手法

N bit全M step中k step目の比較重みp(k)を決定 (ただし p(1) = 2^{N-1})

提案手法

フィボナッチ数をp(k)として利用する ⇒ p(k) = F_{M-k+1}

Binary Weight
二進数

64 32 16 8 4 2 1

Radix 1.8 Weight
1.8進数

34.0 18.9 10.5 5.8 3.2 1.8 1

Fibonacci Weight
約1.62進数

13 8 5 3 2 1 1

隣り合う項の比率が黄金比φに収束する性質

整数のみで約1.62進数(radix = 1.62)を実現できる!

2点の性質を新発見!

- 補正可能範囲q(k)は必ずフィボナッチ数F_{M-k-1}になる
- 補正可能範囲q(k)は必ず次のステップのq(k+1)に接する

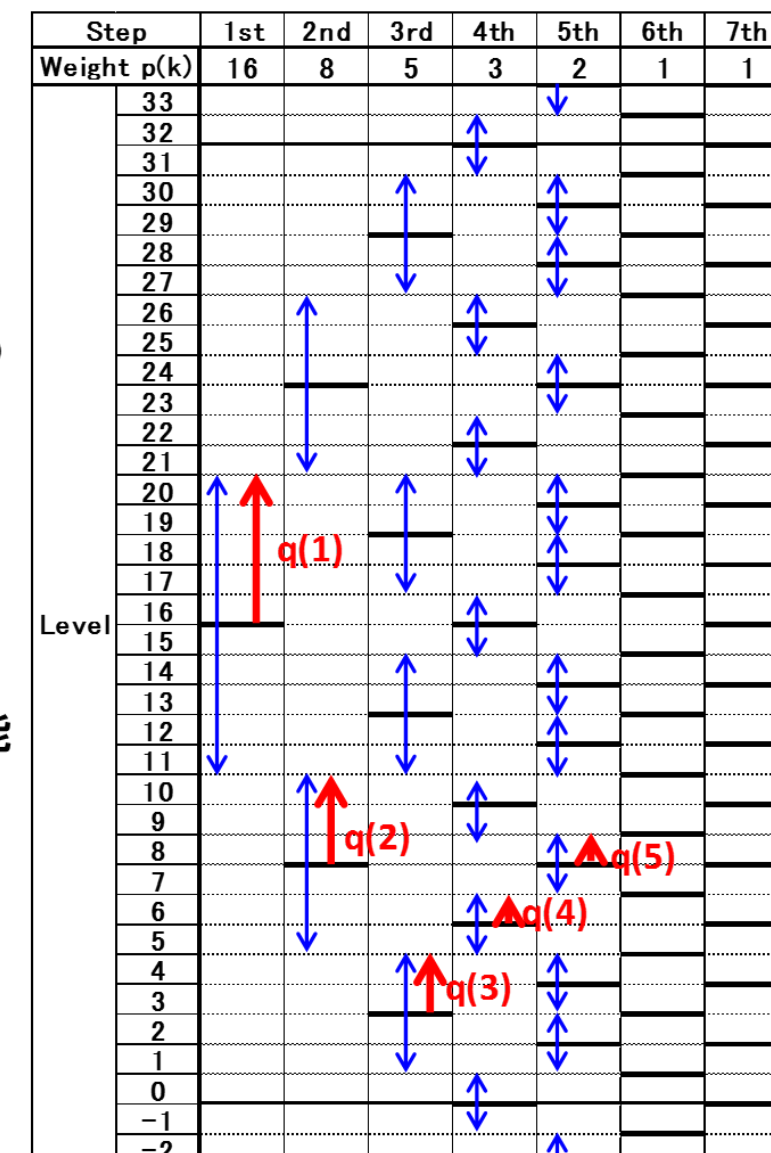
性質②より...

信頼性の高い設計

q(k)は最小のステップ数で広い範囲を補正可能

基数の基準

冗長SAR ADCの基数基準は黄金比である



フィボナッチSAR ADCのDAC不完全整定

一般整定時間

$$T_{settle}(k) = \tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right)$$

1点の性質を新発見!

$$T_{settle}(k) = \tau \ln(2\phi + 1)$$

$$= 1.444\tau$$

整定時間は常に一定

フィボナッチ重みを利用
p(k) = F_{M-k+1}
q(k) = F_{M-k-1}

$$= \tau \ln \left(\frac{F_{M-k+1} + F_{M-k}}{F_{M-k-1}} \right)$$

$$= \tau \ln \left(\frac{(F_{M-k} + F_{M-k-1}) + F_{M-k}}{F_{M-k-1}} \right)$$

$$= \tau \ln \left(\frac{F_{M-k} + 2F_{M-k-1}}{F_{M-k-1}} \right)$$

$$= \tau \ln \left(2 + \frac{F_{M-k}}{F_{M-k-1}} \right)$$

$$= \tau \ln(2\phi + 1)$$

$$= 1.444\tau$$

$$= \tau \ln(2\phi + 1)$$

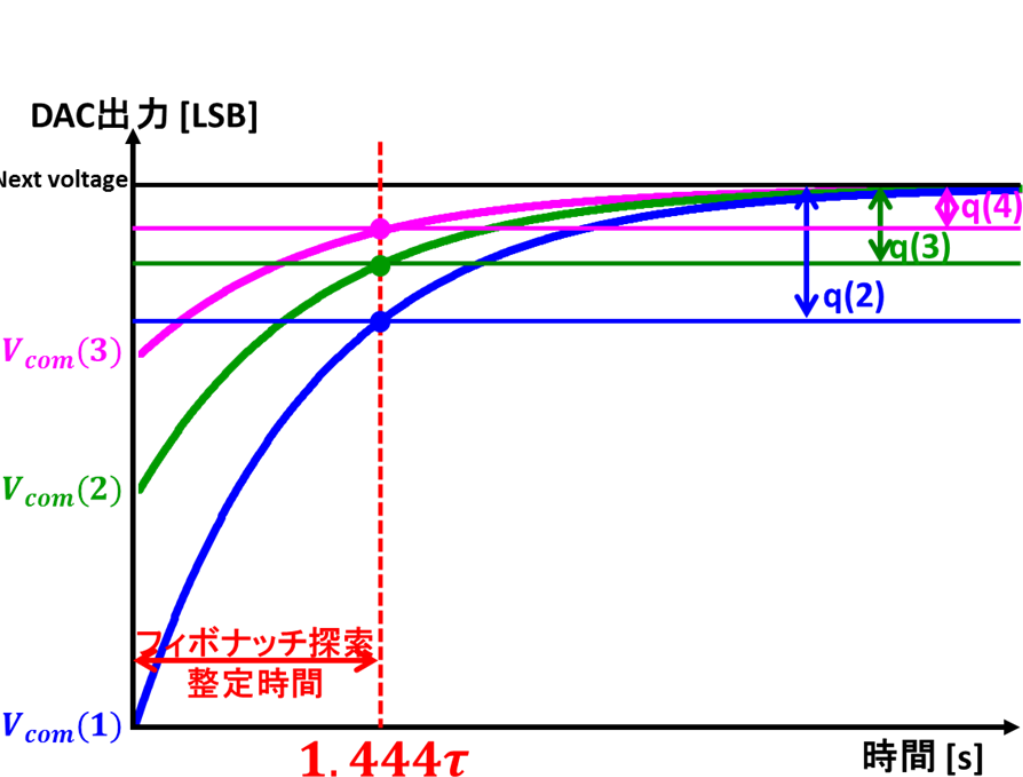
$$= 1.444\tau$$

$$= \tau \ln(2\phi + 1)$$

$$= 1.444\tau$$

$$= \tau \ln(2\phi + 1)$$

$$= 1.444\tau$$



フィボナッチ手法による高速化

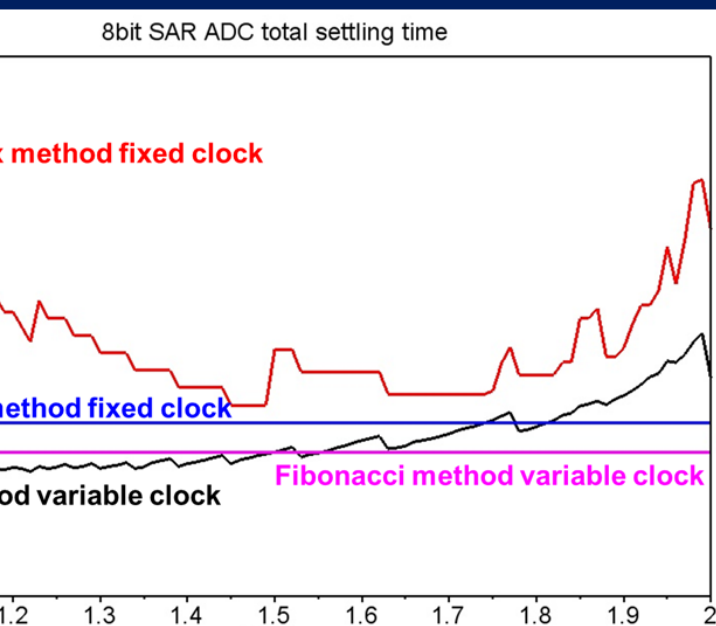
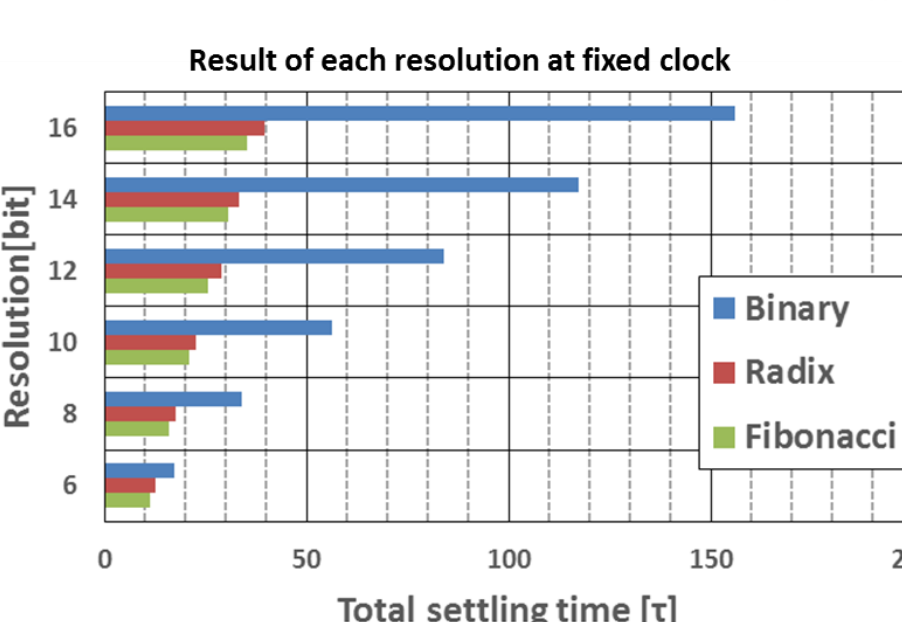
整定時間シミュレーション

◆ 整定時間の合計

$$T_{total} = \sum_{i=1}^M T_i$$

◆ 固定クロック整定時間

$$T_{total, fixed} = T_{max} \times M$$



固定クロックで
フィボナッチSAR ADCは
Radix SAR ADCより高速!
(Radix手法より10%短縮)

結論

- 冗長SAR ADCの設計手法を提案した
- フィボナッチ数列により重要な性質を導いた
 - 高信頼性
 - 高速変換
 - Radixの基準
 - 一定の整定時間

フィボナッチ手法は冗長SAR ADCに大きく貢献

参考文献

- [1] F. Kuttner: "A 1.2V 10b 20MSample/s non-binary successive approximation ADC in 0.13um CMOS", Tech. Digest of ISSCC, (Feb. 2002)
- [2] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori: "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals, vol.E93-A, no.2, (Feb. 2010).
- [3] Yutaro Kobayashi, Haruo Kobayashi: "SAR ADC Algorithm with Redundancy Based on Fibonacci Sequence", The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014).
- [4] Thomas Koshy: "Fibonacci and Lucas Numbers with Applications", John Wiley & Sons, Inc., (2001).