

No.2 整数論を用いた高速・高信頼性 逐次比較近似AD変換アルゴリズム設計

発表者 小林 佑太朗 代表者 小林 春夫
群馬大学 大学院理工学府 電子情報部門

自己校正・誤差補正のアナログ回路 ➡ 「設計」「テスト容易化」のチャレンジ要

数学の女王 整数論

フィボナッチ数列

$$F_0 = 0, F_1 = 1$$

$$F_{n+2} = F_n + F_{n+1}$$



フィボナッチ数

0, 1, 1, 2, 3, 5, 8, 13, 21, 34...

性質

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = \underline{1.618 \dots} = \varphi$$

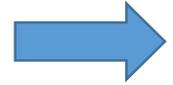
黄金比



生物 植物



人文・社会



美術 建築 経済

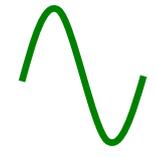


世界初の試み
回路応用

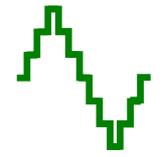


SAR ADC 設計

Analog



Digital



高信頼性 & 高速化！

研究背景と目的

逐次比較型AD変換器(SAR ADC)

- 高分解能
- 中速サンプリング
- 小面積
- 低消費電力

} 産業界で幅広く使用

信頼性向上のために冗長設計の重要性が大

↓
デジタル自己校正によりテストが困難に ☹️



↓
冗長設計SAR ADCの「テスト方法」と「設計アルゴリズム」を検討

研究目的

- 最適な冗長アルゴリズム設計方法の発見
(高信頼 & 高速ADC)
- 冗長設計SAR ADCのテスト容易化

逐次比較型AD変換器

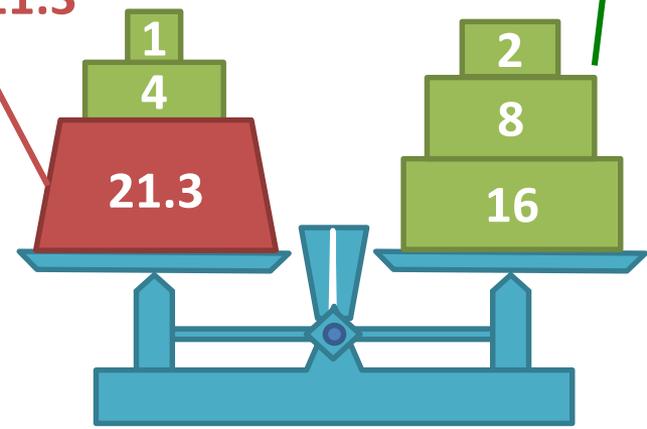
5bit5step AD変換

天秤の原理

Binary Weight

Step	1st	2nd	3rd	4th	5th	output
Weight p(k)	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

Input 21.3



Dout = 10101

$$16 + 8 - 4 + 2 - 1 + 0.5 - 0.5 = 21$$

出力値とデジタル表現が1対1に対応



一回の判定間違えは
誤った出力に直結

冗長を持つ逐次比較型AD変換器

冗長：余分、余裕のこと



時間の冗長性を利用

- ◆ 比較判定の回数を増加
- ◆ 比較する電圧を変更



複数の出力表現方法

$$(20)_{10} = 101001, 100111$$



デジタル誤差補正(高信頼性化)

DAC不完全整定を許容(高速化)

Step	1st	2nd	3rd	4th	5th	6th	output
Weight p(k)	16	10	6	3	2	1	
31							31
30							30
29	1	0	1	0	0	1	29
28	1	0	1	0	0	1	28
27							27
26							26
25							25
24							24
23							23
22							22
21							21
20							20
19							19
18							18
17							17
16							16
15							15
14							14
13							13
12							12
11							11
10							10
9	1	0	0	1	1	1	9
8	1	0	0	1	1	1	8
7							7
6							6
5							5
4							4
3							3
2							2
1							1
0							0

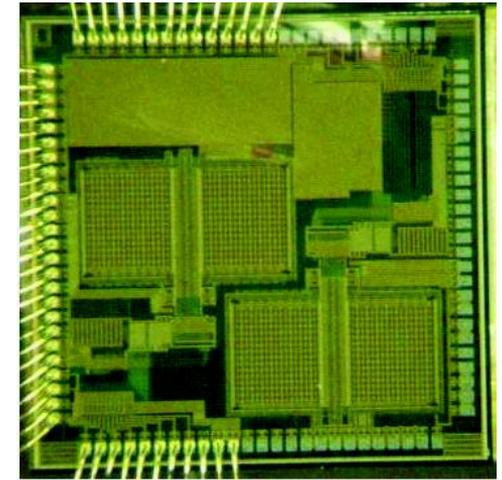
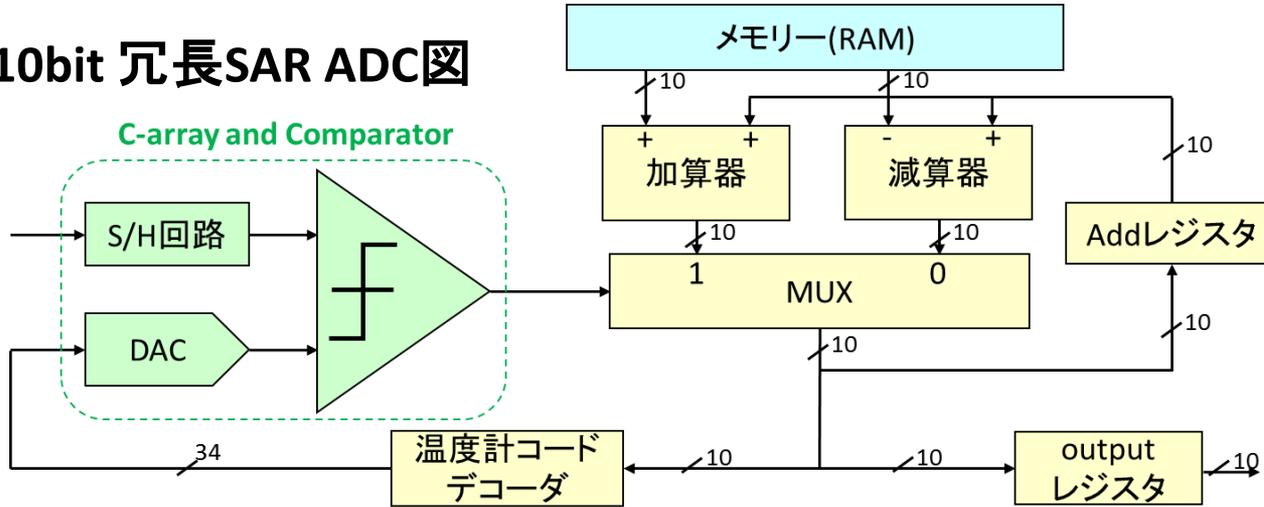
Level

誤判定



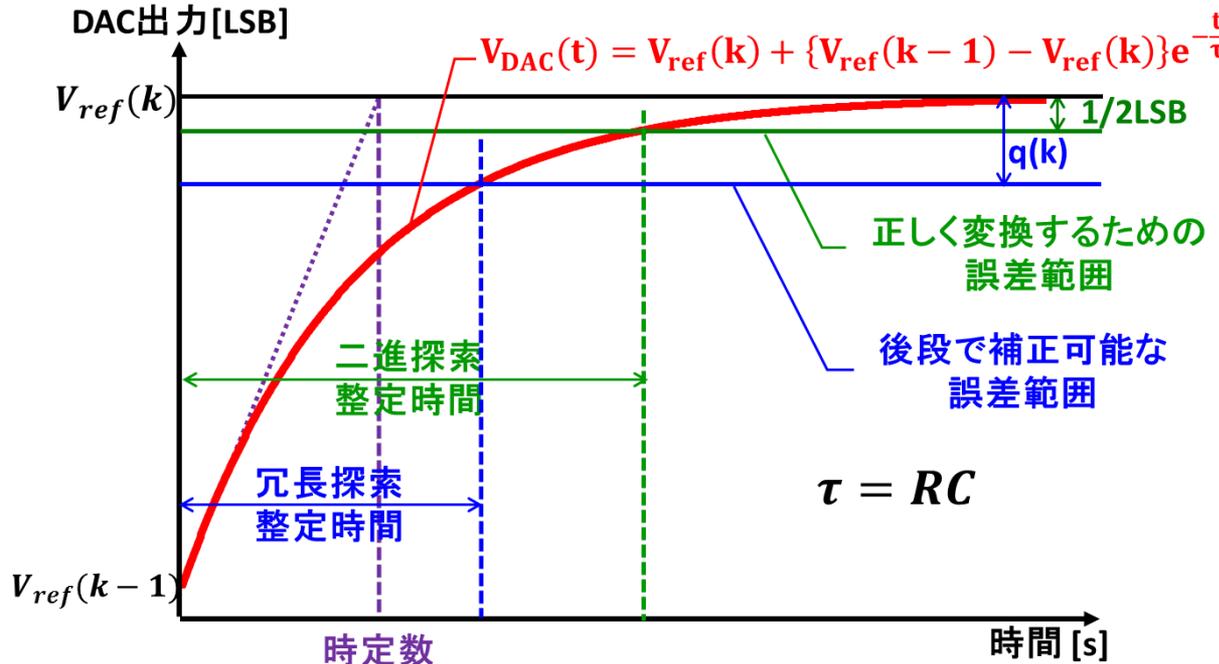
冗長設計によるDAC不完全整定

10bit 冗長SAR ADC図



研究室で作成したチップ写真
(0.18um CMOS 2.5mm x 2.5mm)

DAC不完全整定の原理



kステップ目への整定時間

$$\tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right)$$

高信頼 & 高速
SAR ADC

冗長設計の評価方法

定義

kステップ目の補正可能範囲 : q(k)

- 判定結果が0でも1でも良い
- 入力電圧と比較電圧の最大差

補正可能な条件

$$|V_{in} - V_{com}(k)| \leq q(k)$$

q(k)を求める公式

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i)$$

M: 総ステップ数
p(k): 比較電圧重み



Step	1st	2nd	3rd	4th	5th	6th	output
Weight p(k)	16	10	6	3	2	1	
31			↓				31
30							30
29							29
28							28
27							27
26		↕	↑ q(2)				26
25							25
24							24
23							23
22							22
21							21
20							20
19			↕	↑ q(3)			19
18	↕	↑ q(1)					18
17							17
16							16
15							15
14							14
13							13
12			↕				12
11							11
10							10
9							9
8							8
7							7
6		↕					6
5							5
4							4
3							3
2							2
1							1
0			↑				0

Level

比較重み $p(k)$ 決定の従来手法

N bit全 M step中 k step目の比較重み $p(k)$ を決定 (ただし $p(1) = 2^{N-1}$)

従来手法

1. 基数(Radix)選択手法

$$p(k) = r^{M-k} \text{ (here } 1 \leq r < 2)$$

問題点

- ◆ 最適なRadixを決めることが難しい
 - 比較判定回数と補正能力の高さはトレードオフ
- ◆ $p(k)$ は必ず小数となる(単位項を使えない)
 - 小数での設計精度の低下を引き起こす
 - 整数への丸めは $q(k)$ のばらつきを生じる

2. 設計者によって適した値を選ぶ

問題点

- ◆ 最適な効果を得ることが難しい
- ◆ 決定の難しさが設計時間を増加させる



フィボナッチ数列

定義 ($n=0,1,2,3\dots$)

$$F_0 = 0$$

$$F_1 = 1$$

$$F_{n+2} = F_n + F_{n+1}$$

具体例(フィボナッチ数)

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89...

性質

隣り合う項の比率は“**黄金比**”に収束する！

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.6180339887 \dots = \varphi$$

Fibonacci number and Golden ratio



Leonardo Fibonacci
(around 1170-1250)

比較重み $p(k)$ 決定の提案手法

N bit全 M step中 k step目の比較重み $p(k)$ を決定 (ただし $p(1) = 2^{N-1}$)

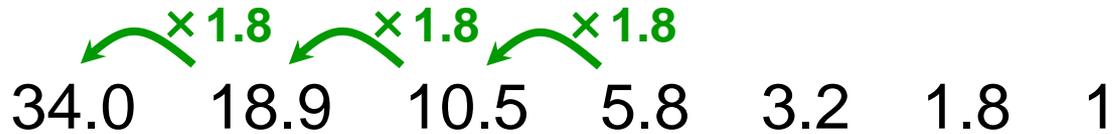
提案手法

フィボナッチ数を $p(k)$ として利用する $\Rightarrow p(k) = F_{M-k+1}$

Binary Weight
二進数



Radix 1.8 Weight
1.8進数



Fibonacci Weight
約1.62進数



隣り合う項の比率が黄金比 ϕ に収束する性質

➡ 整数のみで約1.62進数($radix = 1.62$)を実現できる!



フィボナッチ数を用いたSAR ADC

2点の性質を新発見！

- ①補正可能範囲 $q(k)$ は必ずフィボナッチ数 F_{M-k-1} になる
- ②補正可能範囲 $q(k)$ は必ず次のステップの $q(k+1)$ に接する



性質②より...

➤ 信頼性の高い設計

$q(k)$ は最小のステップ数で広い範囲を補正可能

➤ 基数の基準

冗長SAR ADCの基数基準は黄金比である

Step	1st	2nd	3rd	4th	5th	6th	7th
Weight p(k)	16	8	5	3	2	1	1
33					↓		
32				↕			
31				↕			
30			↕		↕		
29			↕		↕		
28			↕		↕		
27			↕		↕		
26		↕		↕			
25		↕		↕			
24		↕		↕			
23		↕		↕			
22		↕		↕			
21		↕		↕			
20	↕		↕		↕		
19	↕		↕		↕		
18	↕		↕		↕		
17	↕		↕		↕		
16	↕		↕		↕		
15	↕		↕		↕		
14	↕		↕		↕		
13	↕		↕		↕		
12	↕		↕		↕		
11	↕		↕		↕		
10	↕	↕		↕			
9	↕	↕		↕			
8	↕	↕		↕	↕		
7	↕	↕		↕	↕		
6	↕	↕		↕	↕		
5	↕	↕		↕	↕		
4	↕	↕	↕		↕		
3	↕	↕	↕		↕		
2	↕	↕	↕		↕		
1	↕	↕	↕		↕		
0	↕	↕	↕	↕			
-1	↕	↕	↕	↕			
-2	↕	↕	↕	↕	↕		

$q(1)$

$q(2)$

$q(3)$

$q(4)$

$q(5)$

Level

フィボナッチSAR ADCのDAC不完全整定

一般整定時間

$$T_{settle}(k) = \tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right)$$

1点の性質を新発見！

$$T_{settle}(k) = \tau \ln(2\varphi + 1) \\ = 1.444\tau$$

整定時間は常に一定



フィボナッチ重みを利用

$$p(k) = F_{M-k+1}$$

$$q(k) = F_{M-k-1}$$

$$= \tau \ln \left(\frac{F_{M-k+1} + F_{M-k}}{F_{M-k-1}} \right)$$

$$= \tau \ln \left(\frac{(F_{M-k} + F_{M-k-1}) + F_{M-k}}{F_{M-k-1}} \right)$$

$$= \tau \ln \left(2 \frac{F_{M-k}}{F_{M-k-1}} + 1 \right)$$

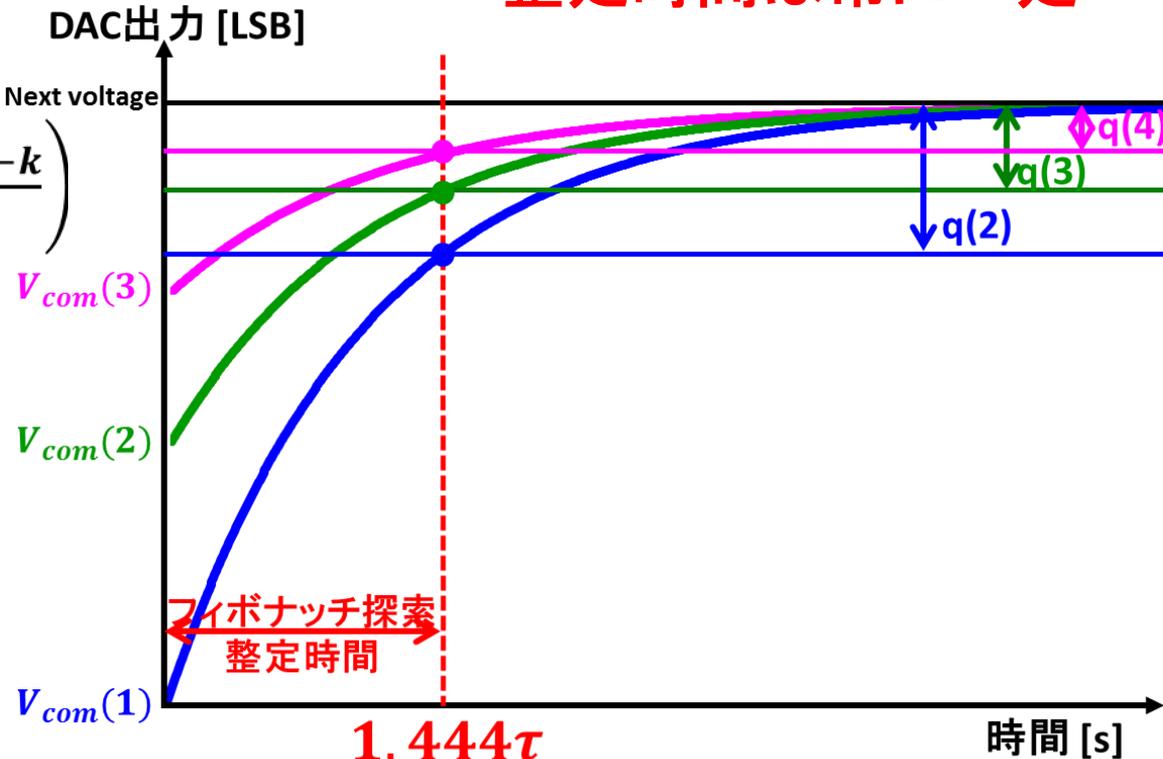


隣接項は黄金比

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618 = \varphi$$

$$= \tau \ln(2\varphi + 1)$$

$$= 1.444\tau$$



フィボナッチ手法による高速化

整定時間シミュレーション

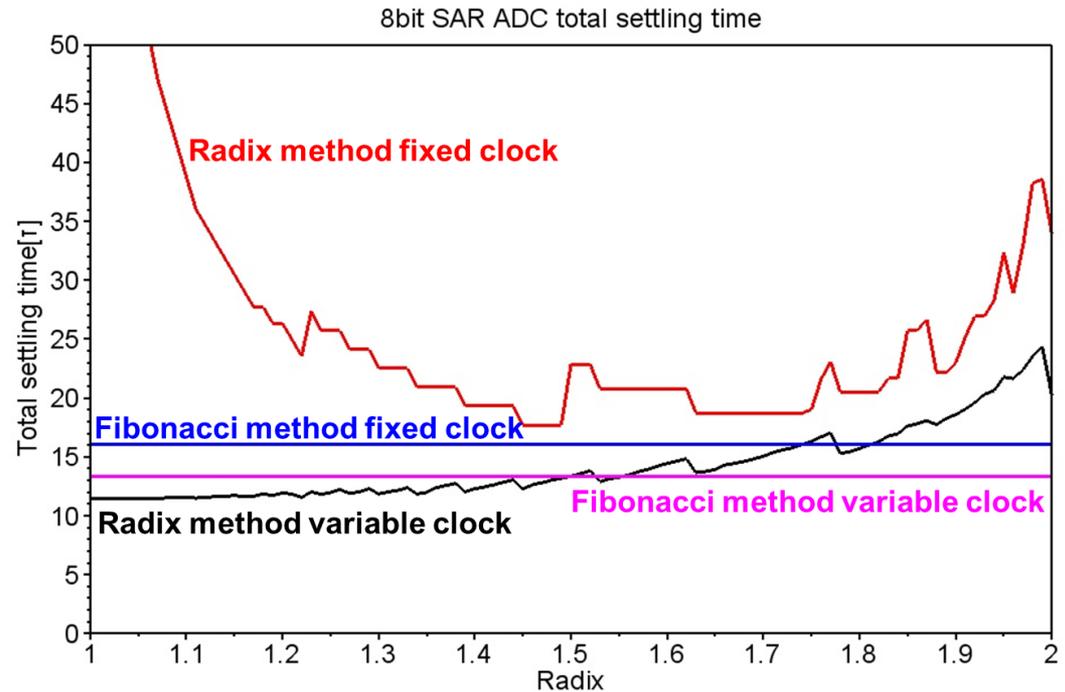
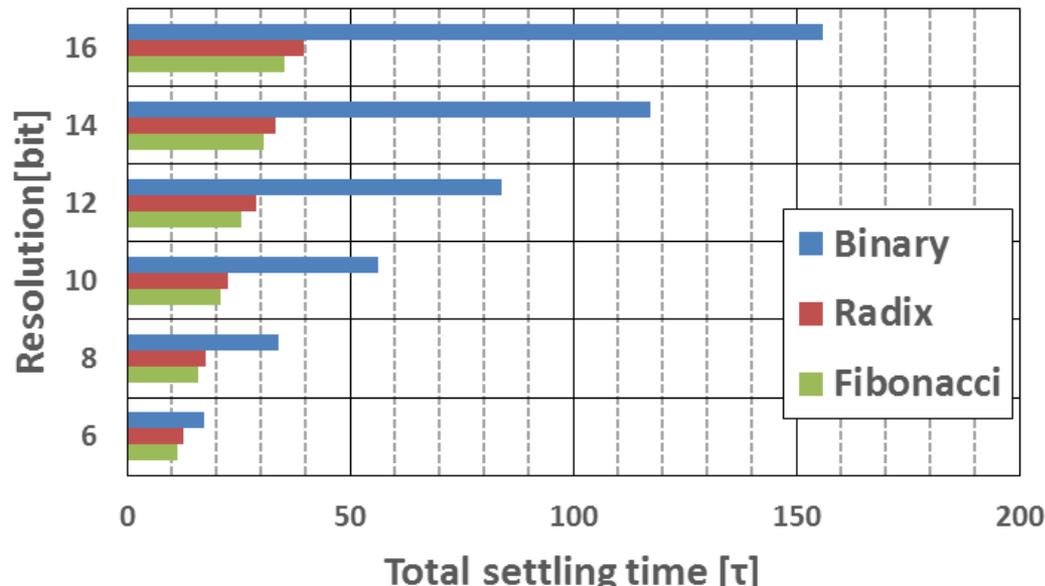
◆ 整定時間の合計

$$T_{total} = \sum_{i=1}^M T_i$$

◆ 固定クロック整定時間

$$T_{total_fixed} = T_{max} \times M$$

Result of each resolution at fixed clock



**固定クロックで
フィボナッチSAR ADCは
Radix SAR ADCより高速！**

(Radix手法より10%短縮)

- ◆ 冗長SAR ADCの設計手法を提案した
- ◆ フィボナッチ数列により重要な性質を導いた
 - 高信頼性
 - 高速変換
 - Radixの基準
 - 一定の整定時間

フィボナッチ手法は冗長SAR ADCに大きく貢献

参考文献

- [1] F. Kuttner : “A 1.2V 10b 20MSample/s non-binary successive approximation ADC in 0.13 μ m CMOS”, Tech. Digest of ISSCC, (Feb. 2002)
- [2] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori : “SAR ADC Algorithm with Redundancy and Digital Error Correction”, IEICE Trans. Fundamentals, vol.E93-A, no.2, (Feb. 2010).
- [3] Yutaro Kobayashi, Haruo Kobayashi : “SAR ADC Algorithm with Redundancy Based on Fibonacci Sequence”, The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014).
- [4] Thomas Koshy: “Fibonacci and Lucas Numbers with Applications”, John Wiley & Sons, Inc., (2001).

質疑応答(質問が多かった順に掲載)

◆ このアイデアは誰がどのようなことから思いついたか？

このような結果になると予測してはじめてのか？

➤ 小林先生のアイデア。最初の動機は整数で一定比率の黄金比からだと思うが、達人の感覚によるものであると考えている。

➤ 今後は「**野生のカン**」に変更。

◆ 実装は？(傘先生は「ぜひあと一年でがんばりなよ！」とおっしゃっていた)

➤ 実装はまだできていない。以前研究室で作成したものがあり、それを参考にして今後実装での動作確認を検討していきたい。

◆ 特許はとってある？

➤ 理論構築のみであり、まだ実装での確認ができていないので取っていない。

◆ 用途は？(宇宙用とか？)

➤ SAR ADCは産業用ロボットや車載用に主に使われるので、フェールセーフティーに特化した考え方から車載用に考えている。

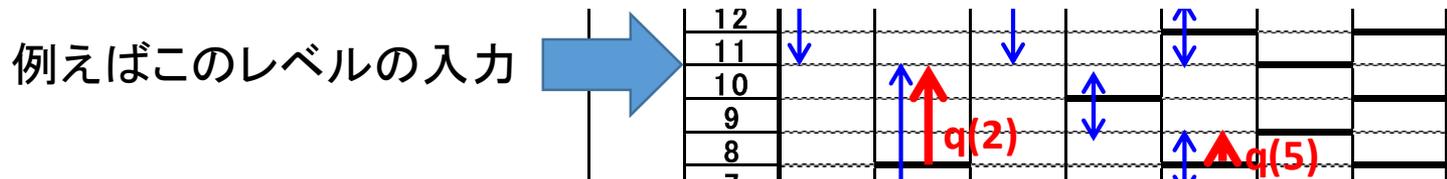
◆ 信頼性とはCのバラつきやコンパレータのオフセットに対しての信頼性？

➤ DACやコンパレータの正確性は原理的に重要(DACの出力は錘、コンパレータははかりであるので正確でないといけない)。

この研究はコンパレータの判定間違えの補正と高速化が目的である。

質疑応答

- ◆ フィボナッチとドミノ式クロックを組み合わせればさらに高速化できるのでは？
- ◆ この研究によって冗長逐次比較近似AD変換器がフルレンジで利用することができるということも示すべきでは？
- ◆ DACの不完全整定の高速化を考えているが、コンパレータの判定時間を考えていない。コンパレータは二つの入力に近いと判定が遅くなるので、そういったところを考慮したほうがいいのでは？
(DACと違って後段のほうが遅い)
- ◆ 逐次比較近似AD変換器の別の冗長設計では、二つのコンパレータを使って後段の判定を予想して進めておき、前段の判定と比べて間違っていたらもう一度計算を行うという高速化の方法があるが組み合わせてみたらどうか？
- ◆ キャリブレーションは矢印同士のちょうど境目が入力するときどうなる(下図)？



質疑応答や議論を終えて

- 質疑応答で今後の方針となるものは以下の二点
 - 他のアルゴリズムと組み合わせると効果的なのではないか
 - 実装での結果確認

付録（指導教授より）

「新手一生」

棋士 升田幸三

