

## 第 61 回「システム LSI 合同ゼミ」開催のお知らせ

発表時間制限のない自由な研究討論の場として、標記合同ゼミを下記のように企画いたしました。この合同ゼミは、不定期に開催される非公式の公開研究発表会で、1 研究室や 1 研究部署で行われている研究発表を複数の研究機関合同で行い、幅広く忌憚のない意見交換を行おうとするものです。ご興味のおありの方は是非お誘い合わせの上ご参加ください。

なお、本合同ゼミは年 3 回程度の割で、今後も引続き開催していく予定です。皆様からもご発表頂けるようでしたら、これほど嬉しいことはございません。ご遠慮無くご相談いただきたく、お待ち申し上げております。

金子峰雄（北陸先端科学技術大学院大学）、  
北澤仁志，藤吉邦洋（東京農工大学）、  
戸川望（早稲田大学）、  
高島康裕（北九州市立大学）、  
小平行秀（会津大学）、  
山田昭彦（コンピュータシステム&メディア研究所）、  
梶谷洋司（設計アルゴリズム研究所）、  
貴家仁志（首都大学）、  
築山修治（中央大学）、  
高橋篤司，岡田健一，原祐子（東京工業大学）  
白石洋一，小林春夫（群馬大学）

### 記

#### <<第 61 回システム LSI 合同ゼミ>>

日時: 2015 年 10 月 17 日(土) 午後 1 時 00 分から午後 7 時頃まで(予定)

場所: 東京工業大学(大岡山キャンパス)

発表: 南 2 号館 2 階 S221 講義室 (午後 1 時 00 分より)

ポスター: 南 2 号館 2 階 S222 講義室 (午後 5 時 30 分頃より)

以下の URL をご参照下さい。

<http://www.titech.ac.jp/maps/ookayama/campus/ookayama.html>

33. 大岡山南 2 号館

ポスター懇談会では、発表のあった研究に関してポスターボードを用いた研究 討論を予定しております。軽食・アルコール飲料を準備いたします。ポスター 懇談会のみ参加も歓迎します。

申し込み: 合同ゼミ(ポスター懇談会のみも可)に参加ご希望の方は、準備の都合  
上、2015年10月13日(火)までに、以下の連絡先までお申し込みください。  
申し込み、ご質問等宛先:

東京工業大学 高橋篤司

E-mail: [atsushi@eda.ce.titech.ac.jp](mailto:atsushi@eda.ce.titech.ac.jp)

Tel: 03-5734-2665/Fax: 03-5734-2902

協賛: IEEE CEDA All Japan Joint Chapter

<http://sites.ieee.org/jc-ceda/>

発表:

=====

(1) 符号理論アプローチを用いた時間デジタル変換回路アーキテクチャ

(A Novel Time-to-Digital Converter Architecture Based on Coding Theory)

群馬大学大学院 理工学府 電子情報部門 (小林研究室)

博士後期課程 3年 李 从兵 (リ ツオンビン、LI CONGBING)

概要:

時間デジタル変換回路(Time-to-Digital Converter: TDC)は2つの信号間の時間差を計測し、デジタル値として出力する回路である。ナノCMOS時代の時間領域アナログ回路のキーコンポーネントとして高性能化・小規模回路化・低消費電力化の研究開発が行われてきている。本研究では、符号理論的アプローチを用いたTDCアーキテクチャを提案する。符号理論を利用するとフラッシュ型TDCに比べ、回路面積、消費電力及びコストを低減できる可能性がある。提案する符号理論を利用したTDCを、FPGAを用いて回路動作の確認と性能検証を行った。RTLシミュレーションとFPGA実測結果で、提案したTDCアーキテクチャの有効性を示す。

---

(2) アナログ集積回路内基準電流源生成のための永田電流ミラー回路の改良

群馬大学 工学部 電気電子工学科 (小林研究室)

学部 4 年 平野繭 (ひらの まゆ)

概要:

アナログ集積回路での、電源電圧変動に対する出力電流変動を抑えた基準定電流源を実現するために「永田電流ミラー回路を用いた定電流源」の改良回路を提案する。オリジナルの永田電流ミラー回路は入力電流変化に対し出力電流が不感であるピーク値を持つが、出力電流変動が小さい電源電圧変動範囲は非常に狭い。そこで、複数の電流ミラー回路を用いて異なる入力電流でピークを持つ構成で、総出力電流を一定にする CMOS 回路およびバイポーラ回路を考案し、理論解析・シミュレーションで動作を確認したので報告する。

---

(3) 低電力 IoT デバイスを対象とする高速な同期加算平均法によるノイズ低減

機能を持つ小型電力解析装置の設計

早稲田大学大学院 基幹理工学研究科情報理工・情報通信専攻 (戸川研究室)

修士 1 年 北山遼育

概要:

IoT デバイスの低電力化やセキュリティ対策のため、IoT デバイスに対する電力解析が求められる。我々は IoT デバイスの汎用ポートを用いて同期加算平均法によるノイズ低減機能を実装した小型電力解析装置を提案した。同期加算平均法は測定を繰り返し、得られたすべての波形を加算、平均化することでノイズを低減する手法である。本発表では、各測定の波形を解析し、ノイズ低減効果がわずかな測定を省くノイズ低減効果の逐次評価機能の実装によって測定の繰り返し回数を最適化し、高速な同期加算平均法によるノイズ低減処理を実現した小型電力解析装置を提案する。提案する電力解析装置を用いて、IoT デバイス上に実装された AES 暗号を電力解析した。その結果、提案する電力解析装置は既存のものと比較し、35%の測定時間を低減しつつ同等の精度を持つ解析結果が得られた。

=====

(4) レイアウト面積最小化問題における高速化のための SAT への定式化

会津大学 小平研究室

博士 2 年 増子 駿

概要:

集積回路のレイアウト設計では、製造コスト削減やチップの歩留まり向上などのために、面積の最小化が所望される。これまでに、発表者らは、nMOS もしくは pMOS のどちらかのみからなる MOS 回路と CMOS 回路に対するレイアウト面積最小化問題を SAT へ定式化する手法を提案した。しかし、これらの手法では制約や目的関数には効率的でない定式化がある。そこで、本研究では、各制約や目的関数に対して、新たな定式化を提案し、計算機実験にてその効果を比較する。

=====

(5) Self-Aligned Quadruple Patterning のための 3 次配線アルゴリズムを用い

た効率的な配線生成手法

東京工業大学大学院 理工学研究科 通信情報工学専攻 高橋研究室

修士 2 年 井原岳志

Self-Aligned Quadruple Patterning は 14nm ノードにおける重要な製造技術である。SAQP に関する様々な配線アルゴリズムが提案されているが、密集した SAQP に適した配線パターンを効率的に生成するのは容易ではない。SAQP に適した配線パターンを生成するために部分的に色が塗られたグリッドが提案されているが、そのグリッド上で許容できる配線パターンを見つけることは容易ではない。グリッド上での SAQP の配線パターンは 3 種類の配線から構成され、3 次配線は折れ曲がり制約を持つ。本投稿では、提案する適切な配線グラフを用いた折れ曲がり制約を満たした配線を生成するアルゴリズムを提案する。

=====