

高信頼性 Nch-LDMOS の提案

松田 順一* 神山 雅貴 築地 伸和 小林 春夫 (群馬大学)

A proposal of high reliability Nch-LDMOS

Jun-ichi Matsuda*, Masataka Kamiyama, Nobukazu Tsukiji, Haruo Kobayashi, (Gunma University)

This paper proposes 0.35-micron process dual RESURF Nch-LDMOS to enhance reliability for 30-50V application. Hole current density caused by impact ionization at the surface in the vicinity of the drift edge for this LDMOS is 1/16 of that for a conventional LDMOS at $V_{DS}=40V$, $V_{GS}=5V$ by simulation. The dual RESURF Nch-LDMOS adequately suppresses drain current expansion caused by Kirk effect.

キーワード：横方向二重拡散 MOS, 信頼性, ホットキャリア, 静電破壊, 電流増大, カーク効果 (LDMOS, reliability, hot carrier, ESD, current expansion, Kirk effect)

1. はじめに

民生用の電源等の回路に多く用いられている集積型中高耐圧 (30 ~ 50V) LDMOS (Lateral Double-diffused MOSFET) を車載用に展開する場合、より一層の高い信頼性と広い SOA (Safe Operating Area) が要求される。このためには、LDMOS 中の真性 MOSFET のドレイン側ゲート端周りでのインパクト・イオン化による電子正孔対の発生を抑え、Kirk 効果⁽¹⁾⁽²⁾によるドレイン電流の増大⁽³⁾⁽⁴⁾を抑えることが必要である。また、LDMOS 本体を ESD (Electro-Static Discharge) 素子として兼用する場合、ドレインのブレークダウンはバルクの pn 接合で発生させる必要がある。これらの必要性を満たす新構造 Nch-LDMOS を提案し、シミュレーションでその特性を確認する。

2章で新構造 Nch-LDMOS を従来型 Nch-LDMOS と比較して紹介し、3章でシミュレーション結果を示し、4章でそのシミュレーション結果を解析する。そして、5章でまとめる。

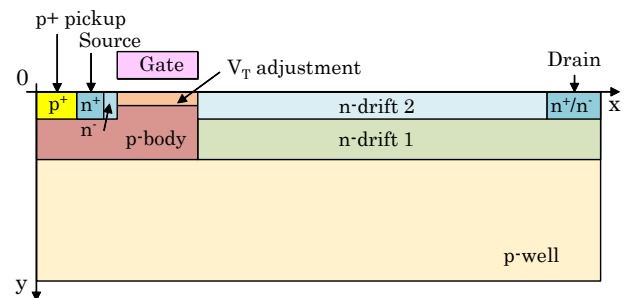
2. 従来型と新型 Nch-LDMOS

〈2.1〉 従来型 Nch-LDMOS

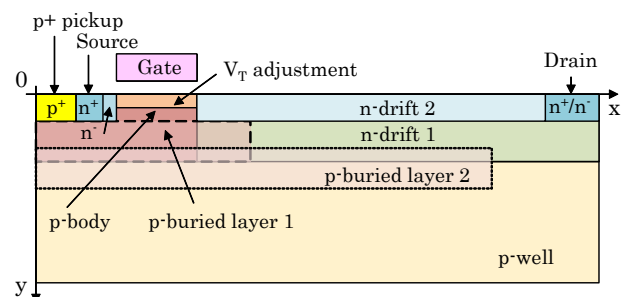
従来型 Nch-LDMOS 構造を図 1(a)に示す。ここでは、ドリフト領域上に素子分離用の酸化膜のない単純な構造とした。但し、広い SOA を確保するためにドリフト層上部の濃度を高くしてある⁽⁵⁾。

〈2.2〉 新型 (デュアル RESURF) Nch-LDMOS

新型 Nch-LDMOS の構造を図 1(b)に示す。本構造は図 1(a)の従来型を基本として、ドリフト層を 2 段階 (デュアル) の p-埋め込み層で囲ってある。p-埋め込み層 1 はゲート近傍のドリフト層内の RESURF を一層強める働きをする。



(a) 従来型 Nch-LDMOS



(b) 新型 Nch-LDMOS

図 1 従来型と新型 Nch-LDMOS 構造

Fig. 1. Structures of conventional and new Nch-LDMOSs.

p-埋め込み層 2 は残りのドリフト層全体の RESURF を強める役割をはたす。この層は、ドレイン下までである構造のものが報告されているが⁽⁶⁾、ここでは、この層はドレイン下にはない。これは、ドレイン-基板 (p-ウェル) 間耐圧の低下を避け、またドレイン近傍での電流密度の上昇を抑え、

Kirk 効果を抑制させるためである。これら埋め込み層の追加に伴い、閾値電圧調整用とドリフト層上部への不純物イオン注入量は、適度なオン抵抗を得るように調整されている。

〈2・3〉 プロセスとシミュレーションによる解析

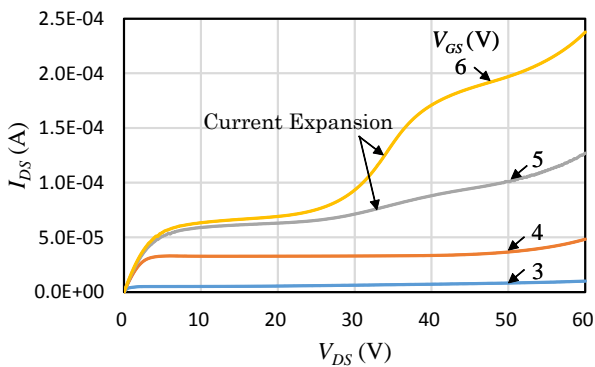
0.35 μm プロセスをベースに、デバイス・シミュレータを用いて不純物プロファイルを関数入力し、従来型と新型 Nch-LDMOS（以下では LDMOS と記す）を形成した。ここで、ゲート酸化膜厚は 12nm、ゲート長は 0.35 μm 、ゲート幅は 0.3 μm 、ドリフト長は 2.95 μm （ゲート端～ドレイン端）、である。

用いたデバイス・シミュレータはアドバンスソフト社の 3 次元 TCAD 中の Advance/DESSERT (β 版) である。このシミュレータは 3 次元機能を有するが、2 次元で本解析を行なった。

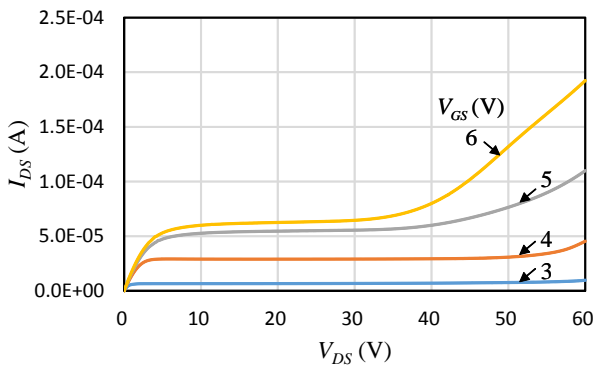
3. シミュレーション結果

〈3・1〉 電気的基本特性

$V_{DS}=0.1\text{V}$ での閾値電圧 V_T (at $I_{DS}=10^{-8}\text{A}$) は、2.425V (従来型)、2.106V (新型) であった。また、 $V_{DS}=60\text{V}$ での V_T は、2.300V (従来型)、2.021V (新型) であった。し



(a) 従来型 LDMOS



(b) 新型 LDMOS

図 2 従来型と新型 LDMOS の I_{DS} - V_{DS} 特性

Fig. 2. I_{DS} - V_{DS} characteristics of conventional and new LDMOSs.

たがって、 V_{DS} が 0.1V から 60V まで変化すると、 V_T は従来型で 0.125V、また新型で 0.085V ほどそれぞれ低下するが、いずれもその低下量は小さく、両型とも DIBL (Drain Induced Barrier Lowering) 起因の閾値電圧低下が十分に抑制されている。

特性オン抵抗 R_{onA} は、従来型で 68.7 $\text{m}\Omega\text{mm}^2$ 、新型で 69.3 $\text{m}\Omega\text{mm}^2$ になっており、両型ではほぼ同等であった。

〈3・2〉 I_{DS} - V_{DS} 特性

図 2(a) に従来型、また (b) に新型 LDMOS の I_{DS} - V_{DS} 特性を示す。従来型では、 $V_{DS}=30\text{V}$ 辺りから電流増大 (Current Expansion: CE) が $V_{GS}=5\text{V}$ で弱く出ているが、 $V_{GS}=6\text{V}$ ではそれが顕著になっている。新型では、 $V_{DS}=40\text{V}$ 辺りから $V_{GS}=5\text{V}$ 、6V で電流の増大はあるが、CE が発生している様子はない。

〈3・3〉 ブレークダウン電圧電流特性

図 3 に従来型と新型 LDMOS のブレークダウン時の I_{DS} - V_{DS} 特性を比較して示す。ブレークダウン電圧 BV_{DS} は、68V (従来型)、61V (新型) であり、新型で低くなっているが、50V 動作の場合、新型でも問題ないと考える。

4. シミュレーションによる結果の解析

〈4・1〉 真性 MOSFET のドレイン電圧の V_{DS} 依存性

図 4(a) に従来型、また (b) に新型 LDMOS の真性 MOSFET のドレイン電圧 $V_{DS,int}$ と V_{DS} の関係を示す。 $V_{DS,int}$ はドレイン側ゲート端の表面での電子の擬フェルミ電位とする。 $V_{GS}=3, 4\text{V}$ では、従来型と新型とも V_{DS} の低い段階から $V_{DS,int}$ は急峻に立ち上がり、その後飽和傾向にある ($V_{DS}=60\text{V}$ で従来型では $V_{DS,int} \approx 4\text{V}$ 、新型では $V_{DS,int} \approx 3\text{V}$)。 $V_{GS}=5, 6\text{V}$ では、 V_{DS} の低いところで $V_{DS,int}$ は従来型と新型ともに 1V 程度で飽和傾向にあるが、 V_{DS} が高くなってくると (従来型では $V_{DS} \approx 30\text{V}$ 、新型では $V_{DS} \approx 40\text{V}$ から) $V_{DS,int}$ が上昇する。

上記の如く、 $V_{GS}=3, 4\text{V}$ と $V_{GS}=5, 6\text{V}$ で特性が異なるため、以下ではこれらの電圧領域で分けて解析する。

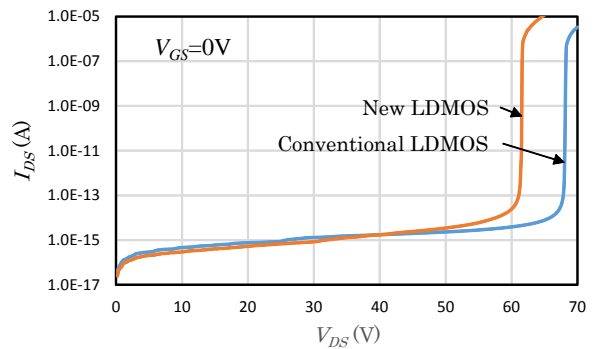
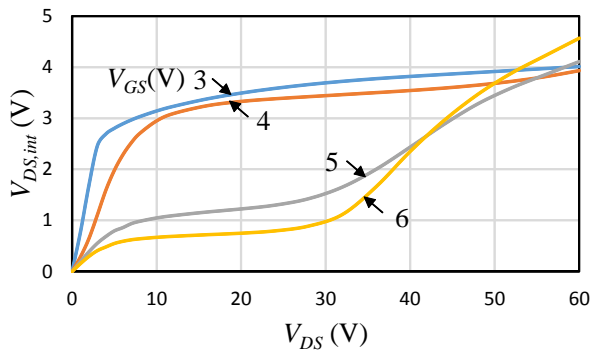
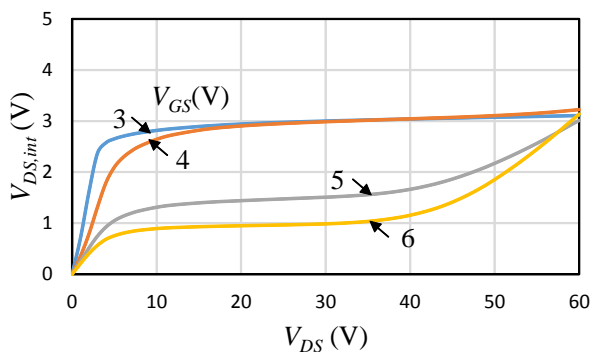


図 3 従来型と新型 LDMOS のブレークダウン時の I_{DS} - V_{DS} 特性

Fig. 3. I_{DS} - V_{DS} characteristics at breakdown for conventional and new LDMOSs.



(a) 従来型 LDMOS



(b) 新型 LDMOS

図 4 従来型と新型 LDMOS の $V_{DS,int}$ - V_{DS} 特性

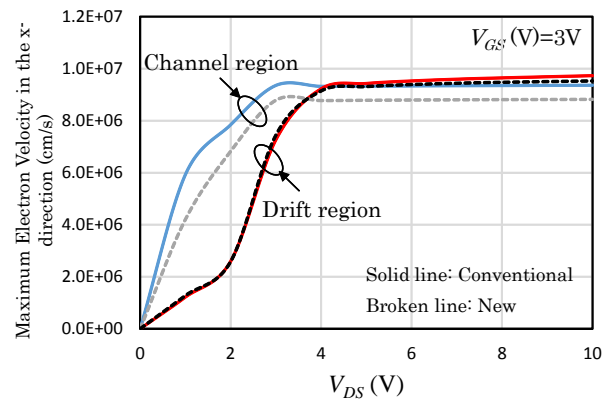
Fig. 4. $V_{DS,int}$ - V_{DS} characteristics of conventional and new LDMOSs.

〈4・2〉電子速度の V_{DS} 依存性

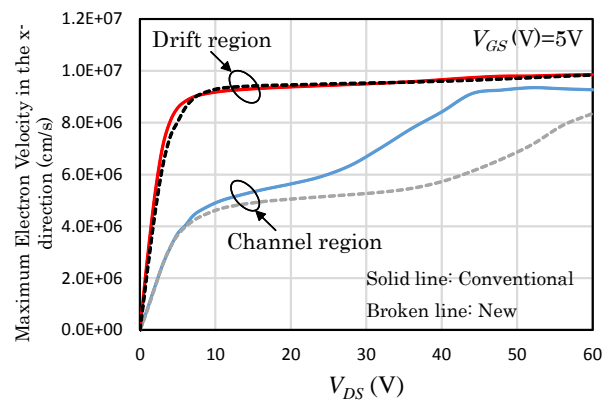
表面での x (横) 方向の最大電子速度 v_{maxx} の V_{DS} 依存性をチャンネル領域とドリフト領域で分けて、図 5(a)に $V_{GS}=3V$ の場合を、また (b)に $V_{GS}=5V$ の場合をそれぞれ示す。 $V_{GS}=3V$ の場合、チャンネル領域での v_{maxx} は従来型と新型共にドリフト領域の v_{maxx} より早く V_{DS} と共に立ち上がり、 $V_{DS} \approx 3V$ で飽和する。この立ち上がりは、図 4(a),(b)の $V_{GS}=3V$ の場合の $V_{DS,int}$ の早い立ち上がり起因している。したがって、 $V_{GS}=3V$ では、真性 MOSFET が $V_{DS} \approx 3V$ で飽和領域に入り、図 2(a),(b)の飽和特性を決定している。この状態は $V_{GS}=4V$ の場合も同じと考える。

$V_{GS}=5V$ の場合、ドリフト領域での v_{maxx} が従来型と新型共にチャンネル領域の v_{maxx} より早く V_{DS} と共に立ち上がり、 $V_{DS} \approx 8V$ で飽和する。この速度飽和が、図 2(a),(b)の $V_{DS} < 30V$ までの飽和特性を決定する。チャンネル領域の v_{maxx} は、従来型の場合、 $V_{DS}=10 \sim 30V$ の範囲では緩やかに上昇しているが、 $V_{DS}=30V$ を超えると大きく上昇し、 $V_{DS}=43V$ 辺りで飽和する。これは、図 4(a)の $V_{DS,int}$ の上昇に起因しており、Kirk 効果により図 2(a)の CE を発生させる。CE 発生後は、真性 MOSFET の飽和特性が出ている⁽⁷⁾。

一方、新型ではチャンネル領域の v_{maxx} は、 $V_{DS}=10 \sim 40V$ の



(a) $V_{GS}=3V$



(b) $V_{GS}=5V$

図 5 x 方向の最大電子速度の V_{DS} 依存性

Fig. 5. V_{DS} dependence of maximum electron velocity in the x-direction.

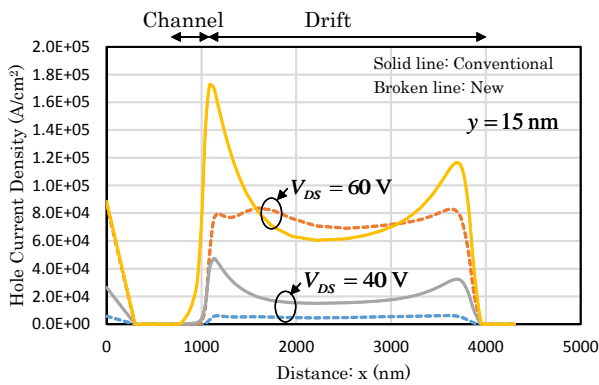
範囲でほぼ飽和状態にあるが、 $V_{DS}=40V$ を超えた辺りから上昇を始める。しかしながら、 $V_{DS}=60V$ でもこの v_{maxx} は飽和に達してなく、真性 MOSFET は飽和状態にない。

$V_{GS}=6V$ の状態は $V_{GS}=5V$ の場合と同じであると考えますが、 $V_{GS}=5V$ の場合よりもっと顕著である。

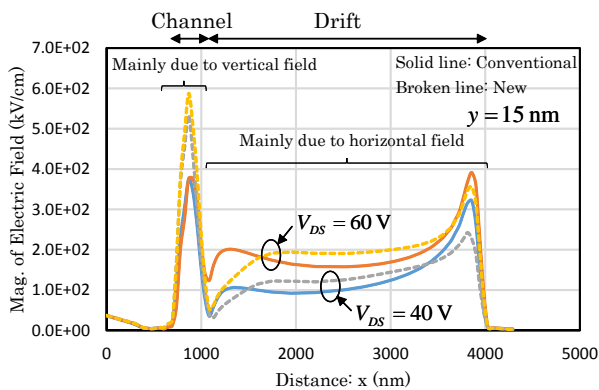
〈4・3〉正孔電流密度と電界形状 ($V_{GS}=5V$)

$V_{GS}=5V$ の場合、y (深さ方向) =15nm での x 方向の正孔電流密度の形状を図 6(a)に、また (b)に電界の大きさの形状をそれぞれ示す。正孔電流密度は、従来型ではドリフト領域の両端でピークを持つが、新型ではドリフト領域内ではほぼ平坦である。この形状により、チャンネル側ドリフト端で新型の正孔電流密度は従来型に比べて、 $V_{DS}=60V$ では半分以上以下に、また $V_{DS}=40V$ では、1/7 以下に低下している。

電界は従来型と新型共に $V_{DS}=40, 60V$ でドリフト層のドレイン側で Kirk 効果によりピークを持つが、その大きさは新型の方で低くなっている。また、従来型はドリフト層のチャンネル側でも電界のピークを持つが、新型ではそれがなく、新型の電界は従来型に比べて低くなっている。これは、新型の p-埋め込み層 1 により、チャンネル側ドリフト端で



(a) 正孔電流密度の形状



(b) 電界の大きさの形状

図 6 正孔電流密度と電界形状の従来型と新型 LDMOS 間での比較 ($V_{GS}=5V$)

Fig. 6. Comparison of hole current density and electric field profiles at $V_{GS}=5V$ between conventional and new LDMOSs.

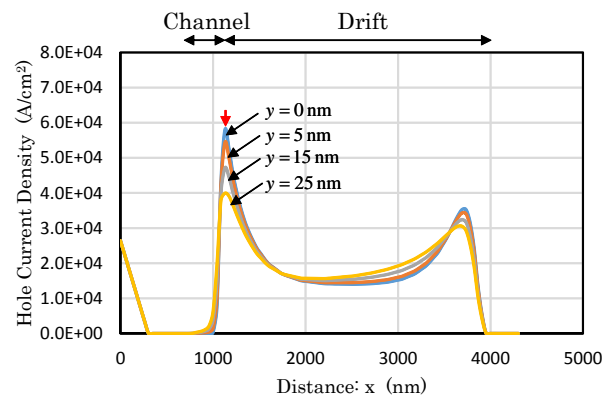
RESURF がより強く働いているためである。これらの電界の形状が図 6(a)の正孔電流密度形状をもたらしている。

〈4・4〉 正孔電流密度形状の深さ依存性 ($V_{GS}=5V$)

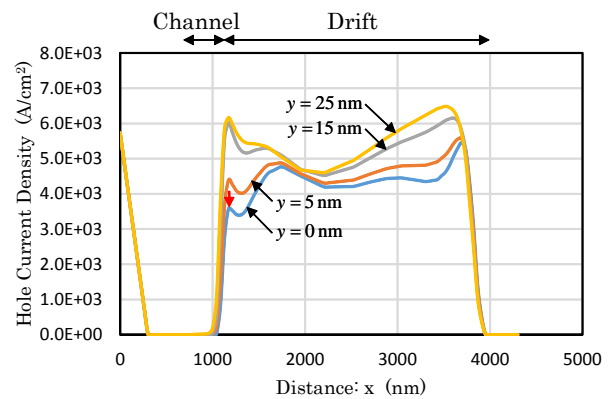
x 方向の正孔電流密度形状の y (深さ) 依存性を $V_{DS}=40V$, $V_{GS}=5V$ の場合で図 7 に示す。図 7(a)が従来型、また(b)が新型 LDMOS である。y が 0 (表面) から 25nm と大きく (深く) なるにつれ、従来型ではドリフト端の正孔電流密度形状は低下しているが、新型では増大している。つまり、従来型ではドリフト端表面での正孔電流密度はドリフト内部より高くなっているが、新型ではそれは低くなっている。真性 MOSFET の特性変動に強く影響するドリフト側ゲート端表面での新型の正孔電流密度は、従来型に比べて 1/16 になっており (図 7(a),(b)内の矢印参照)、ホットキャリアによる真性 MOSFET の特性変動は、従来型に対し新型では十分に低減するものと考えられる。

〈4・5〉 正孔電流密度と電界形状 ($V_{GS}=3V$)

$V_{GS}=3V$ の場合、 $y=15nm$ での x 方向の正孔電流密度の形状を図 8(a)に、また(b)に電界の大きさの形状をそれぞれ示



(a) 従来型 LDMOS



(b) 新型 LDMOS

図 7 従来型と新型 LDMOS の正孔電流密度形状の深さ依存性 ($V_{DS}=40V$, $V_{GS}=5V$)

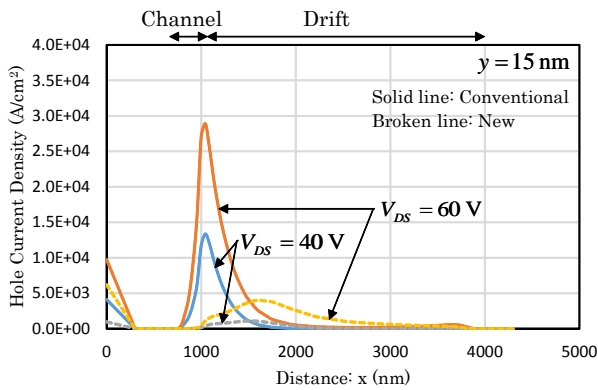
Fig. 7. Depth dependence of hole current density profiles at $V_{DS}=40V$ and $V_{GS}=5V$ for conventional and new LDMOSs.

す。正孔電流密度は、従来型ではゲート側のドリフト端でピークを持つが、新型ではそのドリフト端から約 500nm ドリフト層内に入ったところにピークを持つ。また、この新型でのピーク値は、従来型に比べて $V_{DS}=60V$ では 1/7 に、また $V_{DS}=40V$ では、1/12 以下に低下している。

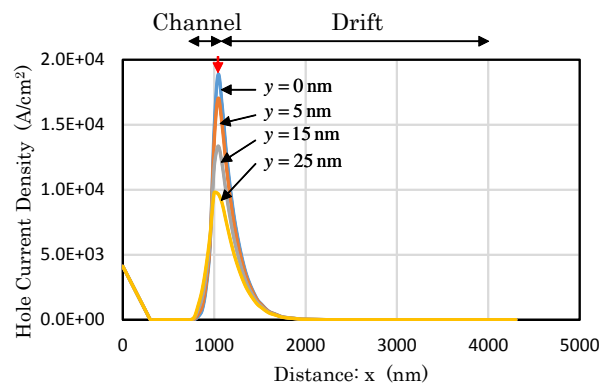
電界は従来型と新型共に $V_{DS}=60V$ ではドリフト層のドレイン側で Kirk 効果によりピークを持つが、その大きさは新型の方で低くなっている。 $V_{DS}=40V$ では、従来型と新型共にその箇所で電界にピークは無く、Kirk 効果は発生していない。チャンネル側ドリフト端では、 $V_{DS}=40, 60V$ で従来型はピークを持つが、新型はそのドリフト端から約 500nm リフト層内に入ったところにピークを持ち、ドリフト端で電界が低くなっている。ここでも p-埋め込み層 1 の強い RESURF 効果が出ている。これらの電界形状が図 8(a)の正孔電流密度形状をもたらす。

〈4・6〉 正孔電流密度形状の深さ依存性 ($V_{GS}=3V$)

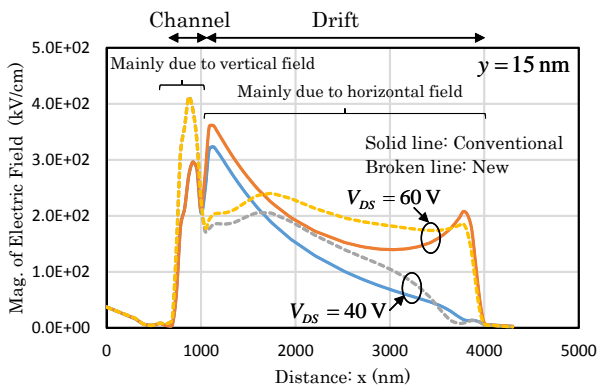
x 方向の正孔電流密度形状の y 依存性を $V_{DS}=40V$,



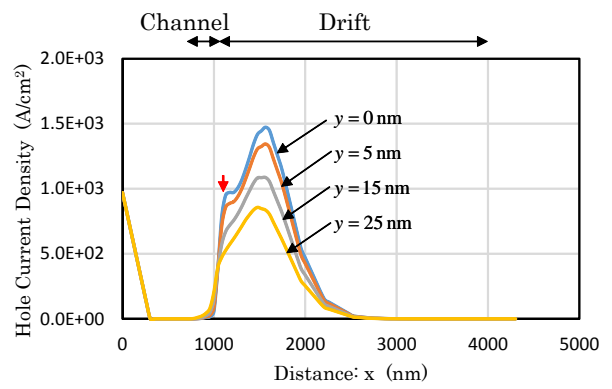
(a) 正孔電流密度



(a) 従来型 LDMOS



(b) 電界の大きさ



(b) 新型 LDMOS

図 8 正孔電流密度と電界形状の従来型と新型 LDMOS 間での比較 ($V_{GS}=3V$)

Fig. 8. Comparison of hole current density and electric field profiles at $V_{GS}=3V$ between conventional and new LDMOSs.

$V_{GS}=3V$ の場合で図 9 に示す。図 9(a)が従来型、また(b)が新型 LDMOS である。y が 0 から 25nm と大きくなるにつれ、従来型と新型ともドリフト層内の正孔電流密度形状は低下している。つまり、従来型と新型とも表面で正孔電流密度は高くなっている。真性 MOSFET の特性変動に強く影響するドリフト側ゲート端表面での新型の正孔電流密度は、従来型に比べて 1/19 になっており (図 9(a),(b)内の矢印参照)、ホットキャリアによる真性 MOSFET の特性変動は、このバイアス条件でも従来型に対し新型では十分に低減するものと考えられる。

〈4・7〉 ブレークダウン箇所

図 10(a)に従来型、また(b)に新型 LDMOS のブレークダウン時の正孔電流密度分布を比較して示す。高い正孔電流密度が従来型と新型共にドレイン下のバルク内に存在しており、ここがブレークダウン箇所となる。したがって、両型ともブレークダウン時にインパクト・イオン化によって発生する電子・正孔の酸化膜中へのトラップ、または界面への影響は抑えられ、ESD 時の特性変動は少ない

図 9 従来型と新型 LDMOS の正孔電流密度形状の深さ依存性 ($V_{DS}=40V$, $V_{GS}=3V$)

Fig. 9. Depth dependence of hole current density profiles at $V_{DS}=40V$ and $V_{GS}=3V$ for conventional and new LDMOSs.

と考える。

〈4・8〉 ブレークダウン時の電子の擬フェルミ電位と電界形状

図 11 (a)に従来型、また(b)に新型 LDMOS のブレークダウン時の x 方向の電子の擬フェルミ電位と電界の大きさの形状を示す。従来型では、電子の擬フェルミ電位の形状が直線ではなく、電界のピークがドリフトの両端で発生しており、RESURF のレベルが良くない。ドリフト領域の不純物ドーズ量を減らせば、RESURF のレベルは良くなるが、RonA が増加し、CE もより顕著になるため、これらの調整に限界がある。一方、新型では、電子の擬フェルミ電位の形状はほぼ直線で、電界はほぼ平坦になっており、RESURF のレベルは良い。

図 11 の電子の擬フェルミ電位波形からブレークダウン時の $V_{DS,int}$ は、従来型で 2.79V ($BV_{DS}=68V$)、新型で 1.93V ($BV_{DS}=61V$) となる。これらから真性 MOSFET のドレイン端で 12nm のゲート酸化膜に掛かる電界は、従来型で 2.3MV/cm、新型で 1.6MV/cm となる。これらの値は、いず

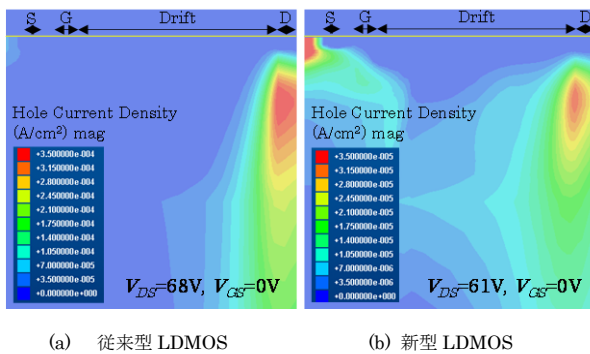


図 10 ブレークダウン時の正孔電流密度分布を従来型と新型 LDMOS で比較

Fig. 10. Comparison of hole current density contours at breakdown between conventional and new LDMOSs.

れも酸化膜破壊電界（ $\approx 10\text{MV/cm}$ ）より十分に低いため、ブレークダウン（ESD）時に問題となることはない。

5. まとめ

高信頼性の中高耐圧（ $30\sim 50\text{V}$ ）LDMOS としてドリフト層を 2 段階の p-埋め込み層で囲って形成するデュアル RESURF の新構造 Nch-LDMOS を提案し、その特性をシミュレーションで確認した。この構造では、ドレイン側ゲート端周りでインパクト・イオン化により発生する正孔の電流密度が、従来構造に比べて十分に低く、ホットキャリア耐性が高いと考える。また、ESD 耐性は、従来型と新型で同程度であり、基本的に高いと考える。

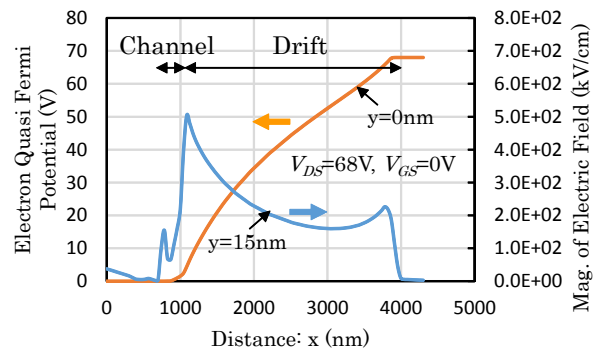
ここで提案した LDMOS 構造は、ドリフト層上部に素子分離膜のない簡単なものであるが、その膜がある LDMOS にも適用可能である。

6. 謝辞

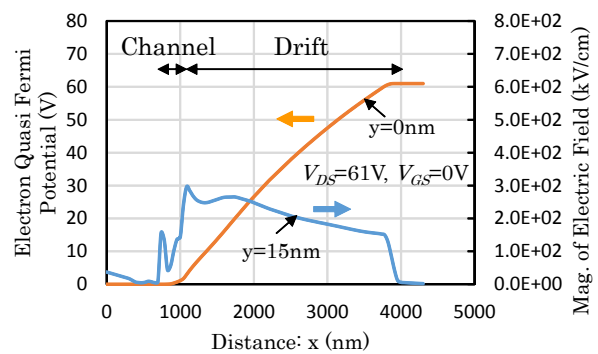
本研究で用いた 3 次元 TCAD は、アドバンスソフト社から借用させて頂いているものであり、アドバンスソフト社に深謝申し上げます。なお、その 3 次元 TCAD は、国立研究開発法人科学技術振興機構 A-STEP プログラムの助成を受けてアドバンスソフト社で開発されているものである。

文 献

- (1) C. T. Kirk : "A Theory of Transistor Cutoff Frequency (ft) Falloff and High Current Densities", IRE Transactions on Electron Devices, Vol. 9, No. 2 pp.164-174(1962)
- (2) H. C. Poon, H. K. Gummel, and D. L. Scharfetter: "High Injection in Epitaxial Transistors", IEEE Transactions on Electron Devices, Vol.16, No.5 pp.455-457 (1969)
- (3) Chih-Chang Cheng, H. L. Chou, F. Y. Chu, R. S. Liou, Y. C. Lin, K. M. Wu, Y. C. Jong, C. L. Tsai, C.L. Jun Cai, and H. C. Tuan :



(a) 従来型 LDMOS



(b) 新型 LDMOS

図 11 従来型と新型 LDMOS のブレークダウン時の電子の擬フェルミ電位と電界形状

Fig. 11. Electron quasi Fermi potential and electric field profiles at breakdown for conventional and new LDMOSs.

"Investigation of Parasitic BJT Turn-on Enhanced Two-stage Drain Saturation Current in High-voltage NLD MOS", 23rd International Symposium on International Power Semiconductor Devices & IC's (ISPSD), pp.208-210(2011)

- (4) Jingxuan Chen : "HV EDMOS Design with Expansion Regime Suppression", Master Thesis of Applied Science, Department of Electrical and Computer Engineering, University of Toronto, (2013)
- (5) P. L. Hower, J. Lin, and S. Merchant : "Snapback and Safe Operating Area of LDMOS Transistors", Technical Digest of International Electron Devices Meeting, IEMD'99, pp.193-196(1999)
- (6) Kwang-Young Ko, Il-Yong Park, Yong-Keon Choi, Chul-Jin Yoon, Ju-Hyoung Moon, Kyung-Min Park, Hyon-Chol Lim, Soon-Yeol Park, Nam-Joo Kim, Kwang-Dong Yoo, and Hutter, L.N. : "BD180LV - 0.18 μm BCD technology with best-in-class LDMOS from 7V to 30V", 22nd International Symposium on International Power Semiconductor Devices & IC's (ISPSD), pp.71-74(2010)
- (7) S. Reggiani, G. Baccarani, E. Gnani, A. Gnudi, M. Denison, S. Pendharkar, R. Wise, and S. Seetharaman, : "Explanation of the Rugged LDMOS Behavior by Means of Numerical Analysis", IEEE Transactions on Electron Devices, Vol.56, No.11 pp.2811-2818 (2009)