

高信頼性Nch-LDMOSの提案

- 松田順一、神山雅貴、築地伸和、小林春夫
群馬大学

概要

- はじめに
 - 高信頼性LDMOSの必要性と考え方
- 従来型と高信頼性(新)型LDMOSの構造
- シミュレーション結果
 - 従来型と新型で電気特性比較 ($I_{DS}-V_{GS}$, $I_{DS}-V_{DS}$, R_{onA} , BV_{DS})
- シミュレーションによる解析
 - 真性MOSFETのドレイン電圧 ($V_{DS,int}$) とLDMOSのドレイン電圧 (V_{DS}) の関係
 - 横(x)方向の最大電子速度の V_{DS} 依存性 (at $V_{GS}=3V$ and $5V$)
 - 正孔電流密度と電界の形状の解析 (at $V_{GS}=3V$ and $5V$)
 - ドレインpn接合破壊の解析
- まとめ

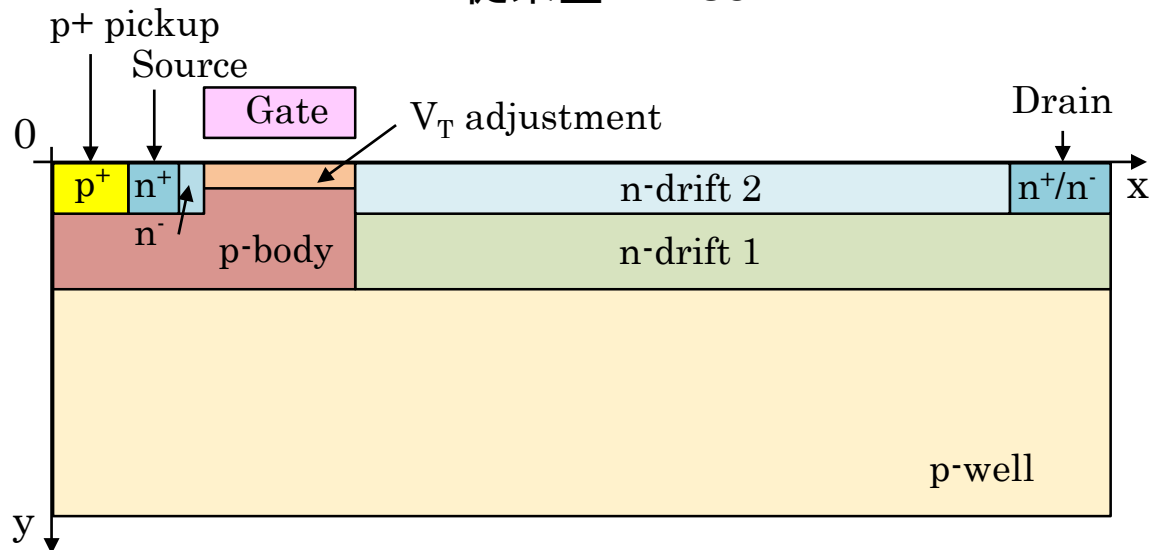
高信頼性LDMOSの必要性と考え方

- 高信頼性LDMOSの必要性
 - 信頼性: 民生用LDMOS < 車載用LDMOS
 - 車載用では民生用よりホットキャリア耐性とESD耐性を強化
- 高信頼性LDMOSの考え方
 - ホットキャリア耐性の強化
 - 真性MOSFETのドレイン近傍でのインパクト・イオン化の抑制
 - Kirk効果によるドレイン電流増大(Drain Current Expansion)の抑制
 - ESD 耐性の強化(LDMOSをESD素子として兼用する場合)
 - バルク・ブレークダウンの発生(pn junction breakdown location is in the bulk.)
- シミュレーションによる検討⁽¹⁾
 - 30~50V用Nch-LDMOSで高信頼性構造を検討

(1) アドバンスソフト社の3次元TCADの中のAdvance/DESSERT (6版) を2次元で使用

従来型と新型Nch-LDMOSの構造

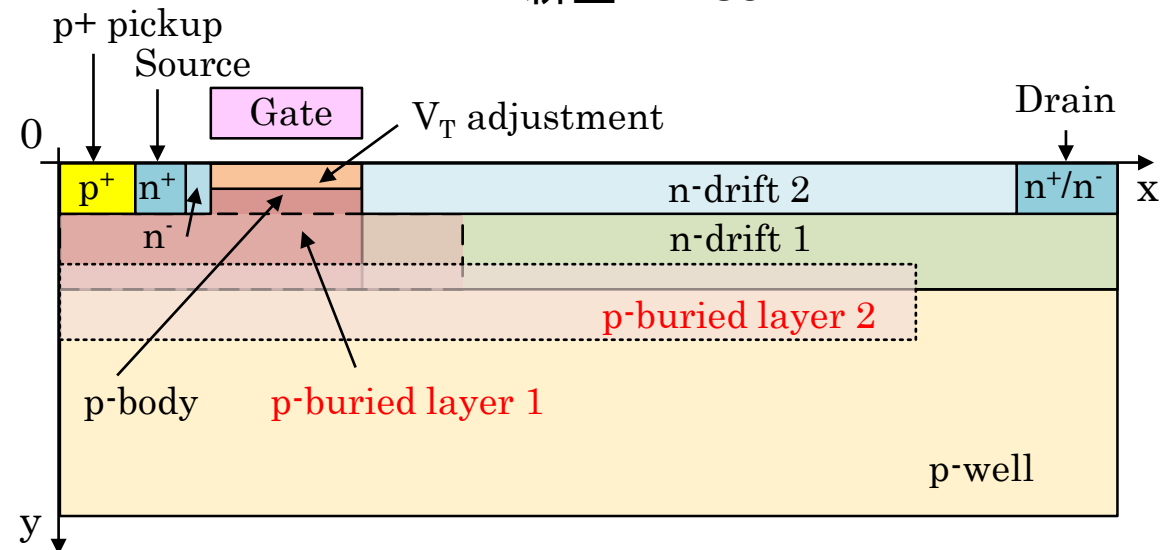
従来型LDMOS



従来型LDMOSは以下の効果を持つ。

- (1) 高ドープp-body ⇒ ドリフト端周りでのRESURFと電流増大の抑制
- (2) p-well ⇒ ドリフト領域に沿ったRESURFと適度なBVds
- (3) V_T adjustment ⇒ V_T 調整と電流増大の抑制
- (4) n-drift 2 ⇒ 低 RonA と電流増大の抑制

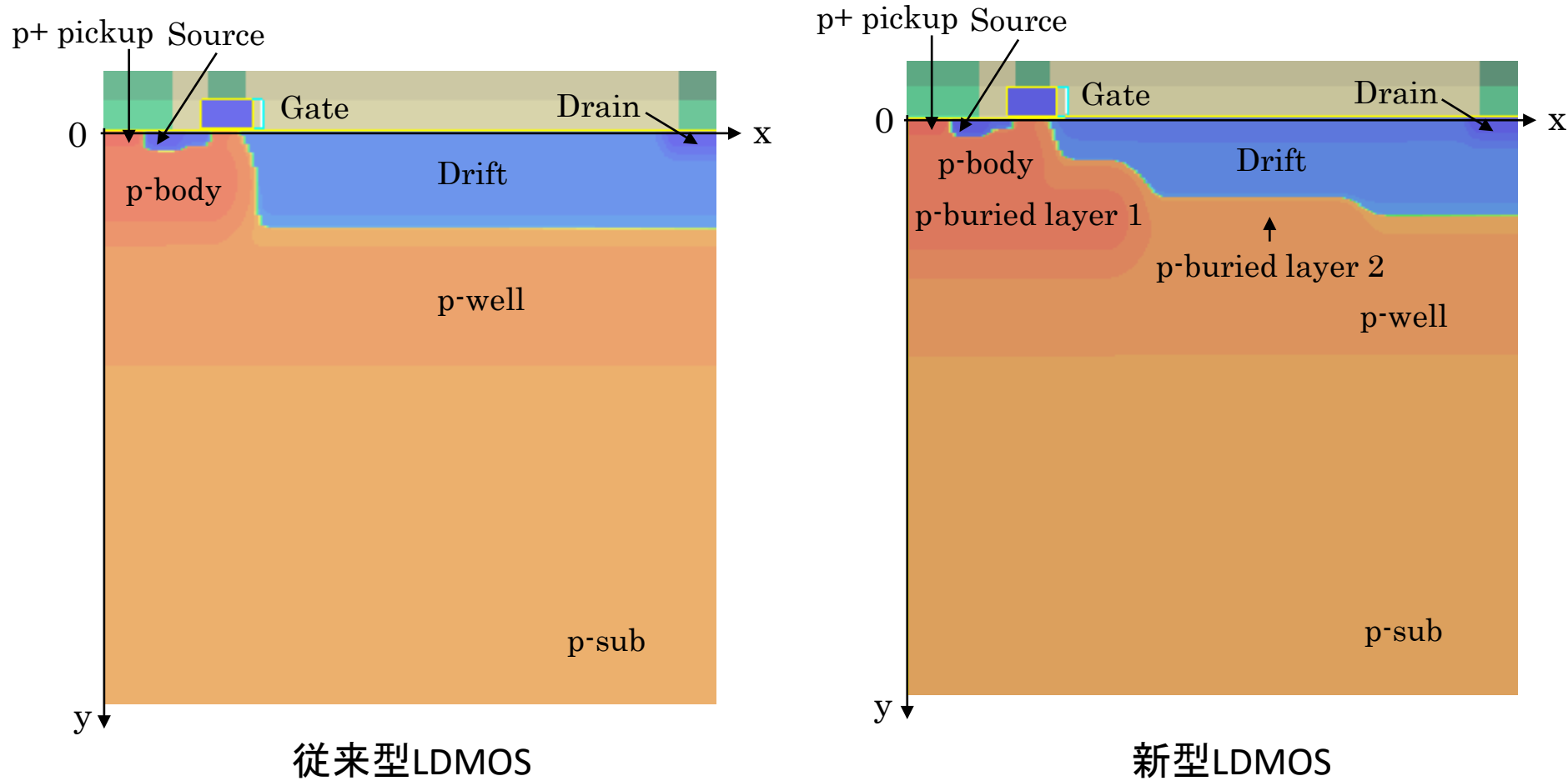
新型LDMOS



新型LDMOSは従来型に対して以下の効果を追加する。

- (5) p-buried layer 1 ⇒ ドリフト端周りでのRESURFと電流増大の抑制の強化
- (6) p-buried layer 2 ⇒ ドリフト領域に沿ったRESURFの強化
- (7) ドレインn+下のp-buried layer 2の開口 ⇒ 電流増大の抑制と適度なBVdsの維持

シミュレーションによるNch-LDMOSの構造



0.35 μm プロセス・ベース

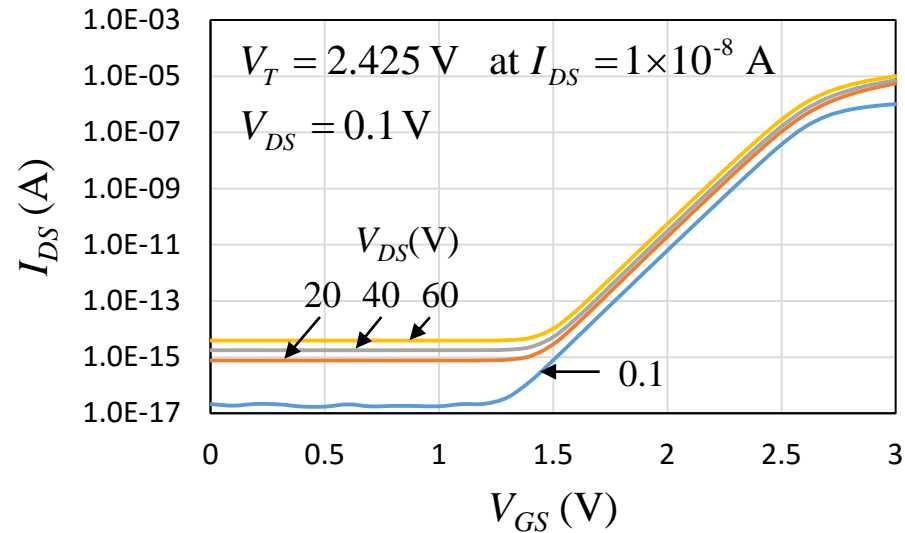
ゲート長=0.35 μm

ゲート酸化膜厚=12nm

ドリフト長=2.95 μm

デバイス幅=0.3 μm

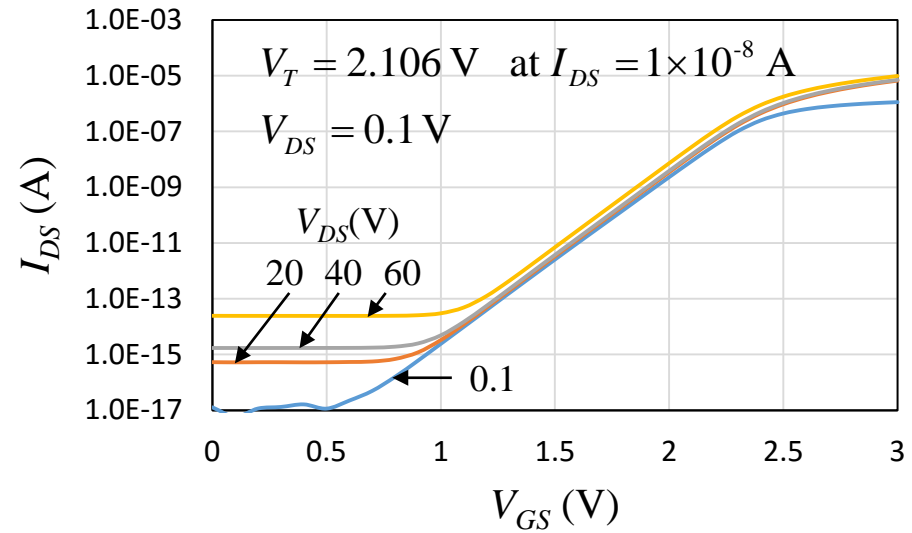
従来型と新型LDMOSの $I_{DS}-V_{GS}$ 特性の比較



従来型LDMOS

$$V_T = 2.300 \text{ V} \text{ at } I_{DS} = 1 \times 10^{-8} \text{ A}, V_{DS} = 60 \text{ V}$$

$$V_T(V_{DS} = 60 \text{ V}) - V_T(V_{DS} = 0.1 \text{ V}) = 0.125 \text{ V}$$



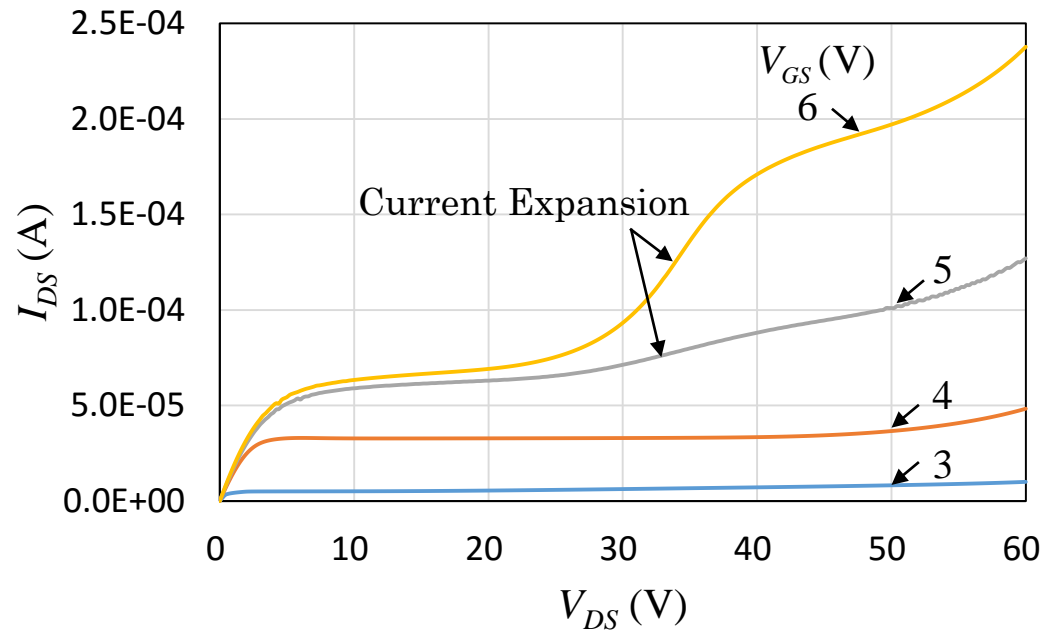
新型LDMOS

$$V_T = 2.021 \text{ V} \text{ at } I_{DS} = 1 \times 10^{-8} \text{ A}, V_{DS} = 60 \text{ V}$$

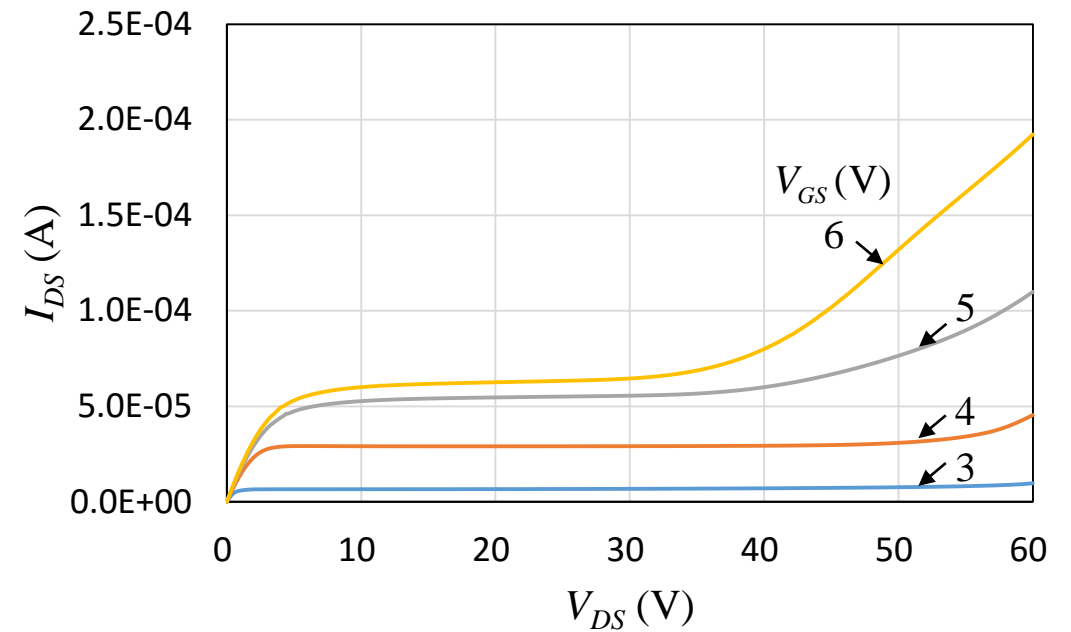
$$V_T(V_{DS} = 60 \text{ V}) - V_T(V_{DS} = 0.1 \text{ V}) = 0.085 \text{ V}$$

DIBL(Drain Induced Barrier Lowering): 従来型LDMOS > 新型LDMOS

従来型と新型LDMOSの $I_{DS}-V_{DS}$ 特性の比較



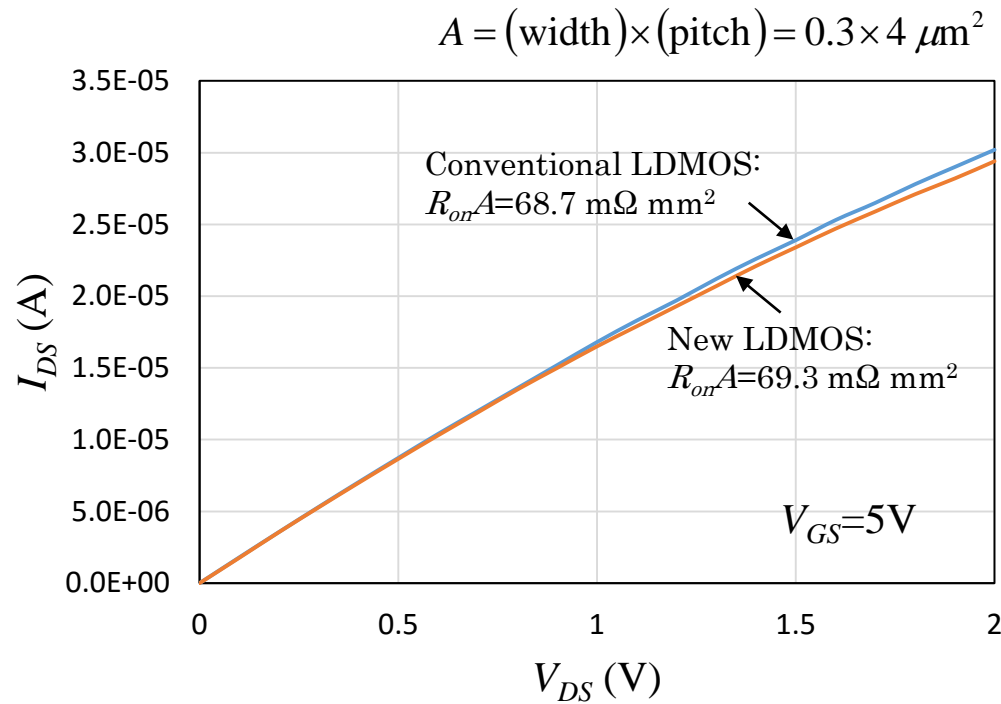
従来型 LDMOS



新型LDMOS

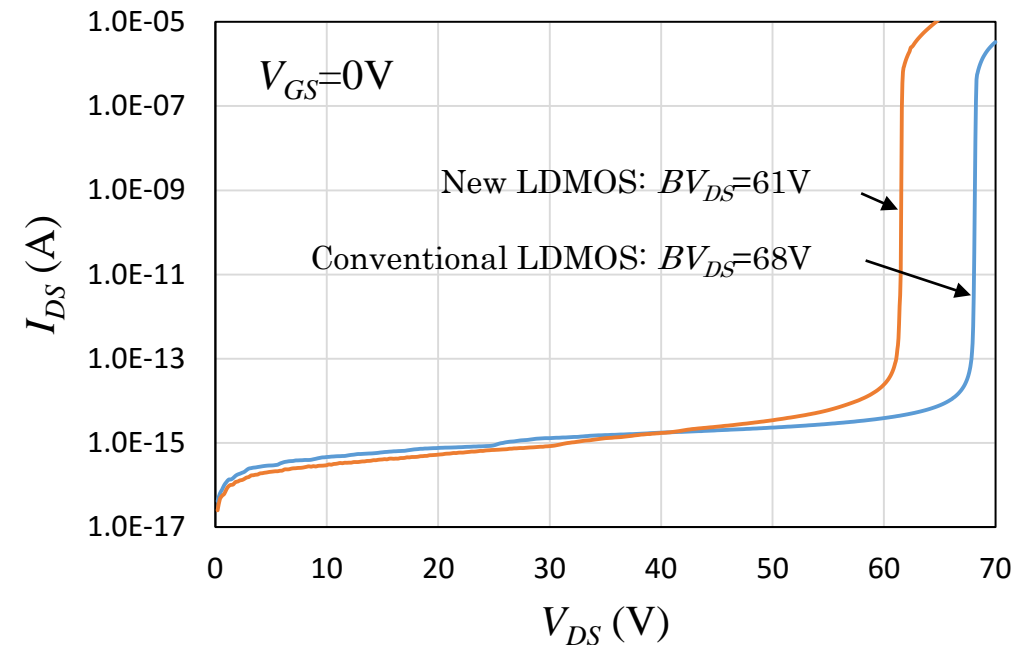
従来型LDMOSで Current Expansion 発生、新型LDMOSではその発生は無し

従来型と新型LDMOSの $R_{on}A$ and BV_{DS} の比較



$I_{DS}-V_{DS}$ 特性 (at $V_{GS}=5\text{V}$): $R_{on}A$

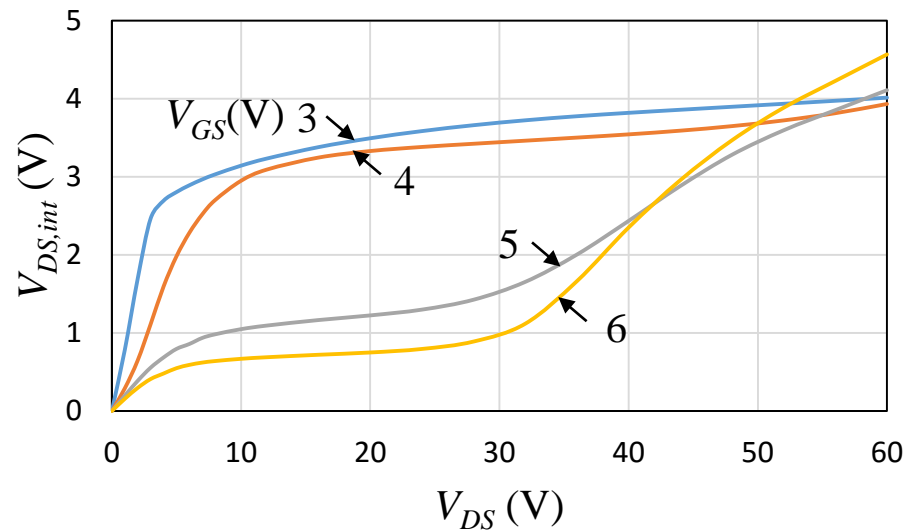
$R_{on}A$: 従来型LDMOS \doteq 新型LDMOS



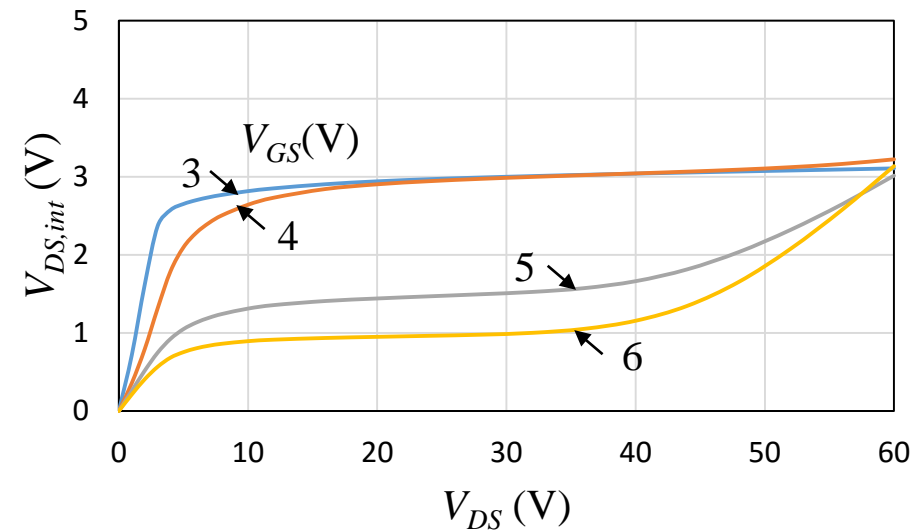
$I_{DS}-V_{DS}$ 特性 (at $V_{GS}=0\text{V}$): BV_{DS}

BV_{DS} : 従来型LDMOS $>$ 新型LDMOS

真性MOSFETのドレイン電圧($V_{DS,int}$) vs. LDMOSのドレイン電圧(V_{DS})



Conventional LDMOS



New LDMOS

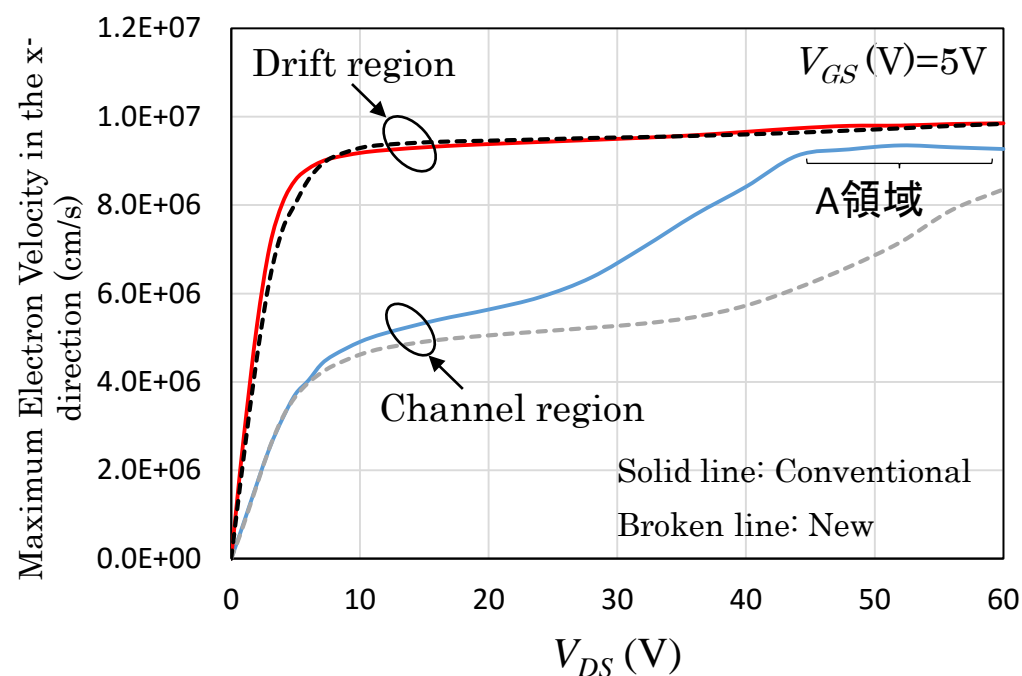
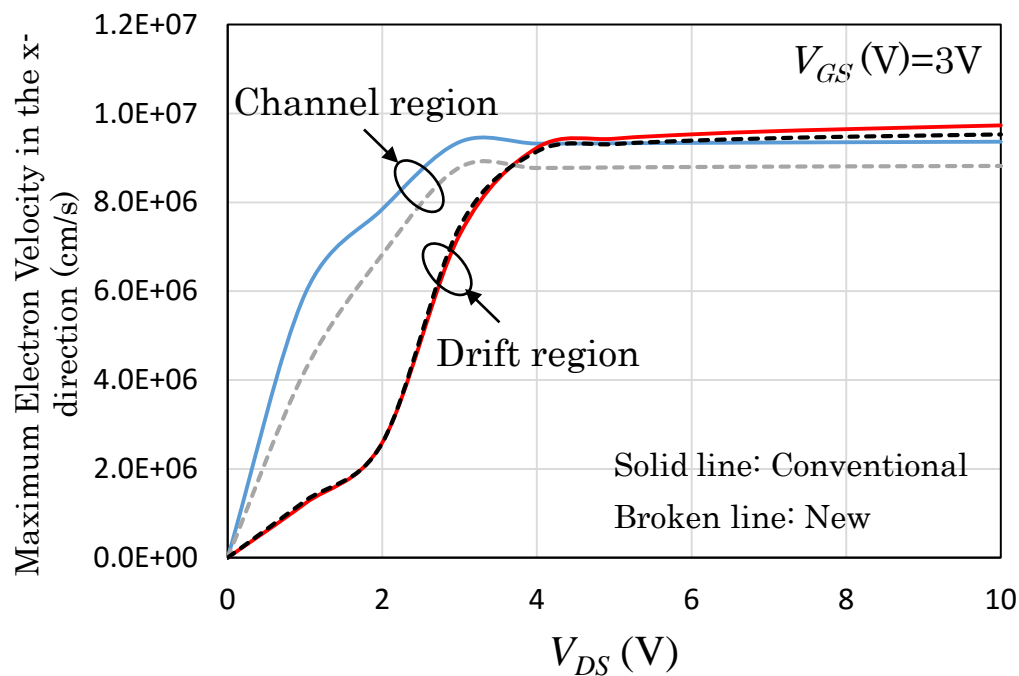
$V_{DS,int}$: ドレイン側ゲート端表面での電子の擬フェルミ電位で定義

(1) $V_{GS}=3, 4V$ と $V_{GS}=5, 6V$ で異なる特性

(2) $V_{DS,int}$ の飽和特性がDIBLに影響

従来型と新型LDMOSの表面に沿ったx方向の最大電子速度の比較

at $V_{GS}=3$ and 5V



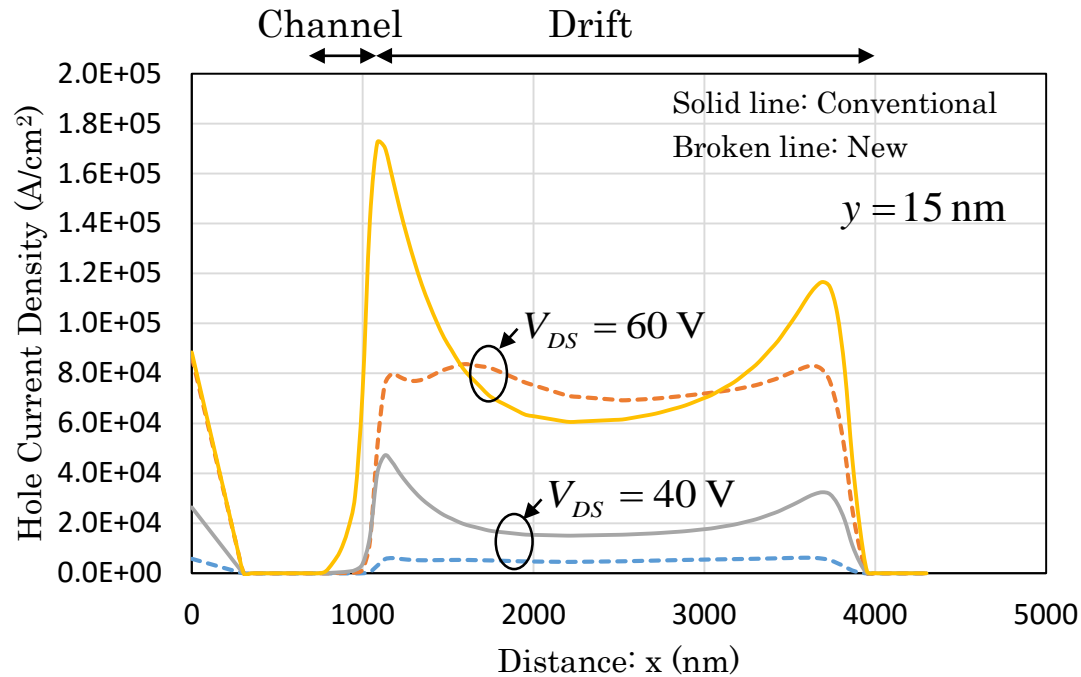
$I_{DS}-V_{DS}$ の飽和特性 ($V_{GS}=3V$) \Rightarrow 従来型も新型もチャネル領域の飽和特性に依存 ($V_{DS,int}$ が高いことに対応)

$I_{DS}-V_{DS}$ の飽和特性 ($V_{GS}=5V$) \Rightarrow 従来型も新型もドリフト領域の飽和特性に依存 ($V_{DS,int}$ が低いことに対応)

(従来型のA領域: current expansion 後の飽和特性に寄与 \Rightarrow 真性MOSFETのインパクトイオン化増加)

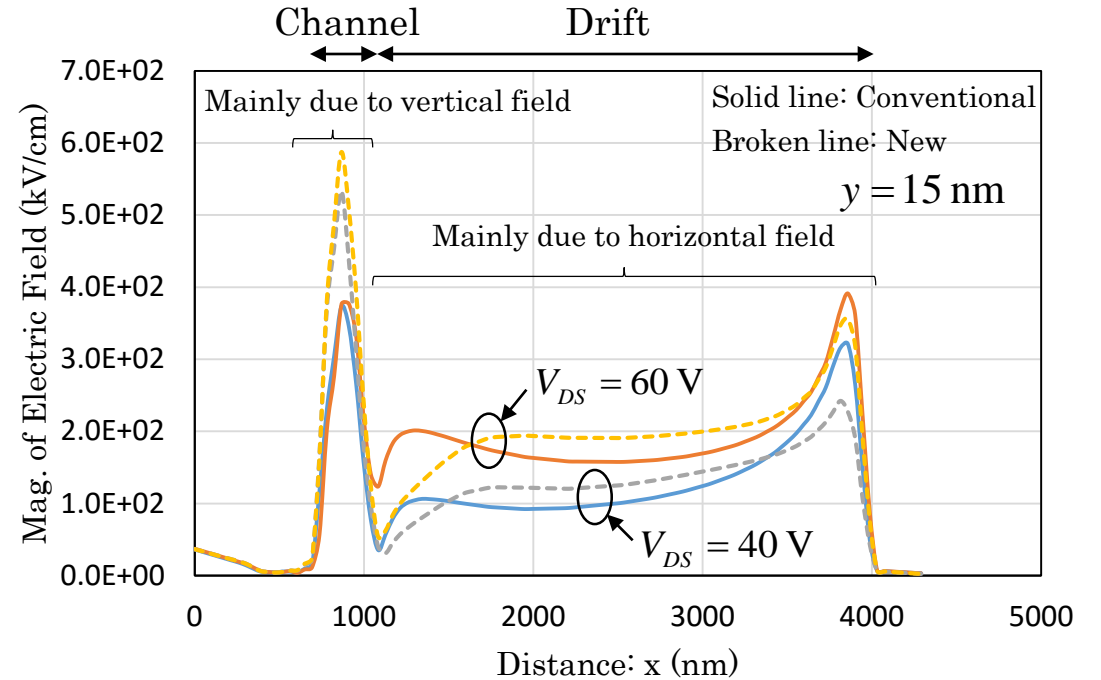
従来型と新型LDMOSの正孔電流密度と電界形状の比較

at $V_{GS}=5V$



正孔電流密度形状

ドリフト両端近傍での正孔電流密度：従来型LDMOS > 新型LDMOS

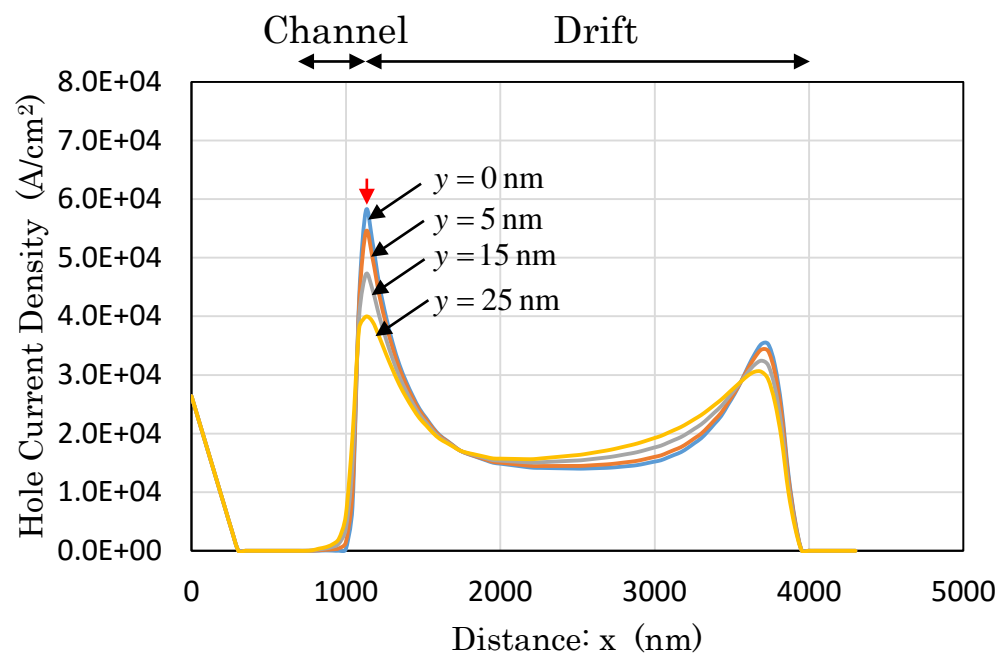


電界形状

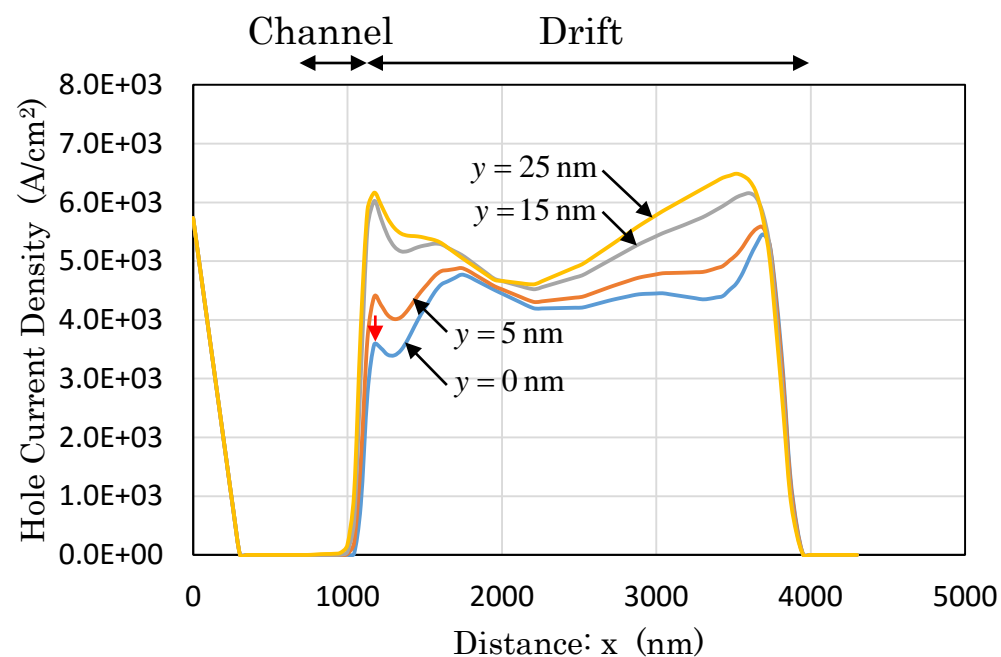
ドリフト両端近傍での電界：従来型LDMOS > 新型LDMOS
(p-埋め込み層1と2の効果)

従来型と新型LDMOSの正孔電流密度形状の深さ(y)依存性の比較

at $V_{DS}=40V$ and $V_{GS}=5V$



従来型LDMOS

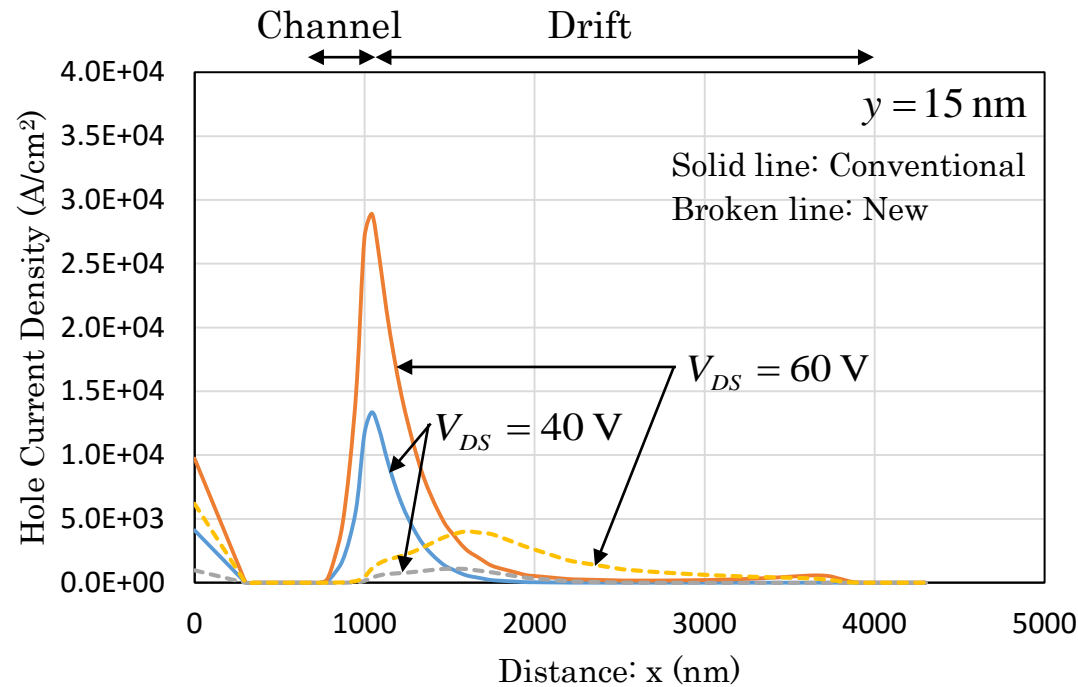


新型LDMOS

チャンネル側ドリフト端近傍での $y=0nm$ における正孔電流密度(矢印箇所) \Rightarrow 新型/従来型LDMOS = 1/16

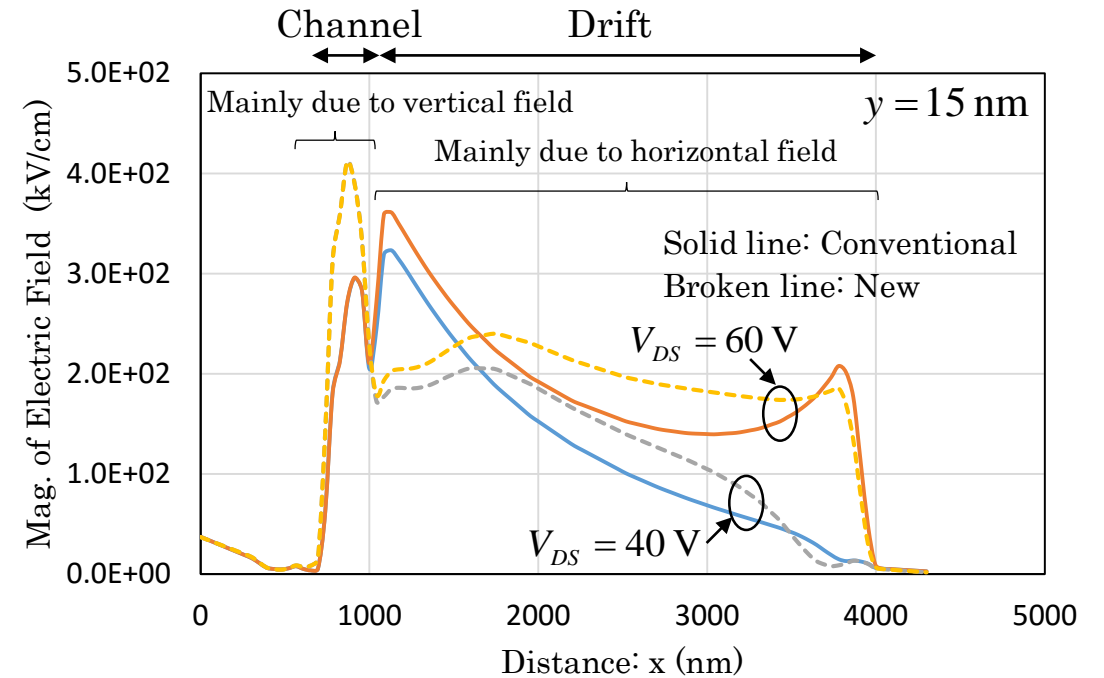
従来型と新型LDMOSの正孔電流密度と電界形状の比較

at $V_{GS}=3V$



正孔電流密度形状

チャンネル側ドリフト端近傍の正孔電流密度:
従来型LDMOS > 新型LDMOS

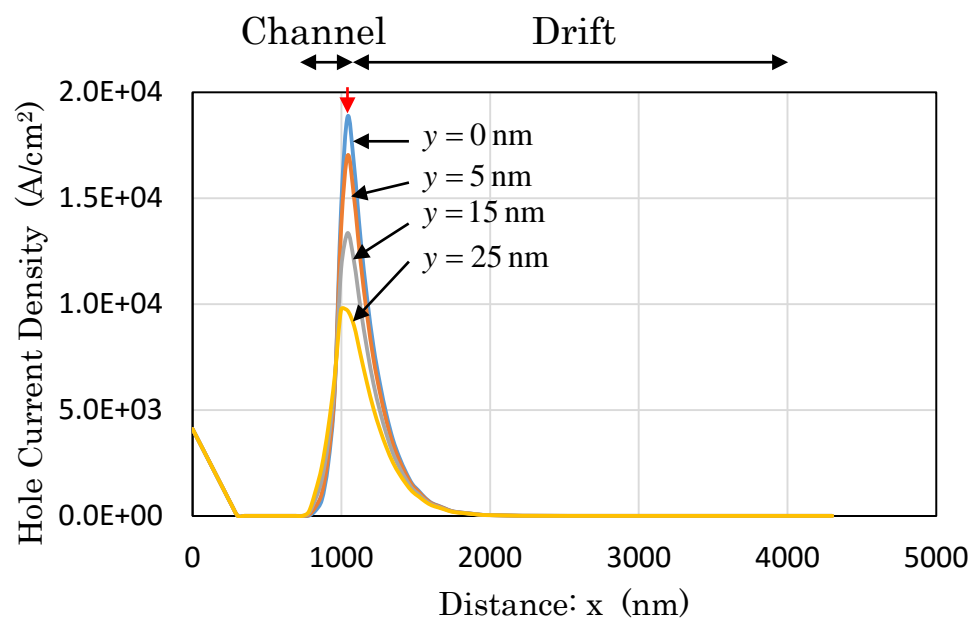


電界形状

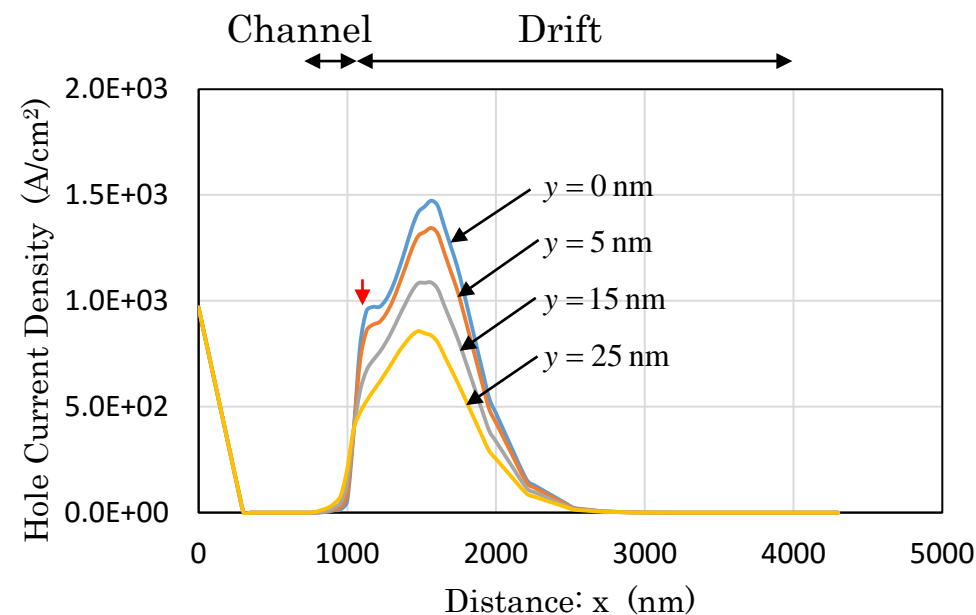
チャンネル側ドリフト端近傍の電界:
従来型LDMOS > 新型LDMOS
(p-埋め込み層1の効果)

従来型と新型LDMOSの正孔電流密度形状の深さ(y)依存性の比較

at $V_{DS}=40V$ and $V_{GS}=3V$



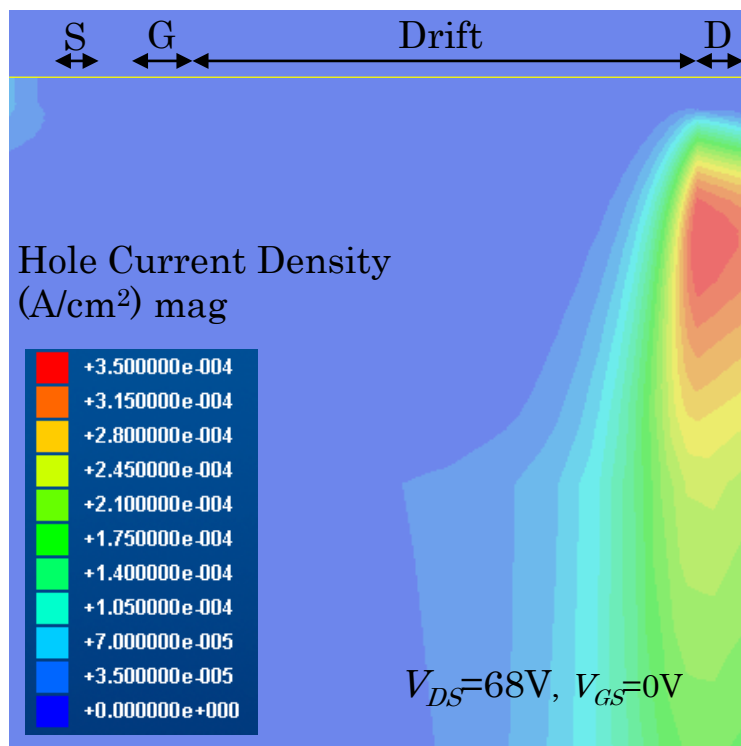
Conventional LDMOS



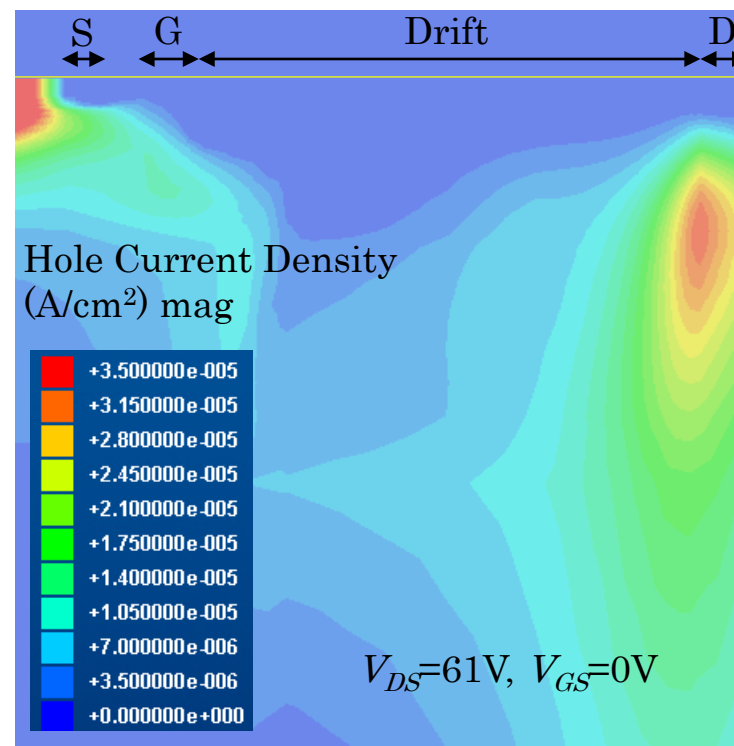
New LDMOS

チャネル側ドリフト端近傍での $y=0nm$ における正孔電流密度(矢印箇所) \Rightarrow 新型/従来型LDMOS = 1/19

従来型と新型LDMOSのブレークダウン時の正孔電流密度分布の比較



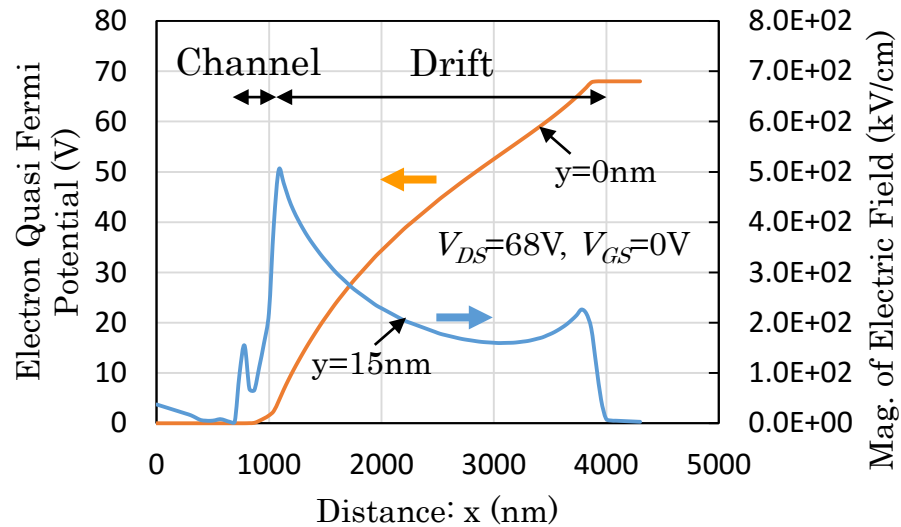
従来型LDMOS



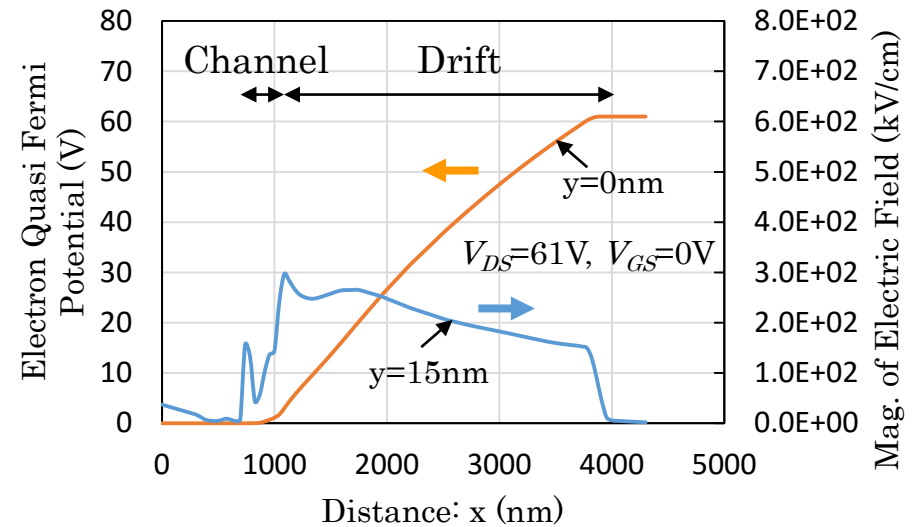
新型LDMOS

従来型も新型LDMOSもバルク・ブレークダウンが発生

従来型と新型LDMOSのブレークダウン時における電子の擬フェルミ電位と電界形状の比較



従来型LDMOS

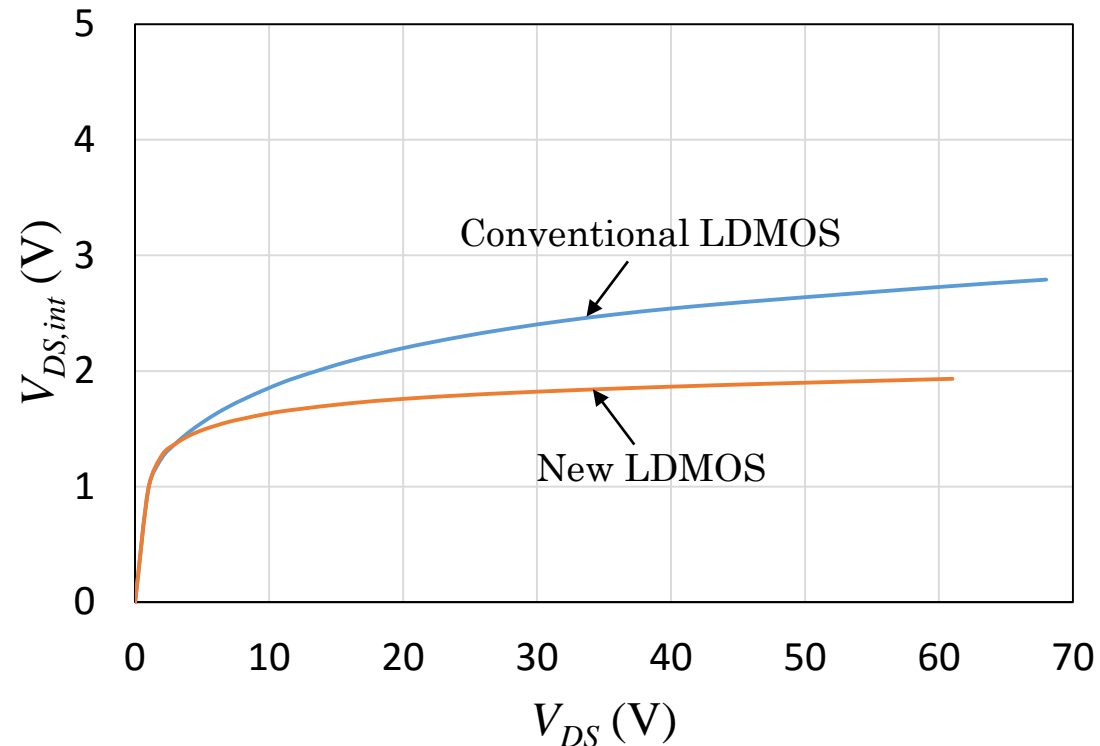


新型LDMOS

RESURFのレベル: 従来型LDMOS < 新型LDMOS

従来型と新型LDMOSで $V_{DS,int} - V_{DS}$ の比較

at $V_{GS}=0V$



ブレイクダウン時

従来型LDMOS

$$V_{DS,int}=2.79V \text{ at } BV_{DS}=68V$$

新型LDMOS

$$V_{DS,int}=1.93V \text{ at } BV_{DS}=61V$$

ブレイクダウン時にゲート酸化膜(12nm)に掛かる電界:
2.3MV/cm(従来型LDMOS)、1.6MV/cm(新型LDMOS) ≪ 酸化膜破壊電界(約10MV/cm)

まとめ

項目	従来型LDMOS	新型LDMOS
真性MOSFETのドレイン側ゲート端周りで のインパクト・イオン化による正孔電流密度	高	低
真性MOSFETのドレイン端周りの ドリフト領域内の電界の大きさ	高	低
ブレークダウンの箇所	バルク	バルク
ドレイン電流増大	強 (Current Expansion) (増大: $V_{DS} > 25V$ and $V_{GS} \geq 5V$)	弱 (増大: for $V_{DS} > 40V$ and $V_{GS} \geq 5V$)
$V_{DS,int}$ (V) at BV_{DS}	2.79	1.93
BV_{DS} (V)	68	61
R_{onA} ($m\Omega$ mm ²)	68.7	69.3
V_T (V) at $I_{DS}=1 \times 10^{-8}$ A	2.4	2.1

(1) ホットキャリア耐性: 新型LDMOS ≫ 従来型LDMOS

(2) ESD耐性: 新型LDMOS ≒ 従来型LDMOS

謝辞

本研究を進めるにあたり、3D TCADを貸して頂いたアドバンスソフト社に深謝致します。

この3D TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト社で開発されています。