

$\Delta\Sigma$ 変調器のデジタルディザ信号による性能改善の検討

小島 潤也* 新井 薫子 小林 春夫 (群馬大学)

Study on Delta Sigma DA Modulator Performance Improvement Using Digital Dither

Jun-ya Kojima*, Yukiko Arai, Haruo Kobayashi (Gunma University)

$\Delta\Sigma$ modulator suffers from a limit cycle problem when its input amplitude is very small, and here we propose a digital dither method to solve this problem. It uses an XOR gate at the modulator output; one of its input is the comparator output (digital integrator MSB) and the other output is the digital dither generated by another $\Delta\Sigma$ DA modulator. Our simulation results have verified the effectiveness of the proposed method.

キーワード： $\Delta\Sigma$ 変調, DA 変換, リミットサイクル, ディザ信号
(Delta Sigma Modulation, DA Converter, Limit Cycle, Dither Signal)

1. 研究背景

$\Delta\Sigma$ 変換器は大部分がデジタル回路で構成され、直流信号や低周波信号を高分解能・高線形に生成できるので、電子計測器・LSI 試験装置等に多用される(図 1)。しかしながら $\Delta\Sigma$ 変調器では低振幅信号生成の際、出力アナログ信号の周波数成分に周期的に高調波成分が発生するリミットサイクルの問題がある。

本研究ではこのリミットサイクルを発生させないために、デジタルディザ信号を用いることを提案する。 $\Delta\Sigma$ 変調器の出力とデジタルディザ信号の排他的論理和(XOR)をとる構成を提案する。提案手法は次の特長がある。

- 1) 変調器部出力に直接デジタルディザを加えると後段 DAC がマルチビットのものが要求されるが、本提案手法では後段 DAC は 1 ビットでよい。
- 2) デジタルディザは積分器出力に加えるので、その信号帯域への影響はノイズシェーブされる。
- 3) デジタルディザ入力も、もう 1 つの $\Delta\Sigma$ 変調器で生成しディザ信号の値を調整する。デジタル回路で実現するので複雑な計算も容易に行える。

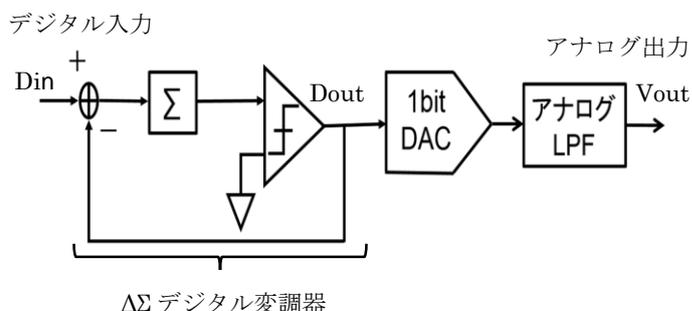
提案構成を用いて 2^{10} 、 2^{14} 、 2^{16} 、 2^{18} の場合でシミュレーションを行い、低振幅信号の変換でリミットサイクルが生じないことを確認した。

2. $\Delta\Sigma$ 変調器 (デジタル変調器)

<2.1> $\Delta\Sigma$ 変調器の構成

$\Delta\Sigma$ 変調器は積分器とコンパレータのフィードバック構成であり、全てデジタル回路で実現される。オーバーサンプリングした入力信号を積分器で累積し、コンパレータで比較する。コンパレータの出力 0、1 は $\Delta\Sigma$ 変調の出力値となると同時に、入力にフィードバックし累積値に V_{ref} が加減される

(実際はデジタル積分器の MSB が減算され、コンパレータは不要である)。出力信号を高速フーリエ変換(FFT)すると、量子化ノイズが低周波数帯域で減少し高周波数帯域で増加するノイズシェーブされることが確認できる。図 2 は正弦波(振幅: 1、正規化された周波数: 1)を入力したときの $\Delta\Sigma$ 変調器の出力であり、正規化周波数 1 のところで信号電力が確認できる。入力信号付近でノイズが減少し、1bit DAC 出力に対してアナログ LPF を用いれば高 SNR 信号 V_{out} が得られる。



$\Delta\Sigma$ デジタル変調器

図 1 $\Delta\Sigma$ 変換器の構成

Fig.1. Block diagram of a $\Delta\Sigma$ converter

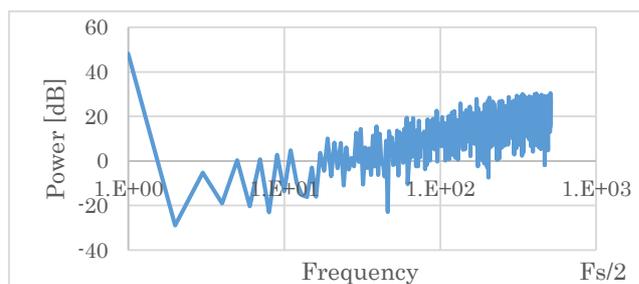


図 2 $\Delta\Sigma$ 変調器の出力パワースペクトル
(振幅: 1V、正規化周波数: 1 の正弦波を入力)

Fig.2. Power spectrum of the $\Delta\Sigma$ modulator output
(Input sine wave amplitude : 1 , normalized frequency : 1)

<2.2> $\Delta\Sigma$ 変調器アルゴリズム

1) $V_{in}(n)$ を図 1 の $\Delta\Sigma$ デジタル変調器に入力し積分器で累積.

$$accd(n) = accd(n-1) + V_{in}(n)$$

2) 累積値 $accd(n)$ をコンパレータで比較

- 0 以上であれば $V_{out}(n)=1$ を出力、
フィードバックして $accd(n+1)$ から 1 を引く.
- 0 未満であれば $V_{out}(n)=0$ を出力、
フィードバックして $accd(n+1)$ に 1 を足す.

If $accd(n) \geq 0$

$$V_{out}(n) = 1$$

$$accd(n+1) = accd(n) - 1$$

Else

$$V_{out}(n) = 0$$

$$accd(n+1) = accd(n) + 1$$

以上のことが繰り返され、 $\Delta\Sigma$ デジタル変調器は 0 または 1 を出力する.

<2.3> リミットサイクル

低振幅信号を $\Delta\Sigma$ DA 変調器に入力をする、変調器内の量子化 (非線形) 動作のため、入力成分にない周期的な高調波成分 (リミットサイクルと呼ばれる) が生じる. 図 1 の $\Delta\Sigma$ 変調器では DC 入力 0.1 で $\Delta\Sigma$ 変調シミュレーションし出力を FFT すると、リミットサイクルが確認できる (図 3). 同様に、2 次の $\Delta\Sigma$ 変調器 (図 4) でもリミットサイクルが確認できる (図 5).

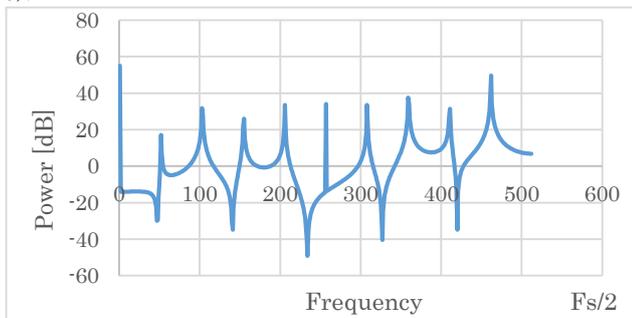


図 3 リミットサイクルの発生 (DC 入力 0.1 のとき)

Fig.3. Limit cycle generation (in case DC input of 0.1)

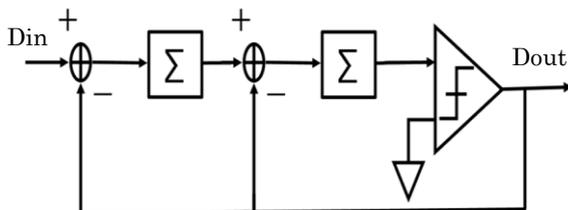


図 4 2 次の $\Delta\Sigma$ 変調器の構成

Fig.4. Block diagram of secondary $\Delta\Sigma$ modulation

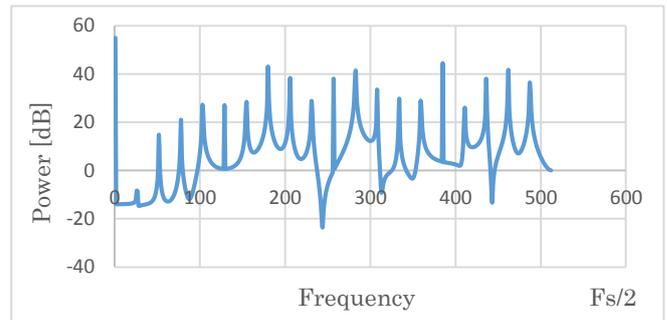


図 5 2 次の $\Delta\Sigma$ 変調器でのリミットサイクルの発生
(DC 入力 0.1 のとき)

Fig.5. Limit cycle generation of secondary $\Delta\Sigma$ modulation
(in case DC input of 0.1)

<2.4> デジタルディザ信号を使った $\Delta\Sigma$ 変調

0,1 が前後の相関なくランダムに発生させた信号をディザ信号として用いる. ディザ信号は $\Delta\Sigma$ DA 変調器で入力小さいときに生じるリミットサイクルを除去する際に用いる. 従来方法として $\Delta\Sigma$ 変調の前後にディザ信号を入力する方法がある. $\Delta\Sigma$ 変調の前にディザ信号を入力すると、 $\Delta\Sigma$ 変調で発生する量子化誤差にディザ信号が加算されることとなり、ノイズが増加してしまう. $\Delta\Sigma$ 変調器の後にディザ信号を入力すると、出力値のビット数が増え、後段ではマルチビット DAC が必要となってしまふ. しかし、排他的論理和を用いた提案方法は、出力値を反転させるだけなので多ビットになることはなく、1 ビットで信号処理できる.

なお、 $\Delta\Sigma$ DA 変調器ではアナログ変調器内部で熱雑音が発生しそれが実質的なディザ信号となるのでリミットサイクルは生じないことが多い. また、デジタル信号処理で量子化誤差の影響を低減のために、ディザ信号を使用することがある.

<2.5> 排他的論理和を用いた提案変調器構成

本研究では図 1 のコンパレータの出力にデジタルディザ信号を加え、ディザ信号と $\Delta\Sigma$ DA 変換をした信号の排他的論理和をとる構成を提案する (図 6). デジタル入力信号を $\Delta\Sigma$ 変調すると同時に、ディザ信号も $\Delta\Sigma$ 変調器により生成する. 排他的論理和はディザ信号が 1 を出力するとコンパレータ出力 D_{out} が反転する.

ディザ生成変調器の入力信号の振幅や中心値を変えることでディザ信号の 1 の出力が出現頻度を調整する. 振幅や中心値が小さいときは 1 の出現が少なくなるので、排他的論理和によるコンパレータ出力値の反転は少ない. ディザ変調器入力信号を大きくするにつれて 1 の出現が多くなり、コンパレータ出力値の反転回数が多くなる. すなわちディザ変調器入力信号の調整によりディザ信号の 1 の出現頻度が変えられ、DA 変換入力の反転する回数が制御できる. ディザ信号はデジタル信号により生成するので、容易に実現・制御できる.

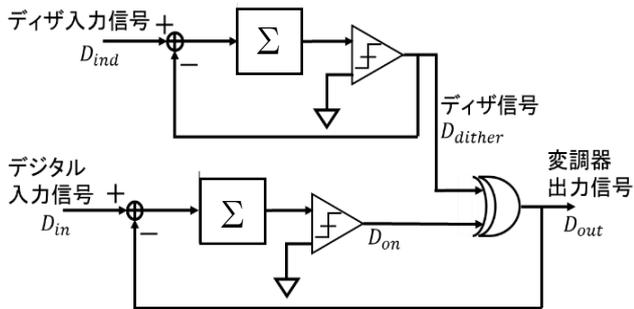


図6 デジタルディザを使用する提案回路の構成
Fig.6. Proposed $\Delta\Sigma$ modulator with digital dither

<2.6>SFDR による評価

DA変換の性能評価の1つに Spurious Free Dynamic Range (SFDR)がある。これは信号電力と最大高調波電力の比である(図7)。ここではSFDRを用いてシミュレーション結果を評価する。SFDRが向上すれば、リミットサイクルが低減していることを意味する。

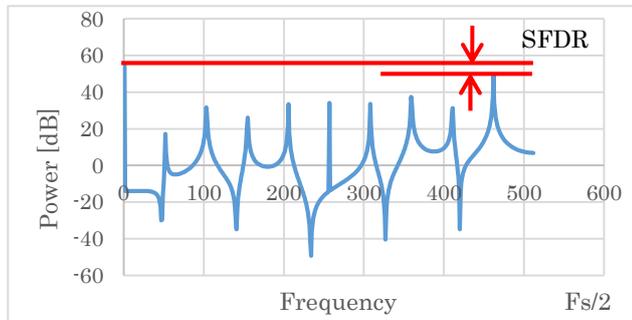


図7 SFDRの定義
Fig.7. Definition of SFDR

3. シミュレーションによる検証

<3.1>リミットサイクルの低減 (2^{10})

図6の提案回路でシミュレーションを行い、ディザ信号の効果を検証した。ディザ入力信号には正規化周波数1の正弦波を入力し、リミットサイクルが低減するように正弦波の振幅、中心値を制御した。さらに、ディザ信号を加えたときでも、ディザ信号のない場合と変調器出力(1の数)が同じでなければいけない。同じ出力(1の数)が得られるように振幅、中心値を制御した。つまり、このシミュレーション結果で線形性を確認した(図8)。図8はディザ信号なしとディザ信号ありの場合の1の数を表しており、どちらも同じ数であるためグラフが重なっている。デジタル入力信号にはDC(Full scale: $-1\sim+1$)を入力した。

DC入力が0.1、 -0.3 の場合のシミュレーション結果を図9、10に示す。図9、10(a)の従来回路ではリミットサイクルが発生し、図9、10(b)の提案回路ではリミットサイクルが低減している。図9のSFDRを比較すると、(a)ディザ入力信号なしでは5.4dBに対し、(b)ディザ入力信号ありでは22.9dBと向上している。同様に図10では、(a)ディザ入力信号なし2.2dB、(b)ディザ入力信号あり16.3dBとSFDR

が向上している。

同様にDC入力の値を変え、リミットサイクルが低減するようにディザ信号の正弦波の振幅と中心値を変化させたときの値を図11に示す。DC入力=0を中心に左右対称である。図12はディザ信号を加えた場合と加えていない場合のSFDRを比較したものである。すべてのDC入力に対してSFDRが向上しているのが確認できる。

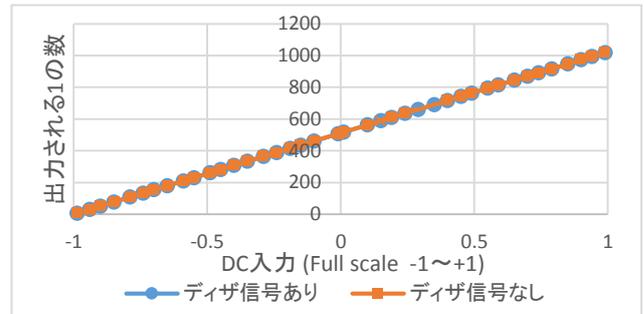
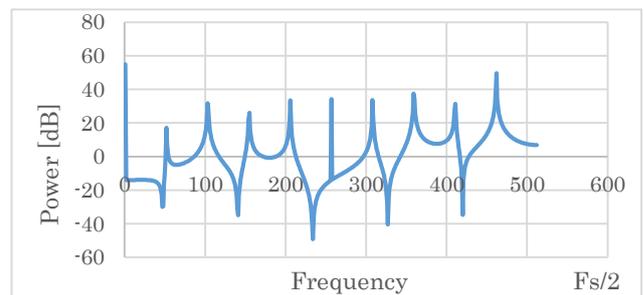
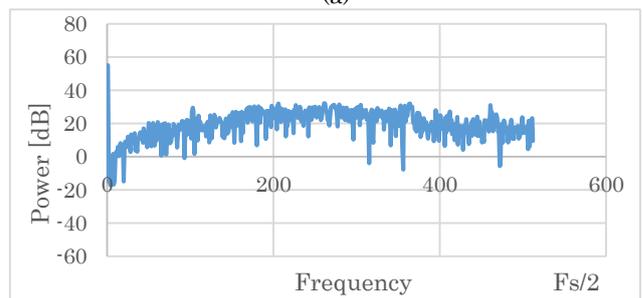


図8 変調器出力の1の数(2^{10} 個のデータの場合)
(1の数は同じため2つのグラフの差はゼロとなる)
Fig.8. Number of 1's for modulator output with 2^{10} data.
(The difference between the two graphs is zero because number of 1 is the same.)

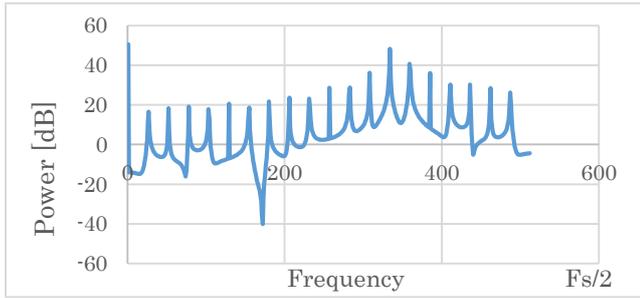


(a)

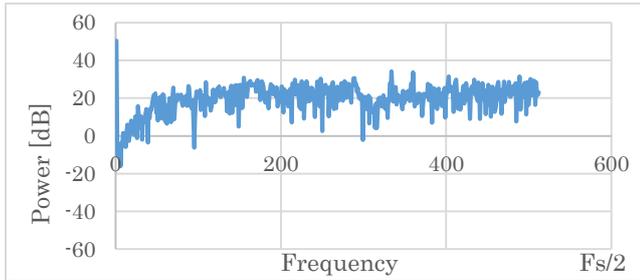


(b)

図9 DC入力0.1の際の $\Delta\Sigma$ 変調器出力パワースペクトル
(a)ディザなし
(b)ディザ入力信号 振幅:0.094、中心値: -0.520
Fig.9. Power spectrum of $\Delta\Sigma$ modulator output in case that DC input is 0.1. (a) Without dither. (b) With dither input signal of amplitude: 0.094, center value: -0.520 .



(a)



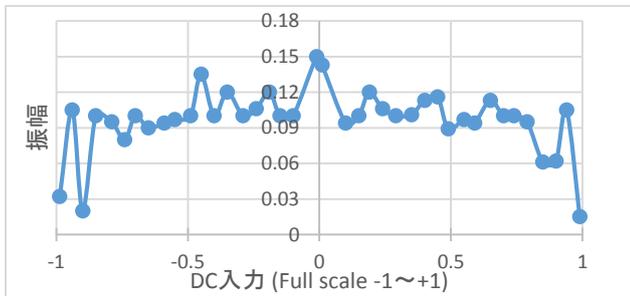
(b)

図 10 DC 入力 -0.35 の際の $\Delta\Sigma$ 変調器出力パワースペクトル

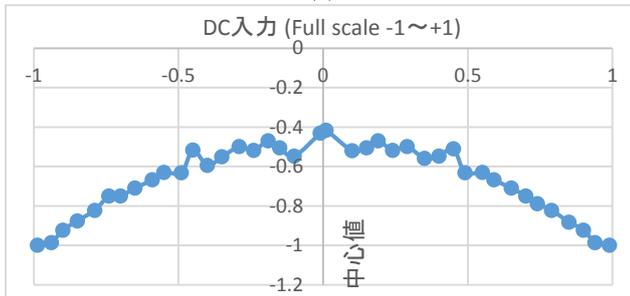
(a) ディザ なし

(b) ディザ入力信号 振幅 0.120 、中心値 -0.552

Fig.10. Power spectrum of $\Delta\Sigma$ modulator output in case that DC input is -0.35 . (a) Without dither. (b) With dither input signal of amplitude : 0.120 , center value : -0.552 .



(a)



(b)

図 11 リミットサイクルを低減するディザ信号生成変調器への正弦波入力の振幅 (a) 振幅 (b) 中心値

Fig.11. Dither generation modulator input sine wave (a) amplitude and (b) center value, for limit cycle reduction.

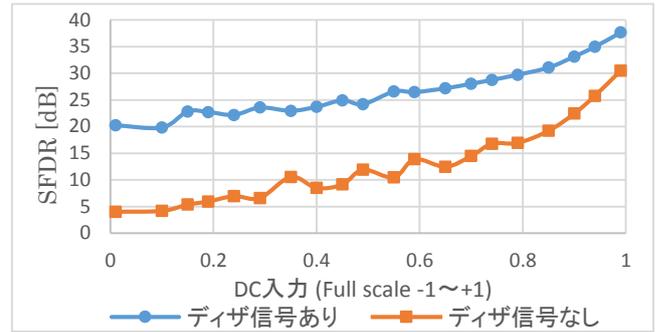


図 12 SFDR 比較のシミュレーション結果

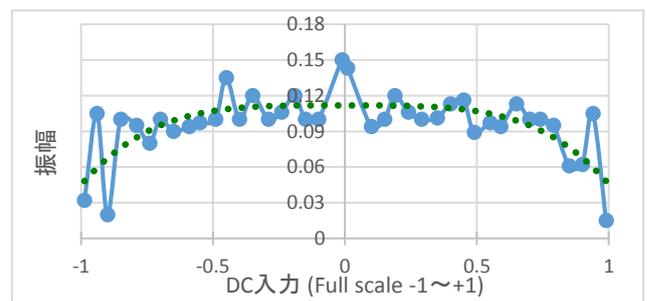
Fig.12. SFDR comparison simulation results

<3.2>リミットサイクルの低減回路の実現検討 (2^{14} 、 2^{16} 、 2^{18})

<3.1>はアルゴリズム上での検証結果であるが、これを FPGA 等の回路実現することを考える。デジタル的な正弦波の発生回路は複雑になり、また DC 入力に対してその度に正弦波の振幅、中心値の変更回路は複雑になる。そこでデジタルディザ変調器に三角波を使用することを検討する。

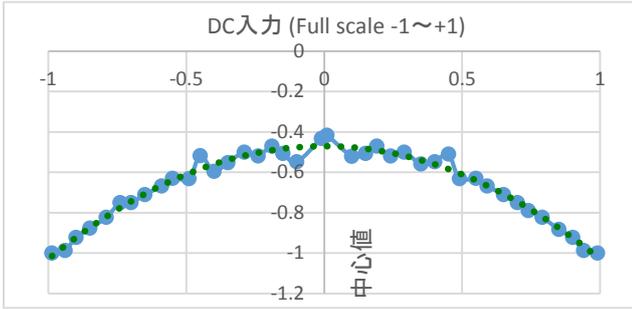
図 11 のグラフから近似式を求め図 13 を得る。これを用いて、ある DC 入力に対して正弦波の振幅、中心値を決定する。つまり、DC 入力のみを変化させる(図 14)。この方式で 2^{14} 、 2^{16} 、 2^{18} のデータ数の場合をシミュレーションした。その結果(SFDR の比較と線形性の確認)を図 15、16、17 に示す。図 15、16、17 (a)ではすべての DC 入力に対して SFDR の向上が確認できる。図 15、16、17 (b)では従来回路のディザ入力信号なしと、提案回路のディザ入力信号ありでの $\Delta\Sigma$ 変調器の出力(1 の数)の差を表している。1 の数の差は ± 1 の範囲に収まり、線形性が保たれている。

図 15、16、17 (a)で向上した SFDR の差の最大値を図 18 に示す。SFDR は最大で 20dB 程増加している。



(a) 近似式 :

$$\begin{aligned} (\text{振幅}) = & -0.0628\text{DC}^4 + 0.0008\text{DC}^3 - 0.0037\text{DC}^2 \\ & - 0.0003\text{DC} + 0.1118 \end{aligned}$$



(b) 近似式 :

$$(\text{中心値}) = -0.5593\text{DC}^2 + 0.0008\text{DC} - 0.4708$$

図 13 (a)振幅、(b)中心値の近似

Fig.13. Approximation of (a) amplitude (b) center value

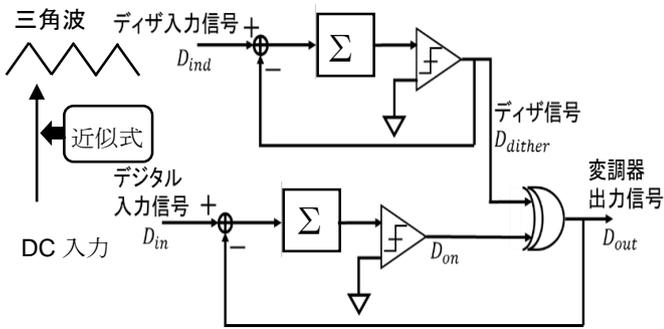


図 14 三角波入力のディザ変調器の使用

Fig.14.Dither generation with triangular wave input

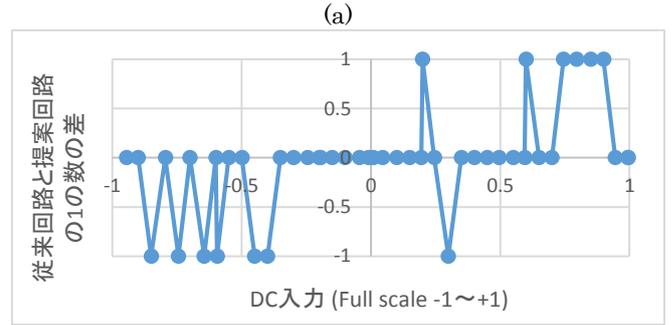
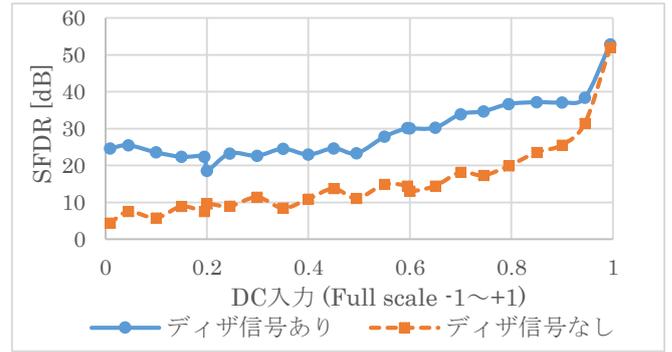
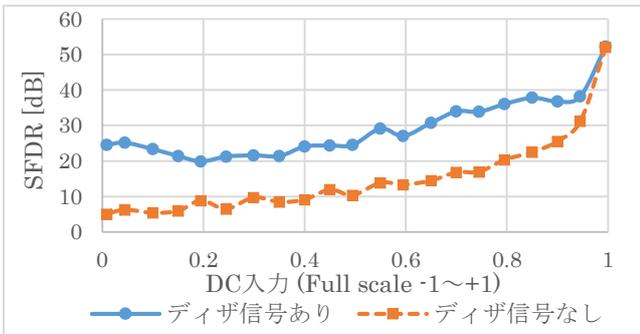


図 16 2^{16} データでのシミュレーション結果

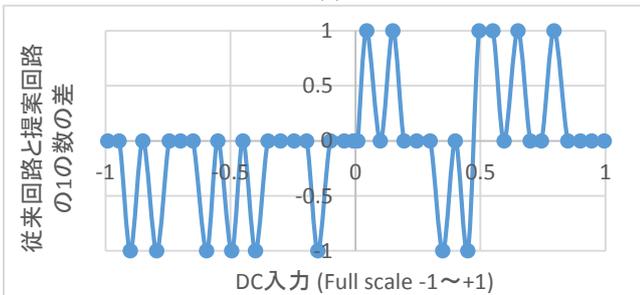
(a) SFDR 比較 (b) 線形性のグラフ

Fig.16.simulation results for 2^{16} data.

(a) SFDR comparison (b)Linearity



(a)



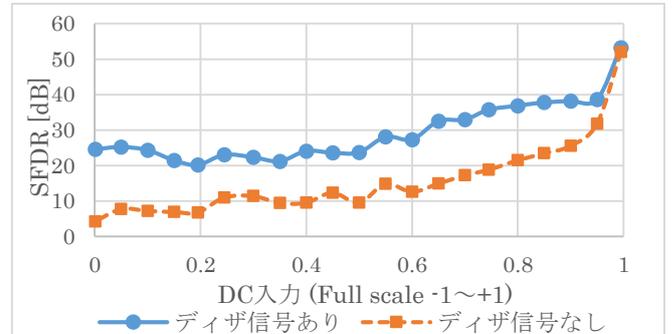
(b)

図 15 2^{14} のシミュレーション結果

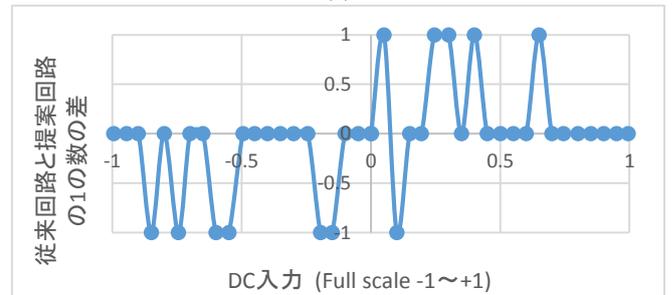
(a)SFDR の比較 (b) 線形性のグラフ

Fig.15. 2^{14} of simulation results

(a) Comparison of SFDR (b)Linearity



(a)



(b)

図 17 2^{18} データでのシミュレーション結果

(a) SFDR 比較 (b) 線形性のグラフ

Fig.17.simulation results for 2^{18} data.

(a) SFDR comparison (b)Linearity

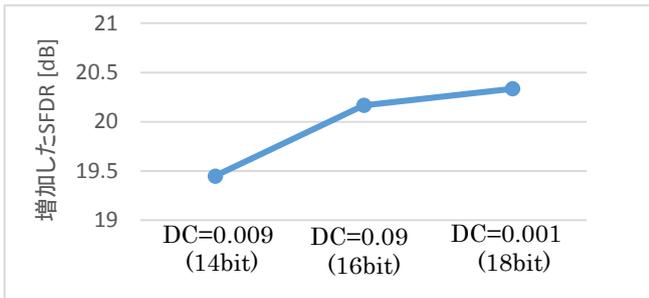


図 18 各分解能での SFDR 改善

Fig.18.SFDR improvement for each number of bits

<3.3>実現ハードウェア回路の設計

図 19 に図 14 のデジタル回路設計を示す。その RTL シミュレーションを行った。入力範囲は $-1.024 \sim 1.024$ 、2 進 11bit でその内 1bit は「+」「-」の符号、10bit は $0.000 \sim 1.024$ を表す。回路の中では整数を扱うように入力を 1000 倍して計算を行った。MSB は 1024 とし、LSB は 0.001 を表す。

シミュレーション結果を図 20 に示す。図 20(a)ではすべての DC 入力に対して SFDR の向上が確認できる。図 20 (b)では従来回路のディザ入力信号なしと、提案回路のディザ入力信号ありでの $\Delta\Sigma$ 変調器の出力(1 の数)の差を表している。1 の数の差は ± 1 の範囲に収まり、線形性が保たれている。

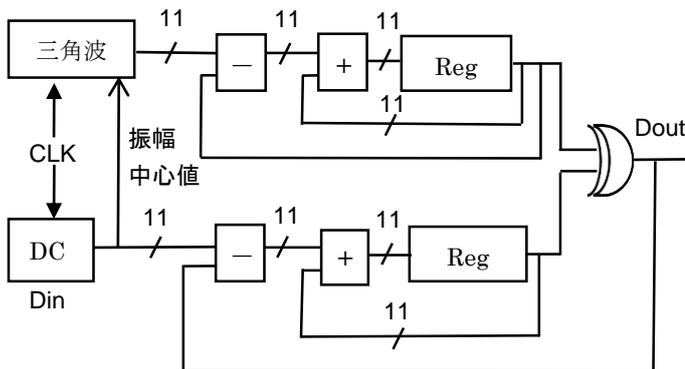
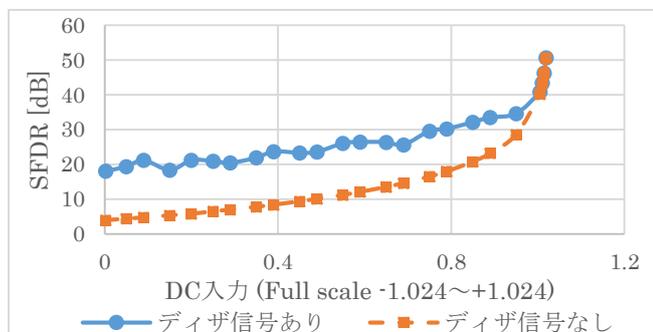
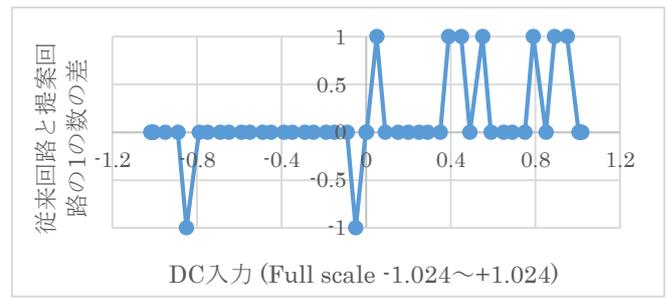


図 19 提案変調器のデジタル回路設計

Fig.19.Digital circuit design of the proposed modulator.



(a)



(b)

図 20 設計した回路(図 19)での RTL シミュレーション結果

(a)SFDR 比較 (b)線形性

Fig.20. RTL simulation results of the circuit in Fig.19.

(a)SFDR comparison (b) Linearity

4. まとめ

本論文では $\Delta\Sigma$ 変調器で低振幅信号生成の際に発生するリミットサイクルを低減する構成を提案した。

- デジタルディザ信号と $\Delta\Sigma$ 変調した信号の排他的論理和を 1 ビット出力とする。
- 排他的論理和ではディザ信号が 1 のときに $\Delta\Sigma$ 変調出力値を反転させ、出力の 1 の数を分散(周波数拡散)してリミットサイクルを低減させる。
- ディザ信号もディザ入力信号を $\Delta\Sigma$ デジタル変調し、出力の 1 の出現頻度を調整することで、 $\Delta\Sigma$ 変調出力の反転回数を制御する。
- シミュレーションを行い、デジタルディザ信号により提案構成はリミットサイクルを低減させ、SFDR が向上していることを確認した。
- 線形性が保たれていることも確認した。(積分器出力にディザを入力しているため、信号帯域ではノイズシェーブされている)
- 提案手法を実現する変調器をデジタル回路設計し RTL シミュレーションで動作を確認した。
- 今後はこの設計したデジタル変調器を FPGA で実装しリミットサイクル低減効果を測定・検証していく。

文 献

- (1) R.Schreier, G.C Temes, Understanding Delta-Sigma Data Converters, Wiley-IEEE press, 2009.
- (2) 新井薫子,小林春夫” $\Delta\Sigma$ 変調器のデジタルディザ信号による性能改善の検討”, 第 5 回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETT-15-8, ETG-15-8 (2015 年 3 月)