

黄金比重み付けDACの検討

群馬大学

澁谷将平 荒船拓也

小林佑太郎 小林春夫



アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- まとめ

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- まとめ

研究背景・目的

自動車のエレクトロニクス化が著しく
車載用エレクトロニクス技術に大きな関心



車載用マイコンと組み合わせるADCへの要求が厳しい

→ 逐次比較近似AD変換器

↓ +冗長性

逐次比較近似AD変換器の冗長設計

→ 高性能化・高速化

↓ +整数論

研究目的

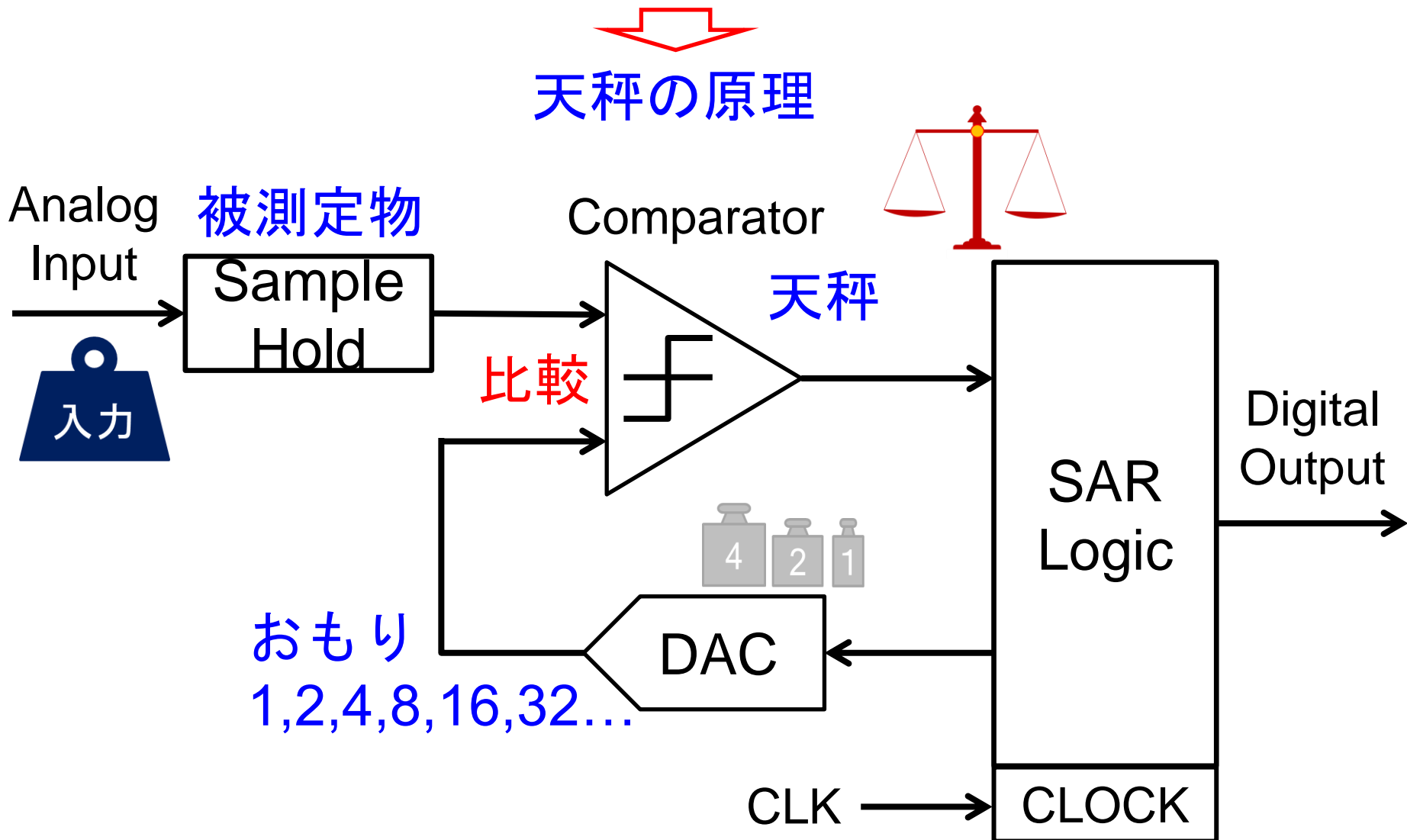
逐次比較近似AD変換器の整数論を用いた冗長設計

→ さらに高性能化・高速化

従来のDACが
使用不可

SAR ADCとは

アナログ入力と参照電圧を比較、結果に応じたデジタル出力



2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		D1	D2	D3	D4

入力

11.2

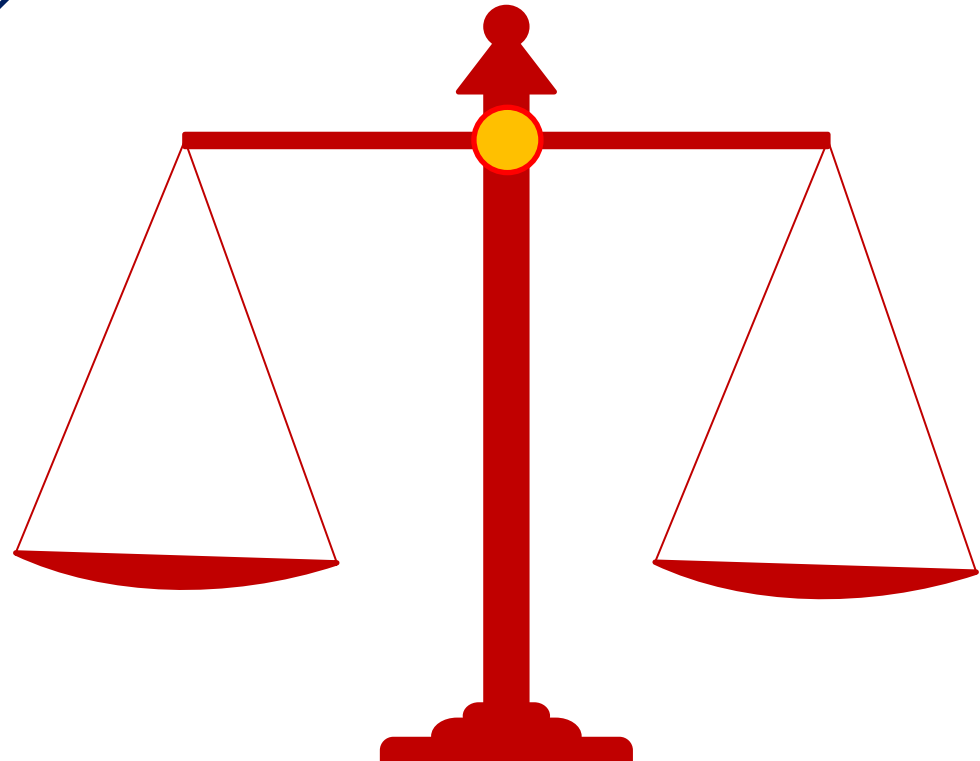
比較電圧

8

4

2

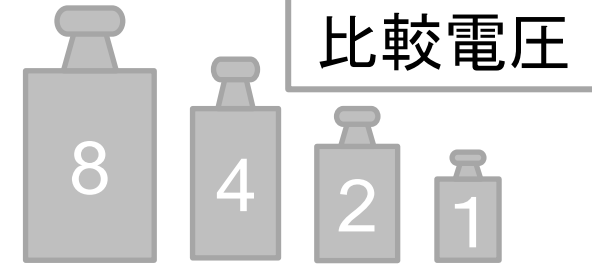
1



2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		D1	D2	D3	D4

入力



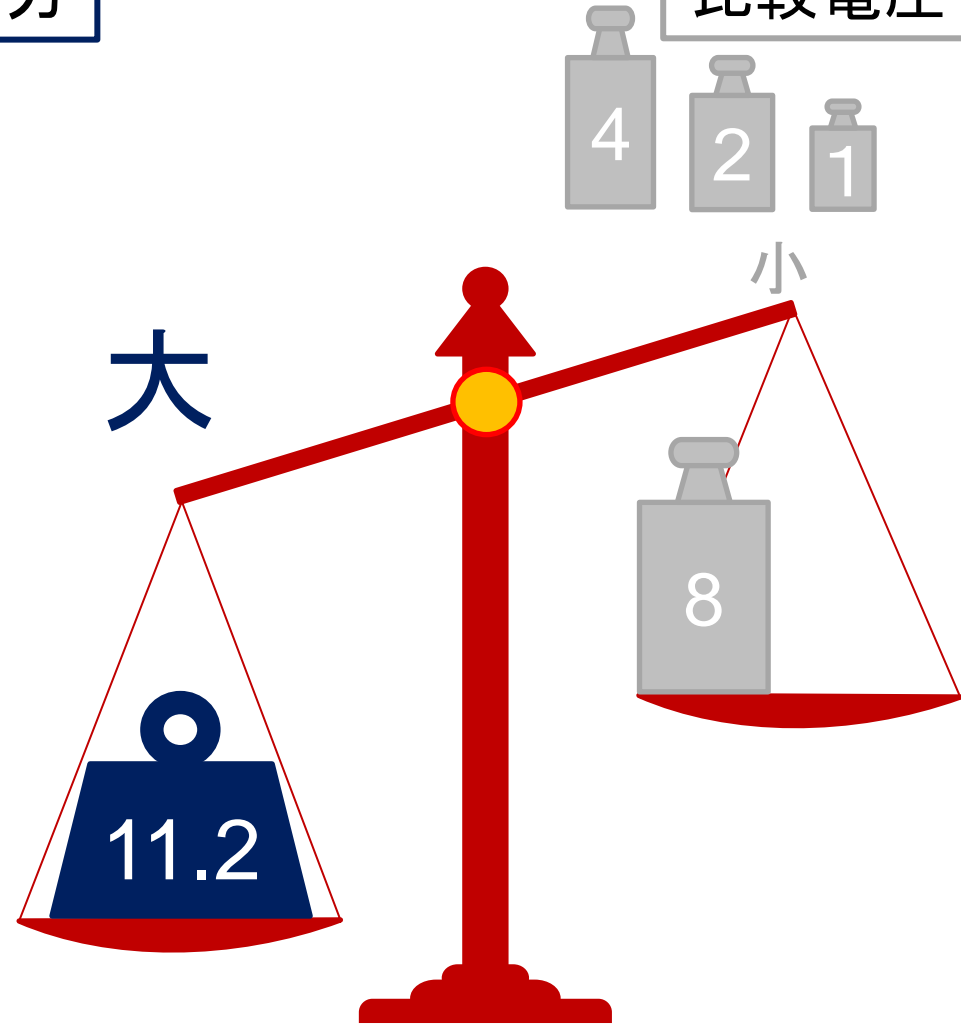
入力：大

2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	D2	D3	D4

入力

比較電圧



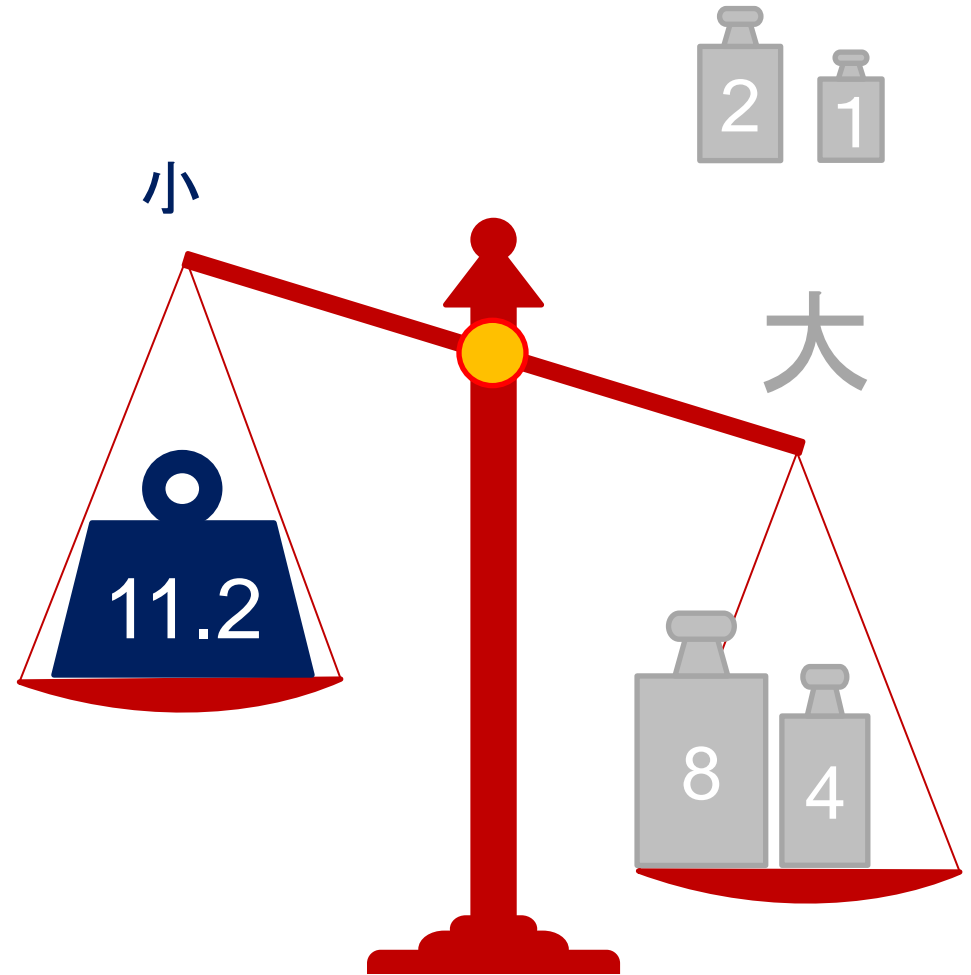
出力に1 ← 入力：大

2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	D3	D4

入力

比較電圧



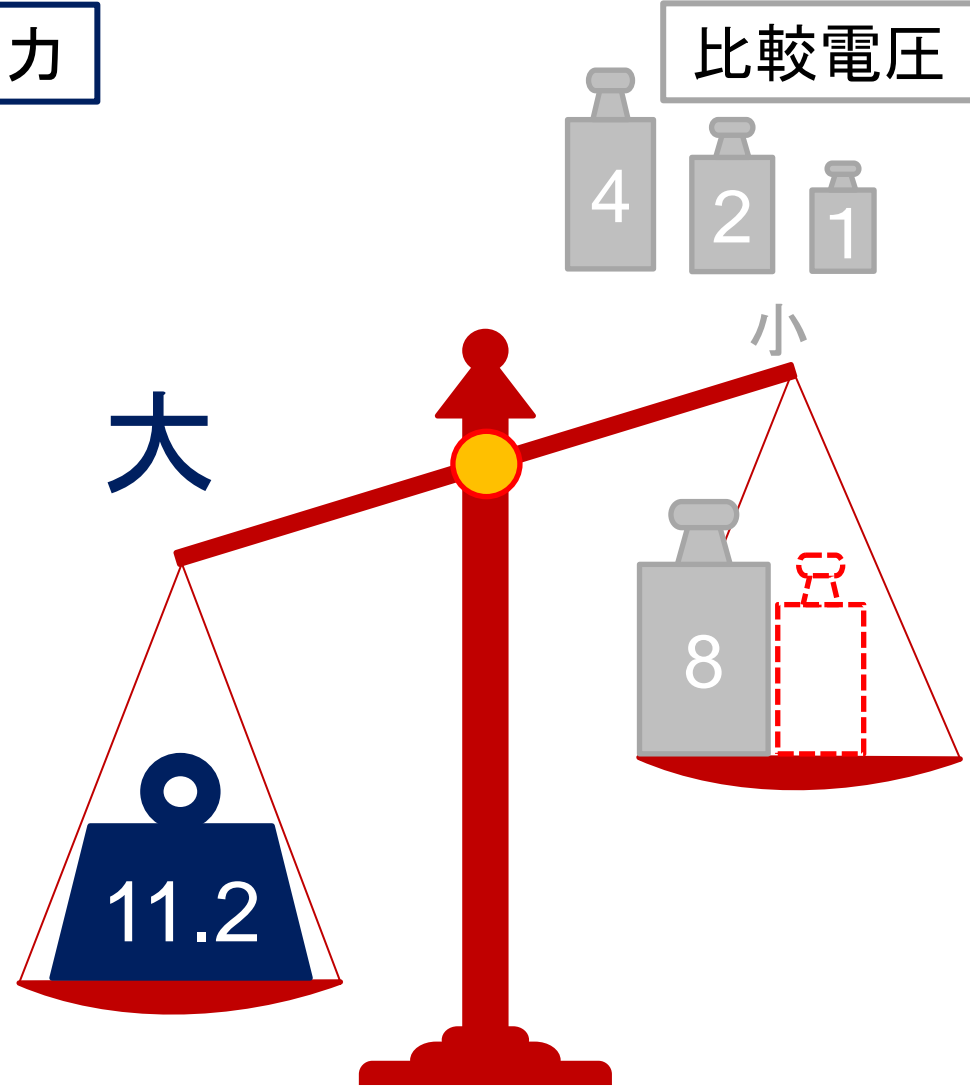
錘：大 → 出力に0

2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	D3	D4

入力

比較電圧



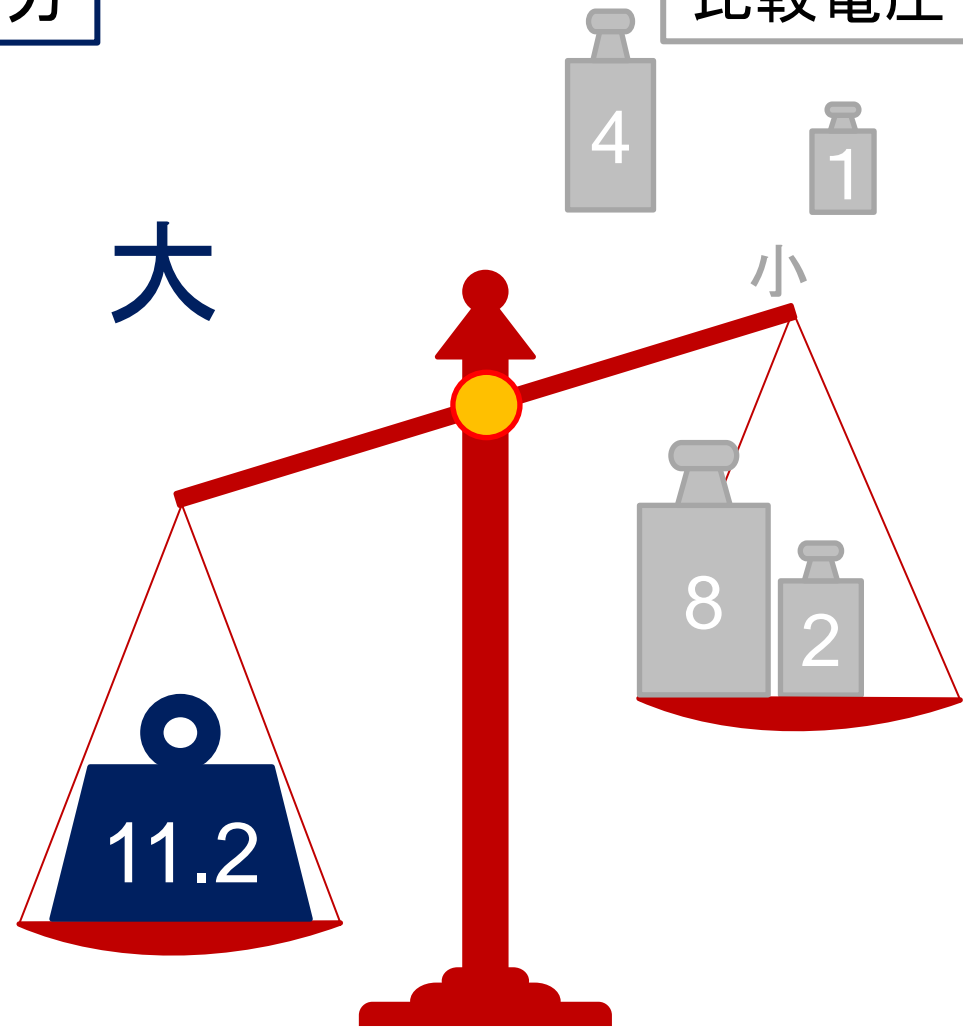
錘：大 → 錘を戻す

2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	D4

入力

比較電圧



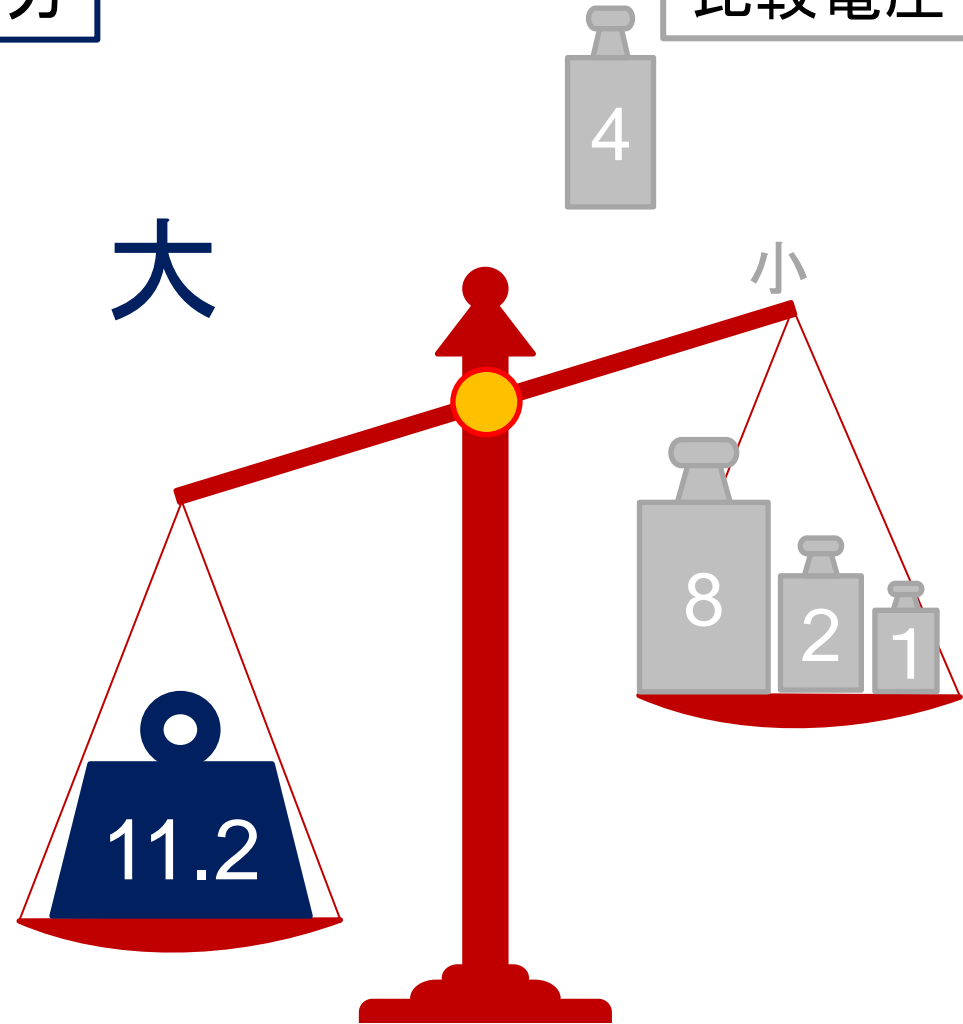
出力に1 ← 入力：大

2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

比較電圧



出力に1 ← 入力：大

2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

比較電圧



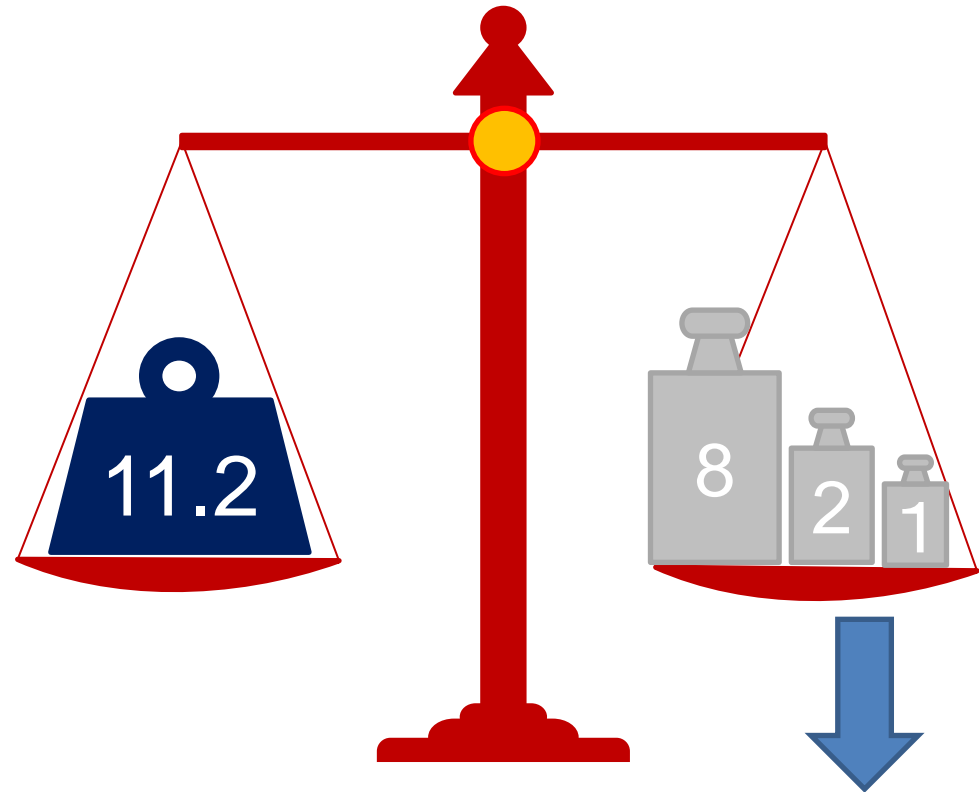
デジタル出力: $(1011)_2$

2進探索SAR ADC動作

ステップ数		1	2	3	4
比較電圧の重み		8	4	2	1
レベル	15				
	14				
	13				
	12				
	11				
	10				
	9				
	8				
	7				
	6				
	5				
	4				
	3				
	2				
	1				
	0				
Digital出力		1	0	1	1

入力

比較電圧



デジタル出力: $(1011)_2 = (11)_{10}$

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

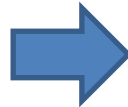
冗長性と誤差補正

冗長・・・余裕・予備

冗長性なし

ステップ数	1	2	3	4
比較電圧の重み	8	4	2	1
レベル	15			
	14			
	13			
	12			
	11			
	10			
	9			
	8			
	7			
	6			
	5			
	4			
	3			
	2			
	1			
	0			

+時間的
冗長性



誤差補正が可能に！

冗長性あり

Step	1	2	3	4	5	output
Weight	8	6	3	2	1	
LEVEL	16					16
	15					15
	14					14
	13					13
	12					12
	11					11
	10					10
	9					9
	8					8
	7					7
	6					6
	5					5
	4					4
	3					3
	2					2
	1					1
0					0	
-1					-1	

※q(k):k step目の補正可能範囲

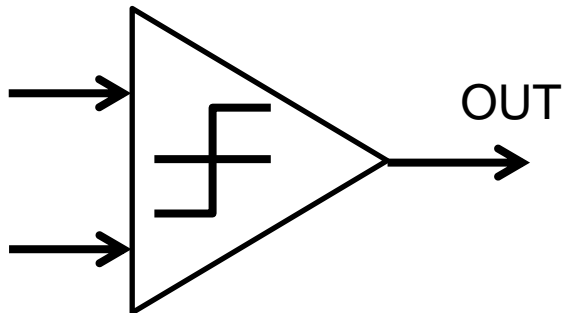
通常動作

通常の動作

アナログ入力

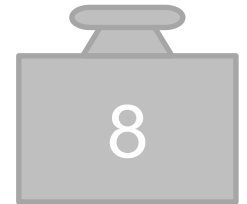


Comparator



Step	1	2	3	4	output
Weight	8	4	2	1	
LEVEL	15				15
	14				14
	13				13
	12				12
	11				11
	10				10
	9				9
	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

デジタル出力



冗長性なし

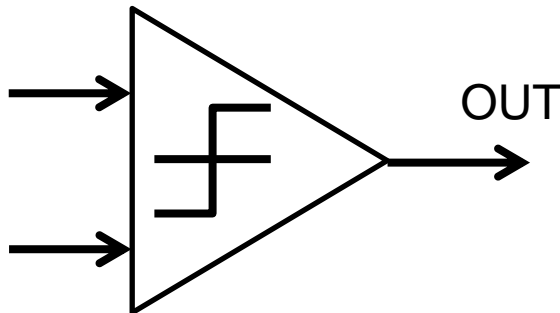
コンパレータの誤動作

コンパレータが
誤動作をすると...

アナログ入力



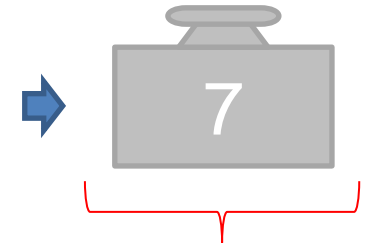
Comparator



Step	1	2	3	4	output
Weight	8	4	2	1	
					15
					14
					13
					12
					11
					10
					9
					8
LEVEL	8				8
	7				7
	6				6
	5				5
	4				4
	3				3
	2				2
	1				1
	0				0

誤判定

デジタル出力



7?

誤判定すると
誤りを出力
信頼性 ↓

冗長性なし

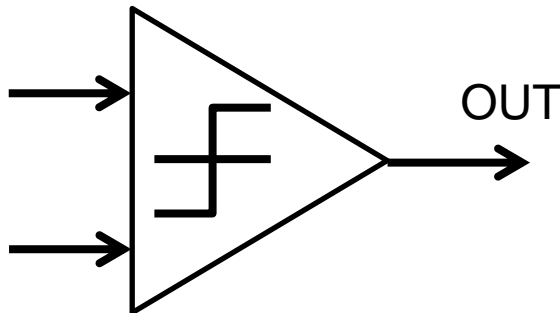
冗長設計による信頼性向上

コンパレータが
誤動作をすると...

アナログ入力



Comparator

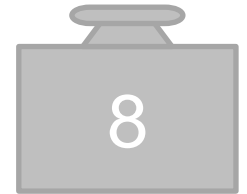


ステップ数	1	2	3	4	5	output
比較電圧の重み	8	6	3	2	1	
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

誤判定

レベル

デジタル出力



補正可能
正確な出力
信頼性 ↑

冗長性あり

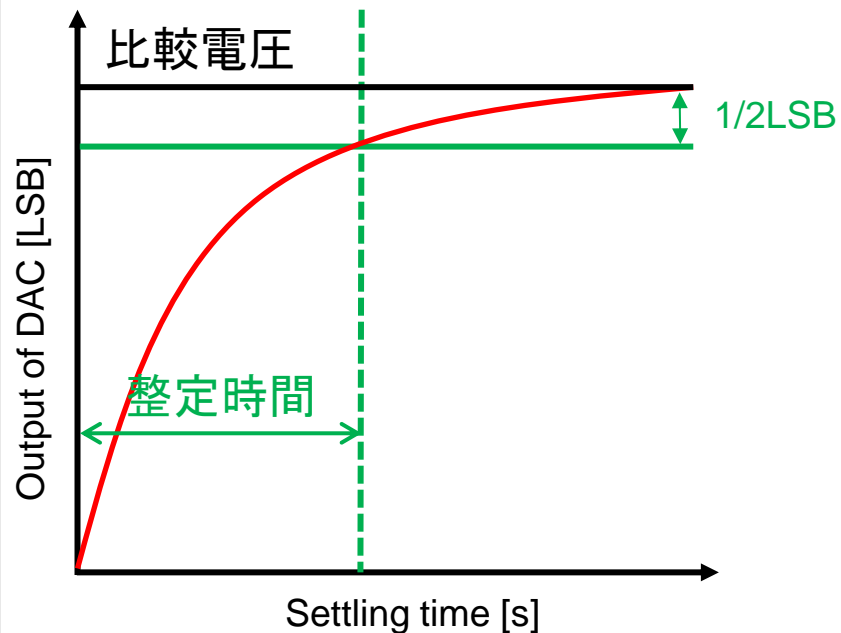
整定時間

二進探索SAR ADC

DACの出力
⇒完全整定



変換時間の増長

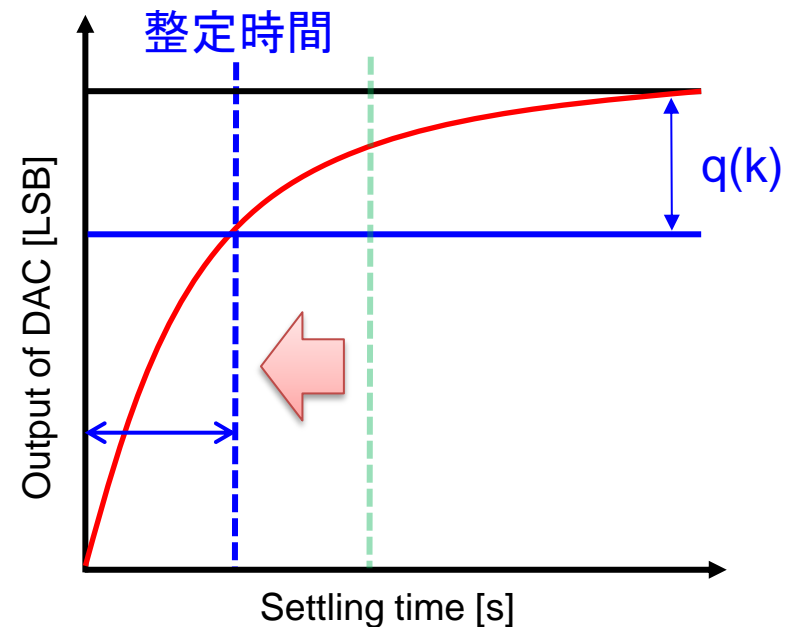


非二進探索SAR ADC

DACの出力
⇒不完全整定



変換時間の短縮



冗長探索SAR ADCの速度

前半の比較条件を緩和し、速度の上昇
後半の比較条件を強化し、誤判定を補正

二進探索(完全整定)

5bit逐次比較方式ADC



AD変換時間

冗長探索(不完全整定)



不完全整定誤差補正

AD変換時間

各stepが短縮され、結果**速度が上昇**する

冗長設計による補正力と速度

SAR ADCの補正力

補正可能な入力範囲差 $q(k)$

$$q(k) = -p(k+1) + 1 + \sum_{i=k+2}^M p(i)$$

SAR ADCの速度

整定時間

$$T = \tau \ln \left(\frac{p(k) + q(k-1)}{q(k)} \right)$$



比較電圧重み $p(k)$ に大きく依存

比較電圧重み $p(k)$ の決定(従来手法)

N bit 全 M step 中 k step 目の比較重み $p(k)$ を決定 (ただし $p(1) = 2^{N-1}$)

従来手法

① 基数radixから決定する $\Rightarrow p(k) = r^{M-k}$ (ただし $1 < r < 2$)

- 適切な基数の決定が難しい
- $p(k)$ は必ず小数になる(単位項による実現困難)

② 条件を定めて総当たり法

- 全パターン検討に膨大な時間がかかる
- 最適なパターン検出が難しい
- 条件の小さな変化に対応しづらい

③ 最も適当な重みを補正力 $q(k)$ で決定する

- 適切な効果を得づらい
- 決定が難しく設計時間を増加させる

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- **フィボナッチ数列を応用した冗長性の設計**
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- まとめ

フィボナッチ数列とは？

フィボナッチ数列

$$F_0 = 0$$

$$F_1 = 1$$

$$F_{n+2} = F_n + F_{n+1}$$

初項から計算していくと...

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233...

隣り合う2項の比率を考えると...

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \varphi$$

収束比率 φ

黄金比 (約1.6進数)



Leonardo Fibonacci
(伊:1170~1250年頃)

整数で1.6進数を
表現可能

フィボナッチ冗長設計と補正

補正力の範囲に
制限有り



補正力の向上
すべての入力で補正可能

冗長設計

Step	1	2	3	4	5	output
Weight	8	6	3	2	1	
LEVEL 16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0
-1						-1

Annotations: Red arrows labeled $q(1)$ and $q(2)$ indicate correction points. Blue double-headed arrows indicate the range of correction force.



フィボナッチ冗長設計

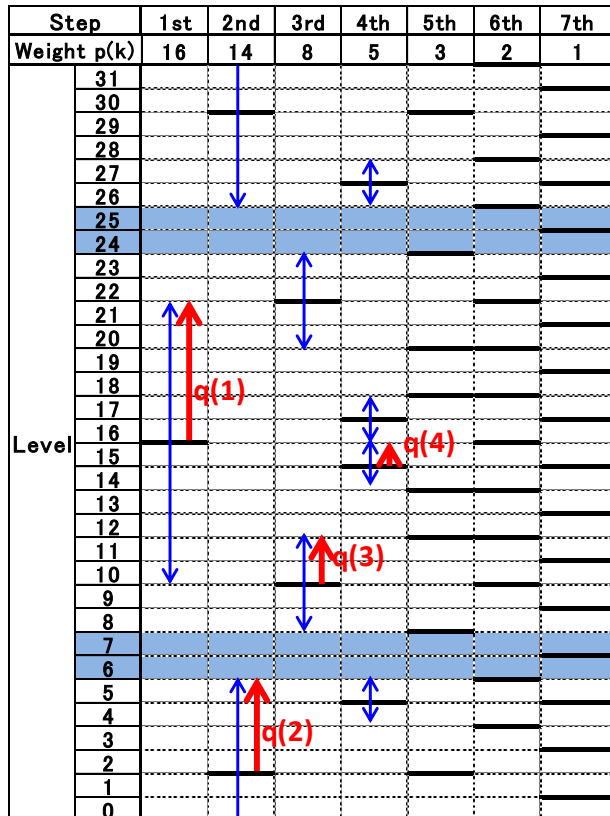
Step	1	2	3	4	5	6	output
Weight	8	5	3	2	1	1	
LEVEL 16							16
15							15
14							14
13							13
12							12
11							11
10							10
9							9
8							8
7							7
6							6
5							5
4							4
3							3
2							2
1							1
0							0
-1							-1

Annotations: Red arrows labeled $q(1)$, $q(2)$, $q(3)$, and $q(4)$ indicate correction points. Blue double-headed arrows indicate the range of correction force.

従来手法との比較(5bit ADC)

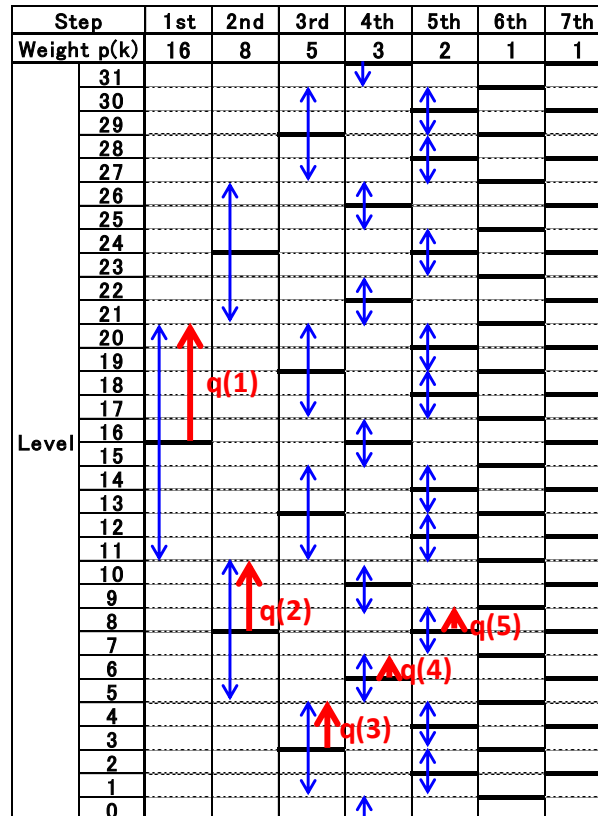
従来手法

1.70進数



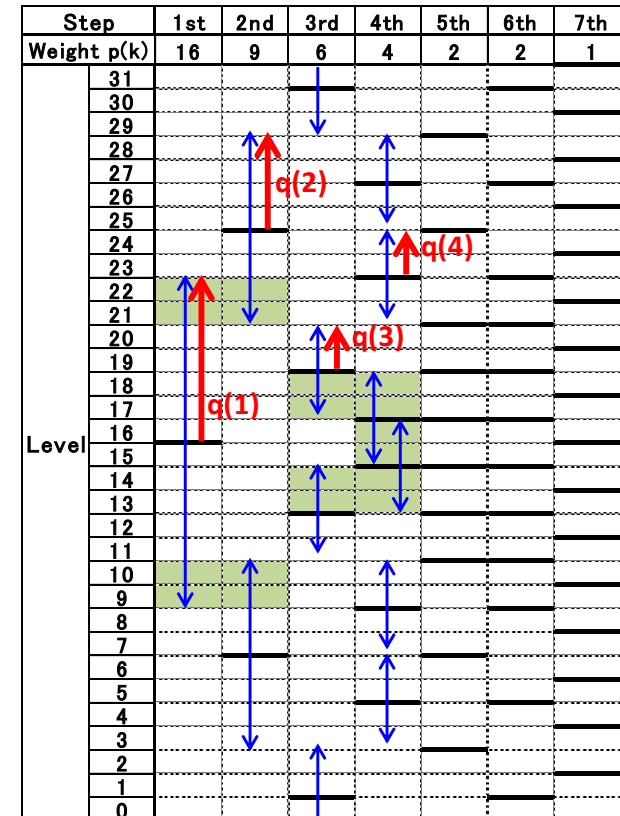
提案手法

1.62進数



従来手法

1.55進数



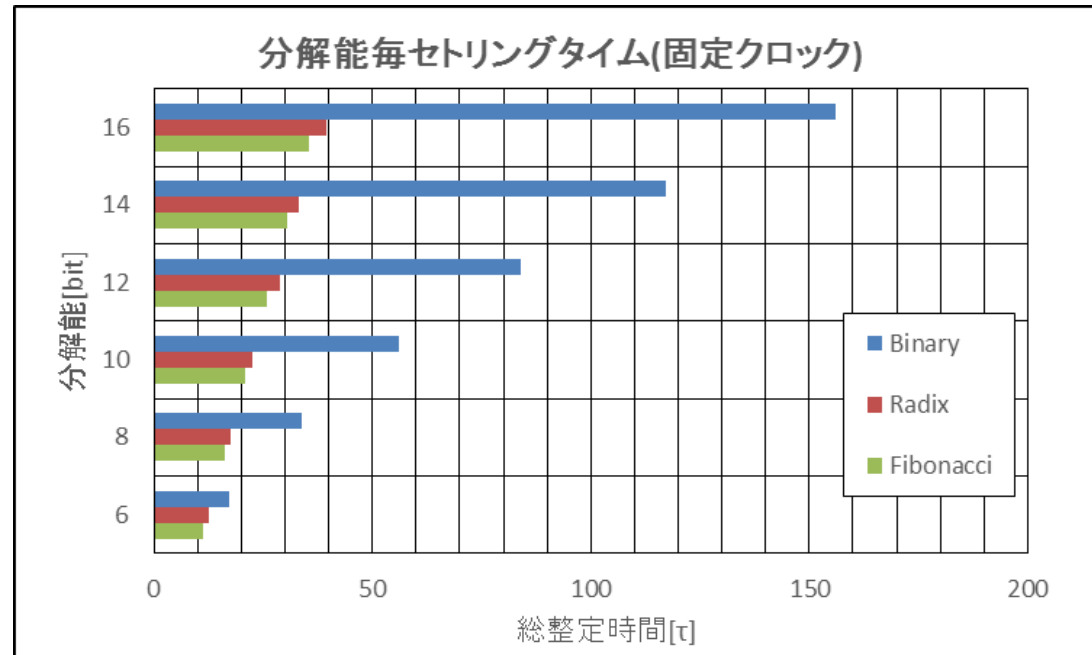
フィボナッチ数列冗長手法

冗長基数の境界条件
効率の良い基準重み

不完全整定時間比較

フィボナッチ手法

全分解能固定クロックで
フィボナッチ手法は最も高速



Total settling time			Resolution [bit]					
			6	8	10	12	14	16
Total settling time [τ]	variable clock	Binary	11.20	20.26	32.06	46.61	63.95	84.05
		Radix	8.31	11.63	14.26	17.04	19.81	22.59
			74.2%	57.4%	44.5%	36.6%	31.0%	26.9%
	fixed clock	Fibonacci	9.00	13.33	17.66	21.99	26.33	30.66
			80.4%	65.8%	55.1%	47.2%	41.2%	36.5%
		Binary	17.33	33.96	56.14	83.87	117.14	155.96
	Radix	12.47	17.70	22.53	28.97	33.27	39.51	
		72.0%	52.1%	40.1%	34.5%	28.4%	25.3%	
	Fibonacci	11.27	16.09	20.92	25.75	30.58	35.41	
		65.0%	47.4%	37.3%	30.7%	26.1%	22.7%	

Radix手法から

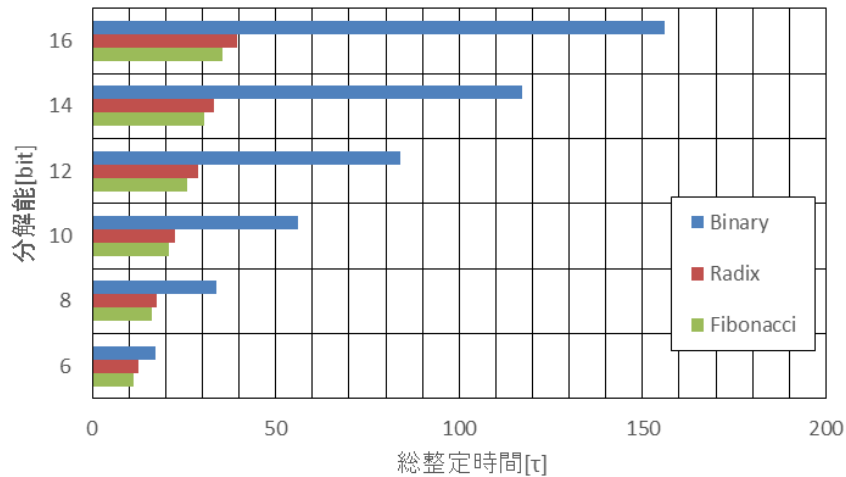
約1~3τ、最大で**4τ以上**短縮

最大で非冗長の1/5の時間で整定

※パーセント表示はバイナリとの比較

フィボナッチ冗長設計

分解能毎セトリングタイム(固定クロック)



高速化



高信頼性

Step	1	2	3	4	5	6	output
Weight	8	5	3	2	1	1	
LEVEL 16							16
15							15
14							14
13							13
12							12
11							11
10							10
9							9
8							8
7							7
6							6
5							5
4							4
3							3
2							2
1							1
0							0
-1							-1

The table illustrates the signal flow and quantization steps. Red arrows labeled $q(1)$, $q(2)$, $q(3)$, and $q(4)$ indicate quantization points. Blue arrows indicate the signal path between levels.

アウトライン

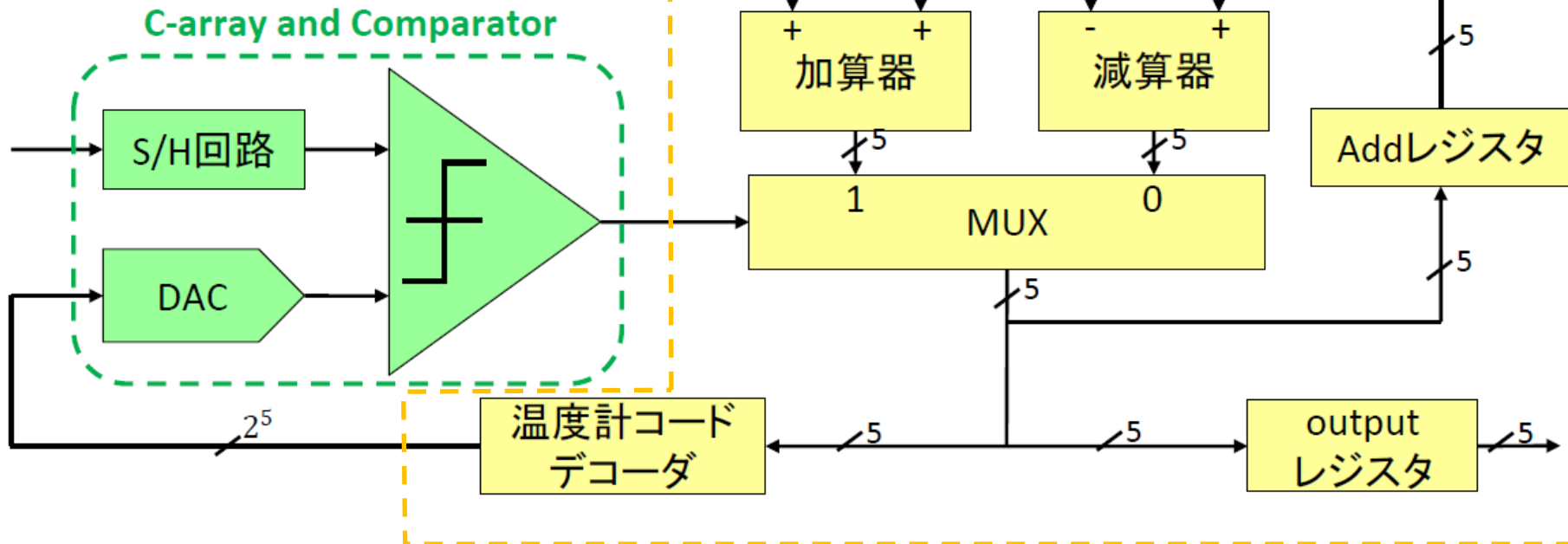
- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- **黄金比分割DACの検討**
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

従来の回路構造

5bit 冗長性あり
SAR ADC

比較電圧重み(0 1 1 2 3 5 ...)
事前に記録

SAR logic

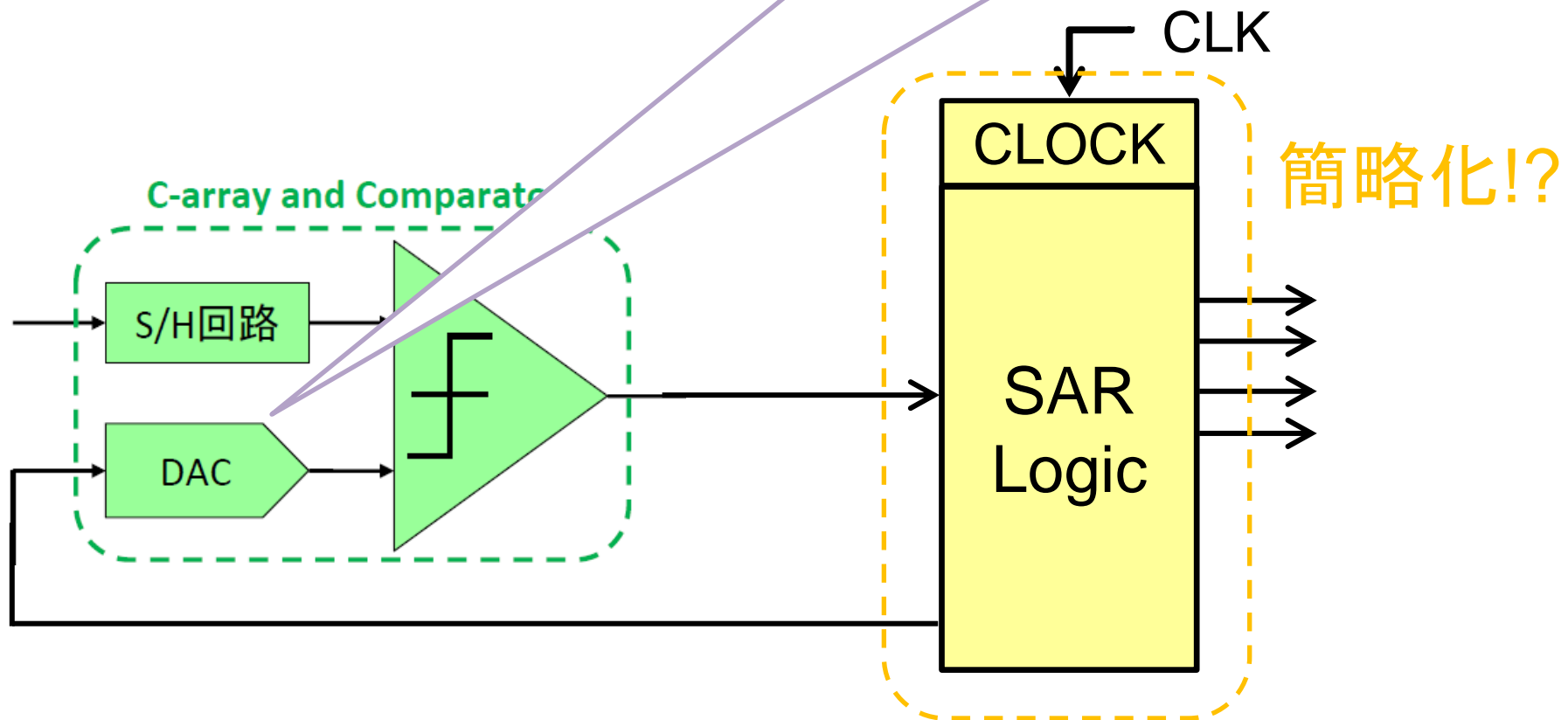


SARロジックでフィボナッチ数重み付け

提案回路構造

5bit 冗長性あり
SAR ADC

DA変換器で比較電圧重み
(0 1 1 2 3 5 ...)生成



DACでフィボナッチ数重み付け

DA変換器の新提案回路

新しい発見！

R-2R抵抗ラダー回路

➡ 2進重みの電圧発生



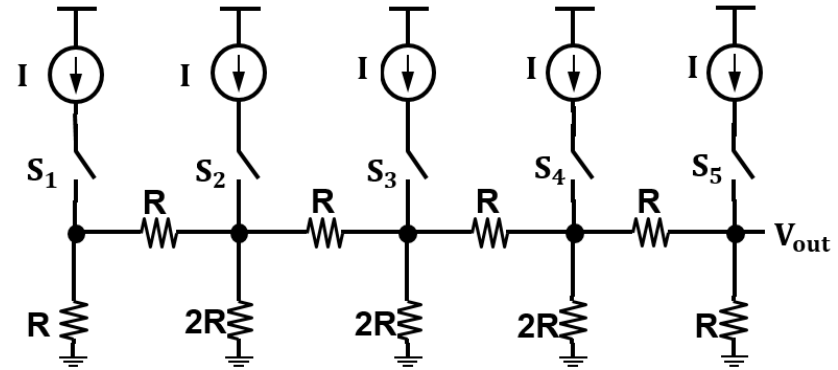
すべての抵抗をRで統一

R-R抵抗ラダー回路

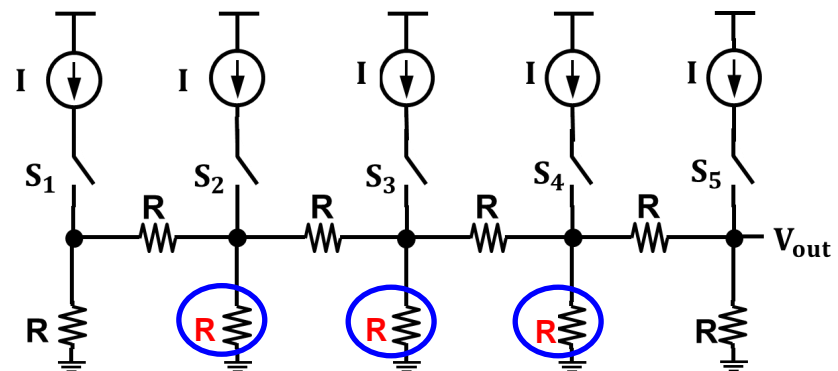
➡ フィボナッチ重みの電圧発生



簡単な構成でフィボナッチ
対応DA変換器実現可！



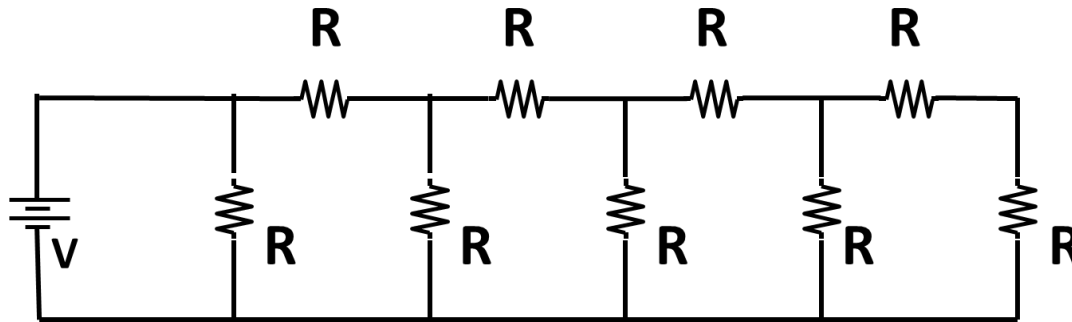
R-2R抵抗ラダー回路



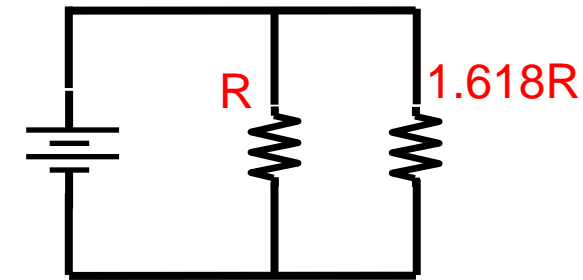
R-R抵抗ラダー回路

R-R抵抗ラダー

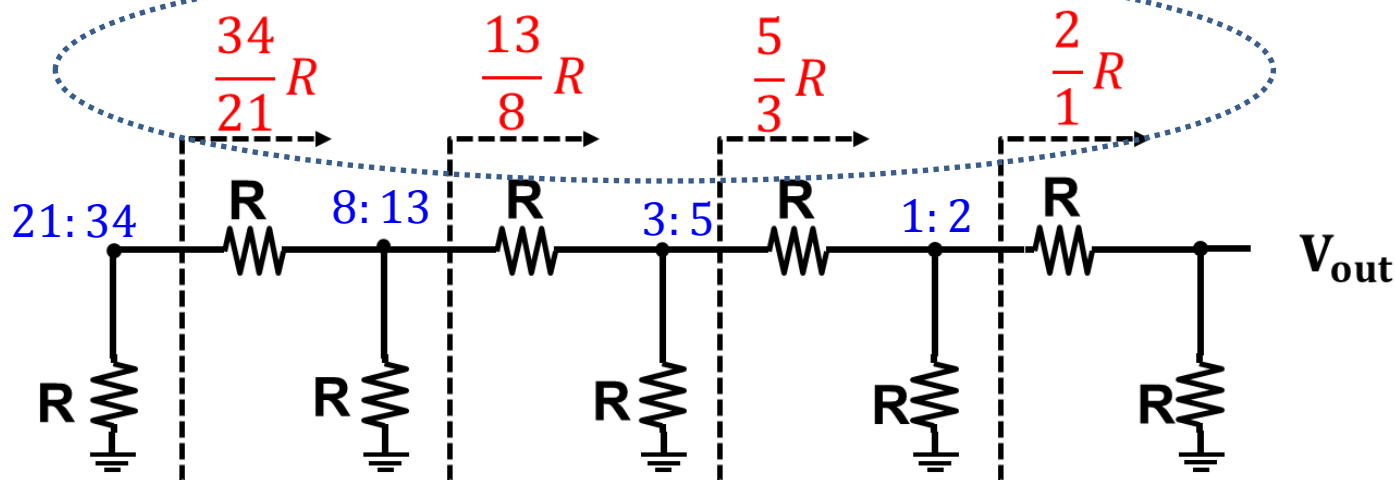
電流分割



黄金比分割



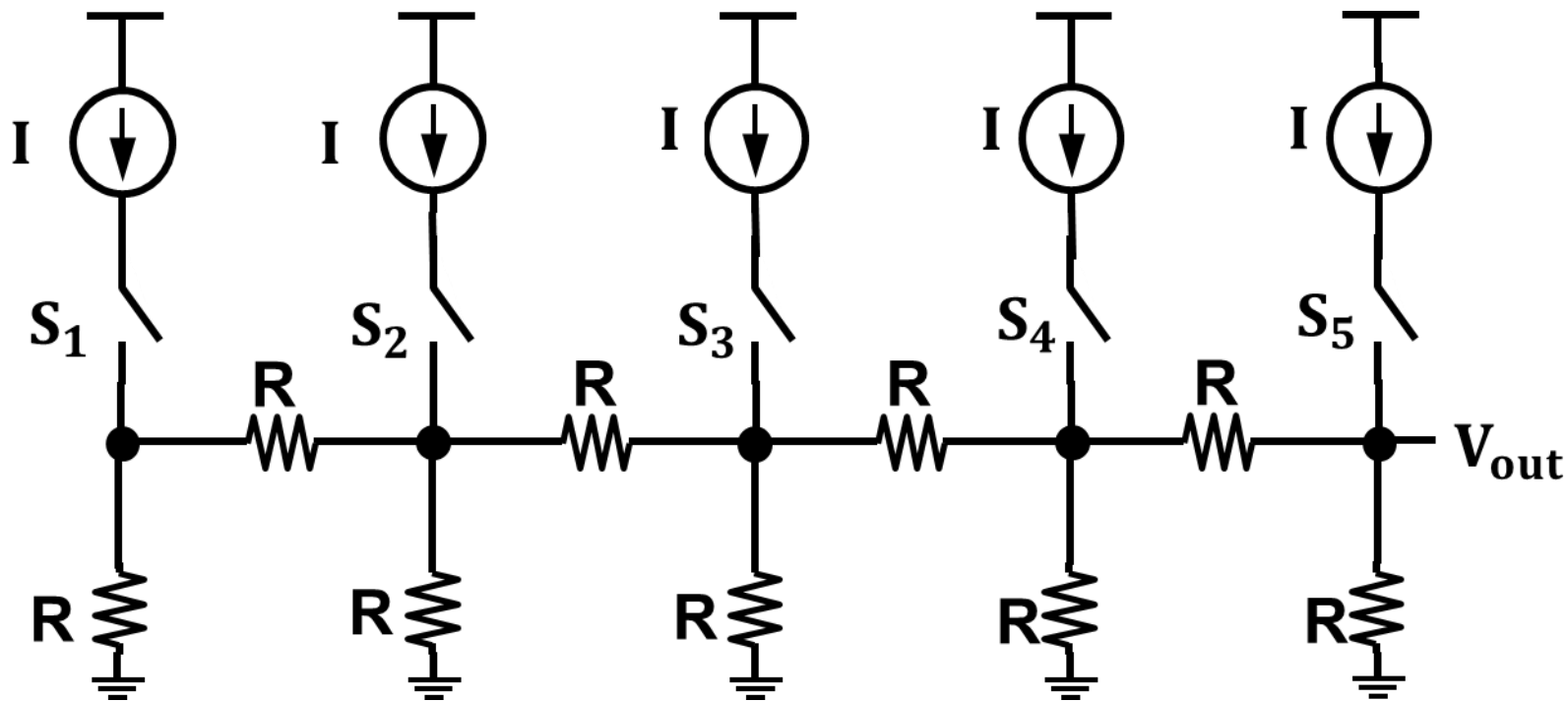
フィボナッチ数に対応



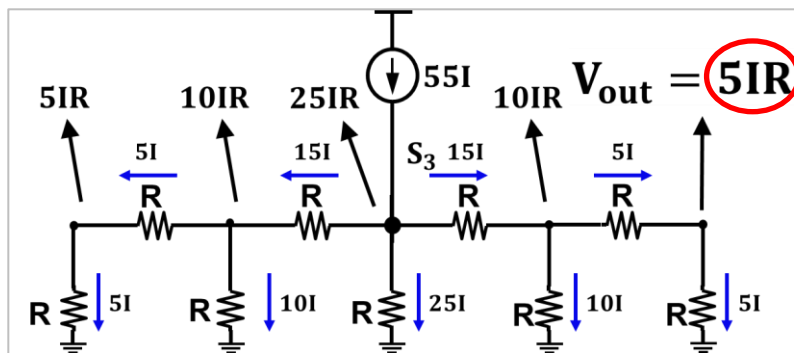
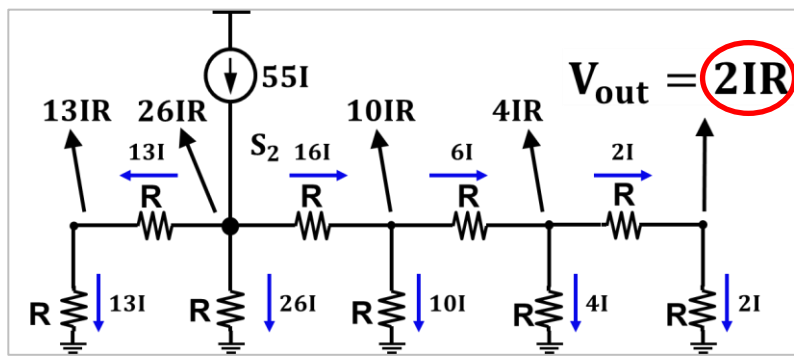
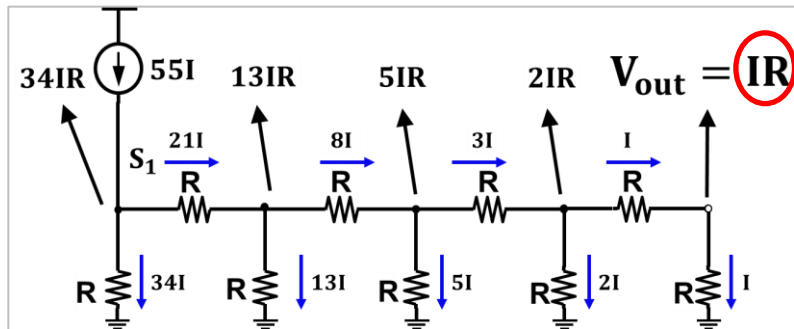
R終端回路構成

入力：電流源

出力：奇数番目のフィボナッチ重み付け電圧
(1, 2, 5, 13, 34, ...)



R終端回路の動作



フィボナッチ数列

1, 1, 2, 3, 5, 8, ...

m点目ノードの右側合成抵抗は

$(1/1)R, (2/3)R, (5/8)R, (13/21)R, \dots$

$\dots, \left(\frac{F_{2(n-m)+1}}{F_{2(n-m)}}\right), \dots, \left(\frac{F_{2n+1}}{F_{2n}}\right)R$

V_{out} は

$$V(m) = \left(\frac{F_{2(n-m)+1}}{F_{2n}}\right) IR$$

n : 抵抗列のノード数
 m : onにするスイッチ

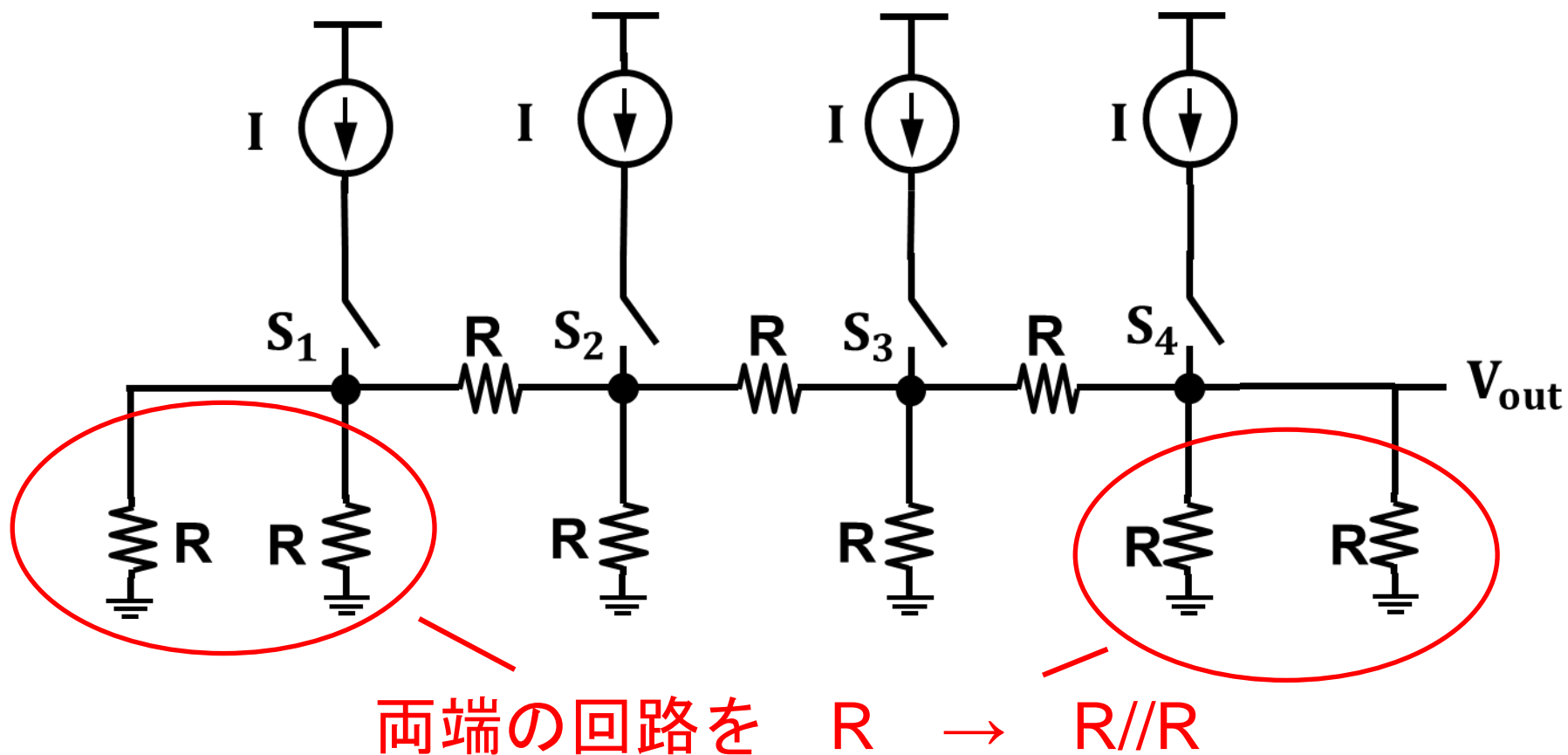


奇数項(F_1, F_3, F_5, \dots)の出力

R||R終端回路構成

入力：電流源

出力：偶数番目のフィボナッチ重み付け電圧
(1, 3, 8, 21, 55, ...)



R||R終端回路の動作

フィボナッチ数列

1, 1, 2, 3, 5, 8, ...

各ノードの右側合成抵抗は

$(1/1)R, (3/2)R, (8/5)R, \dots$

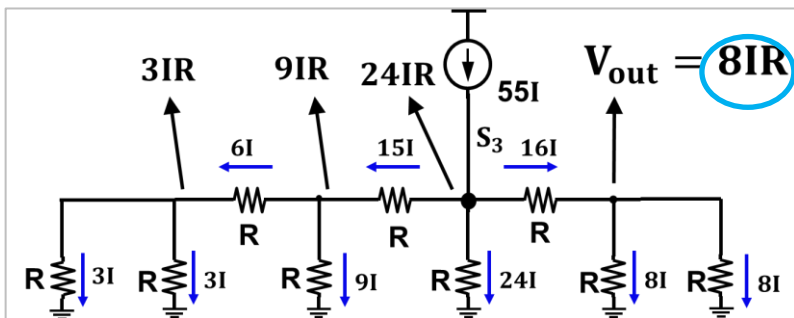
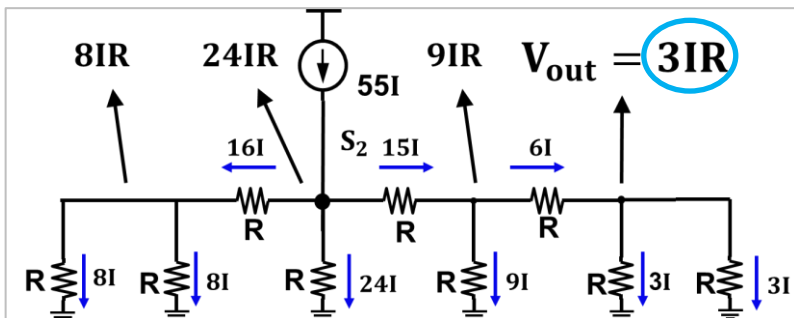
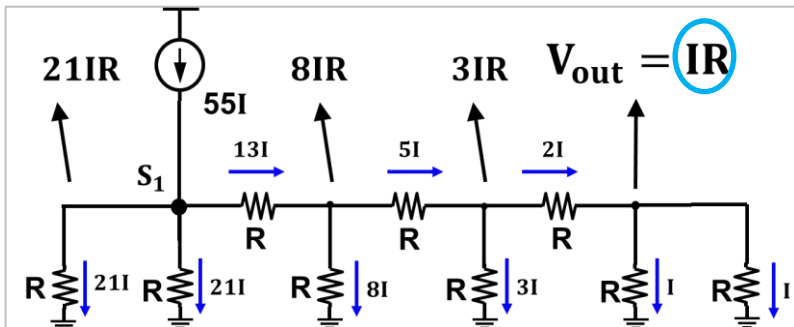
$$\dots, \left(\frac{F_{2(n-m+1)}}{F_{2(n-m)+1}}\right)R, \dots, \left(\frac{F_{2(n+1)}}{F_{2n+1}}\right)R$$

各ノード電圧は

$$V(m) = \left(\frac{F_{2(n-m+1)}}{F_{2(n+1)}}\right) IR$$

n : 抵抗列のノード数
 m : onにするスイッチ

➡ 偶数項(F_2, F_4, F_6)も出力可



フィボナッチ数列重み電圧の表現

R終端回路出力の一般式

$$V(m) = \left(\frac{F_{2(n-m)+1}}{F_{2n}} \right) IR$$

$$= 1, 2, 5, 13, \dots$$

+

R||R終端回路出力の一般式

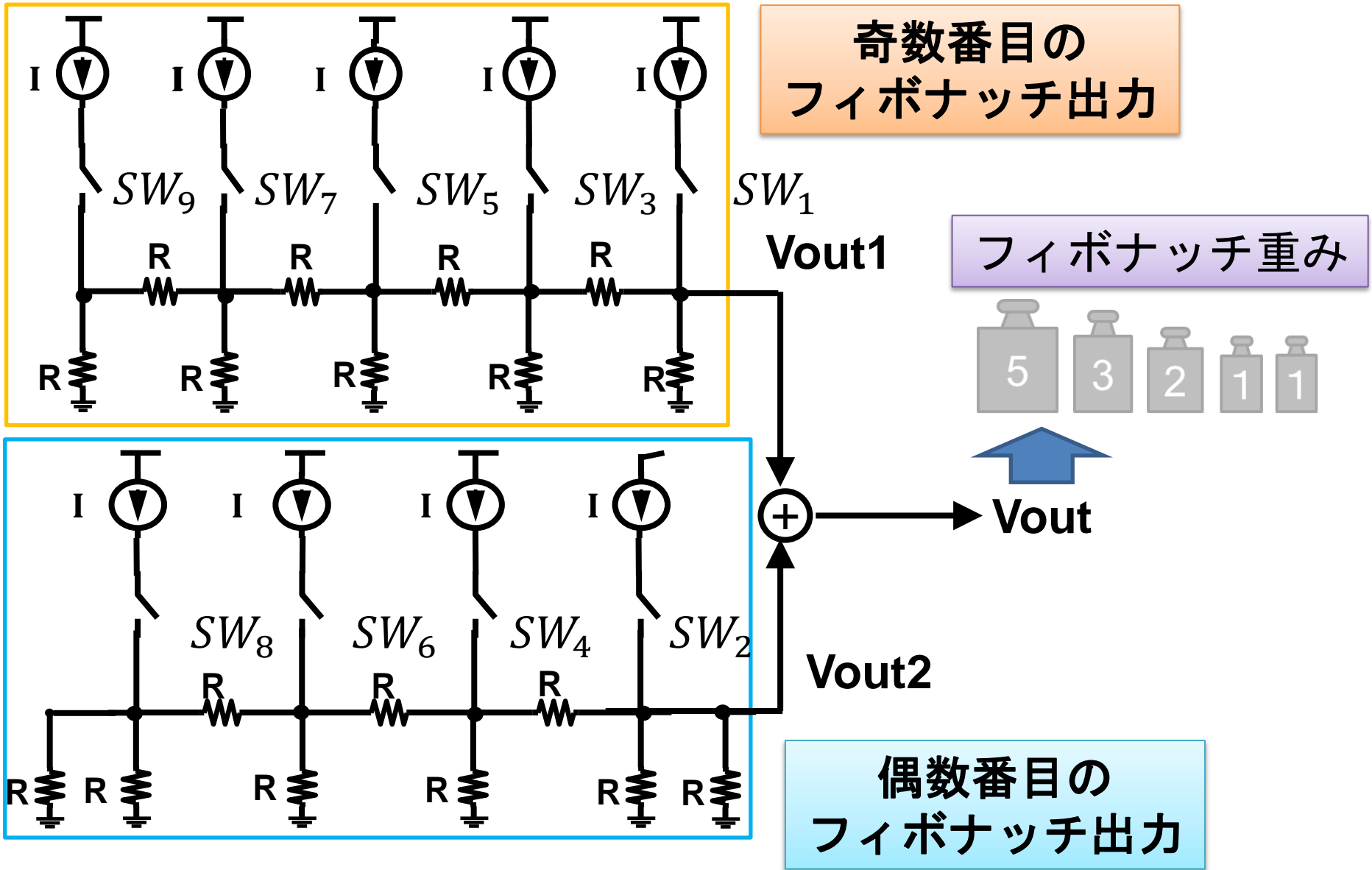
$$V(m) = \left(\frac{F_{2(n-m+1)}}{F_{2(n+1)}} \right) IR$$

$$= 1, 3, 8, 21, \dots$$

すべての
フィボナッチ数列

1, 1, 2, 3, 5
, 8, 13, 21, ...

フィボナッチ重み付けR-RラダーDAC



結合部の検討

容量による加算

電荷の加算性を利用



- 回路の大規模化
- 応答速度の低下

大容量だと...



小容量にすればよい

オペアンプによる加算

電流の加算性を利用



- オフセットによる変動
- 消費電力が大きい

結合部の検討

容量による加算

電荷の加算性を利用



- 回路の大規模化
- 応答速度の低下

大容量だと...



小容量にすればよい

オペアンプによる加算

電流の加算性を利用



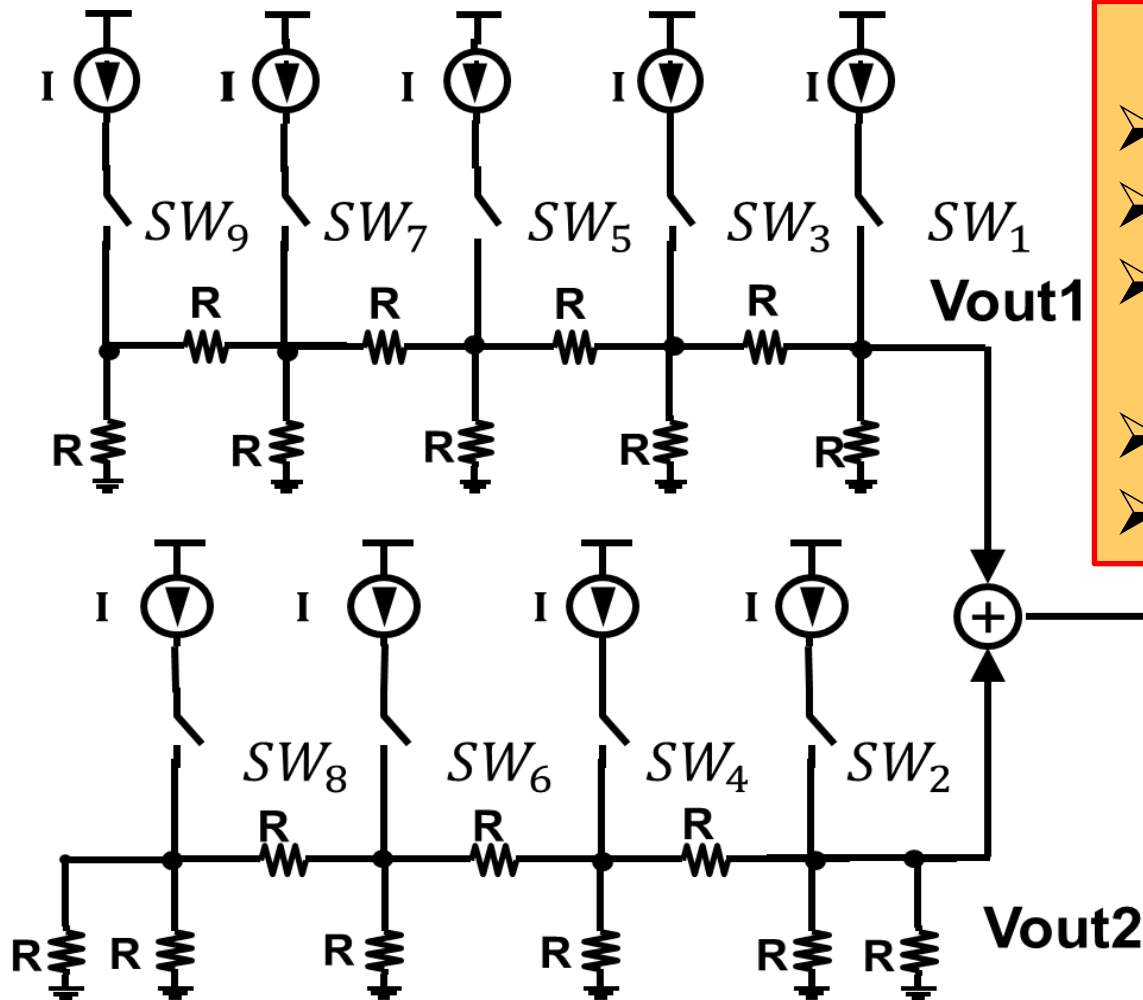
- オフセットによる変動
- 消費電力が大きい

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- **黄金比分割DACの検討**
 - 回路概要
 - シミュレーション結果
- 黄金比分割DACの応用・展開
- まとめ

検証回路

SW1~SW9を切り替え出力電圧 V_{out} を確認



【素子値】

- 抵抗 $R=550\Omega$
- 容量 $C=1\text{pF}$
- 電流 $I=200\mu\text{A}$

【検討項目】

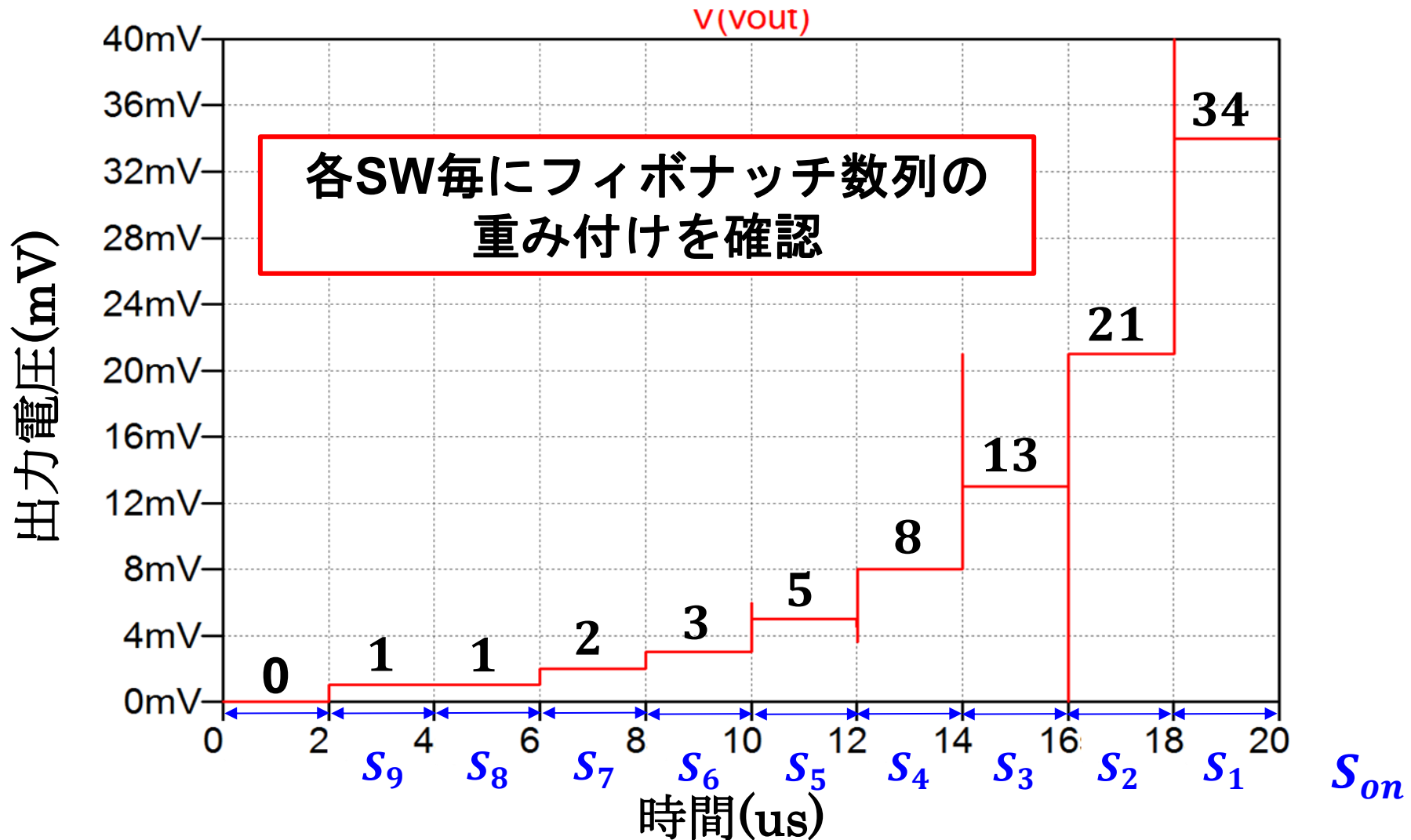
- 重み付けの確認
- 各アナログ値の表現

Vout



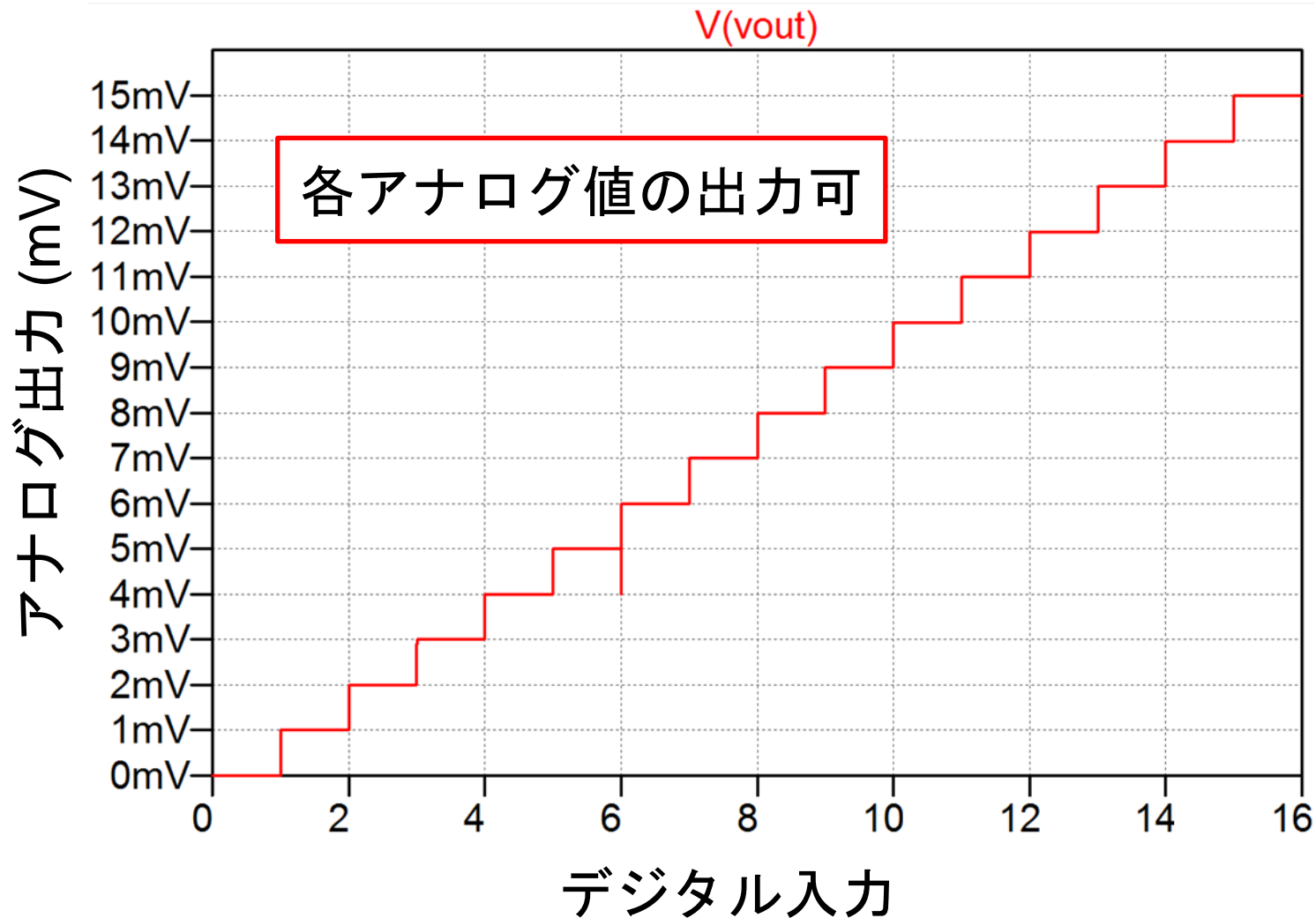
フィボナッチ重み？

重み付けの確認



フィボナッチ重みが出力

4bitの出力電圧

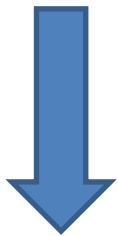


DACとして使用可能

提案回路の考察

【従来DAC】

R-2R抵抗ラダー、容量アレイ、...



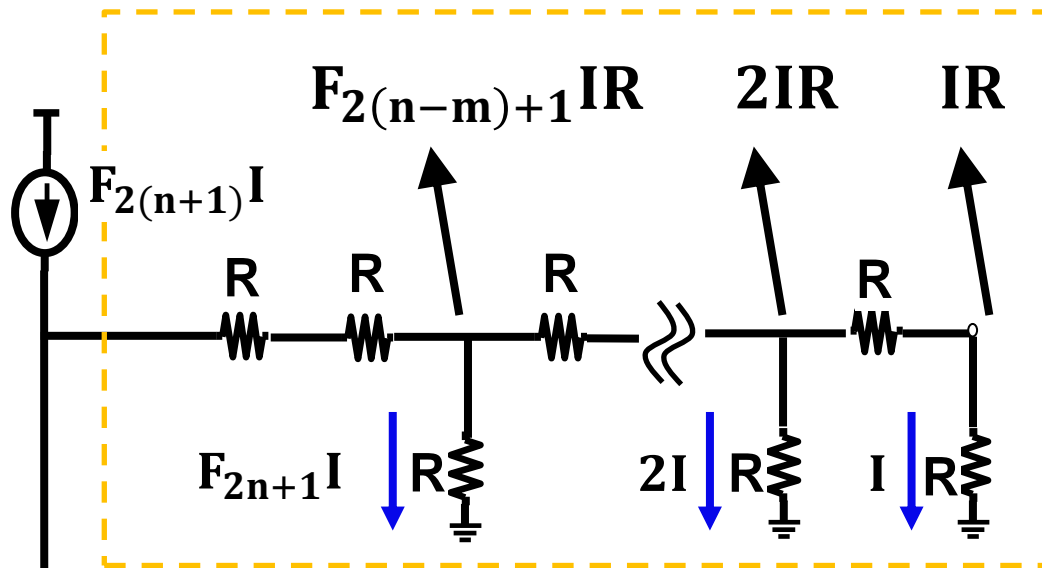
- 抵抗値 $2R$ を R へ変更
- 容量による加算

【提案DAC】

- ◆ フィボナッチ冗長に対応
 - 冗長設計による補正力がUP
 - 整定時間の短縮
- ◆ DACで重み付け可能
 - SAR ロジック回路の簡略・小規模化
 - ロジックでの低消費電力化

簡単な構成で
性能をUP!!

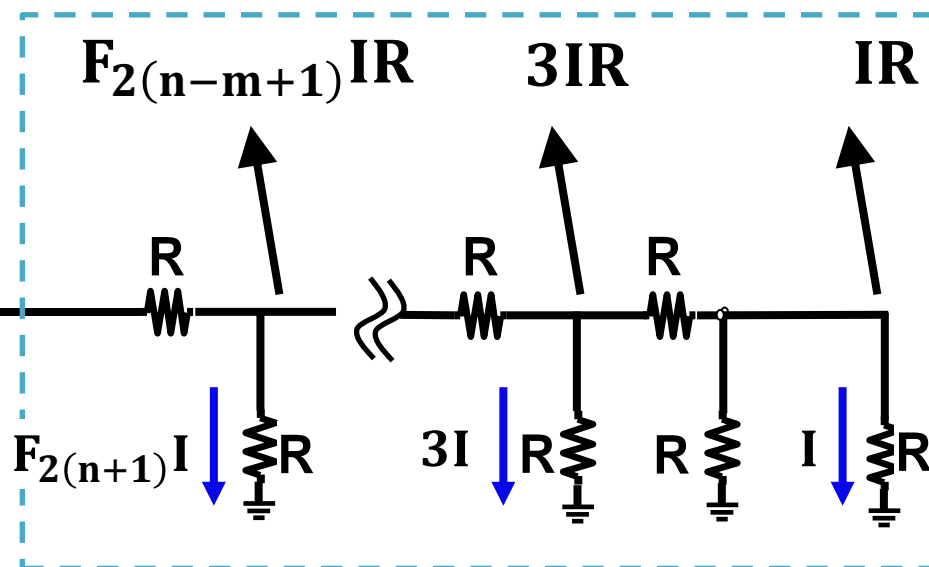
単電流分割型DAC回路



奇数番目の
フィボナッチ数

特徴

- 電流源が1つ
- 加算時に容量が多
- Full Scaleの低下



偶数番目の
フィボナッチ数

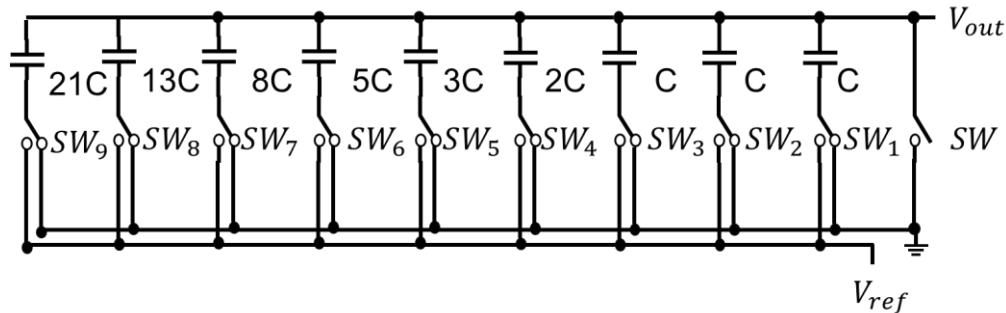
容量アレイ方式

特徴

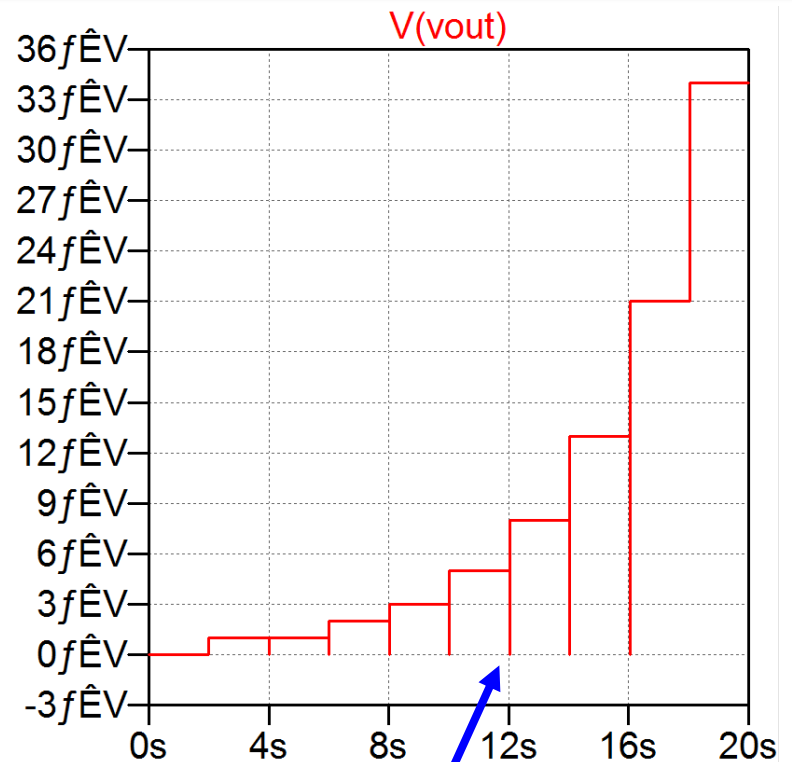
- 容量を用いることで低消費電力
- 最大・最小容量比が大きい
- 放電路が必要

【素子値】

$V_{ref}=55\mu\text{V}$
 $C=1\text{pF}$



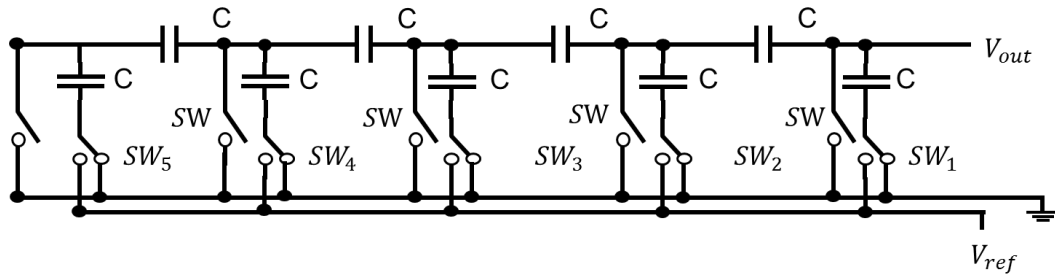
フィボナッチ重み付け可能



電荷を放電

容量によるDAC回路

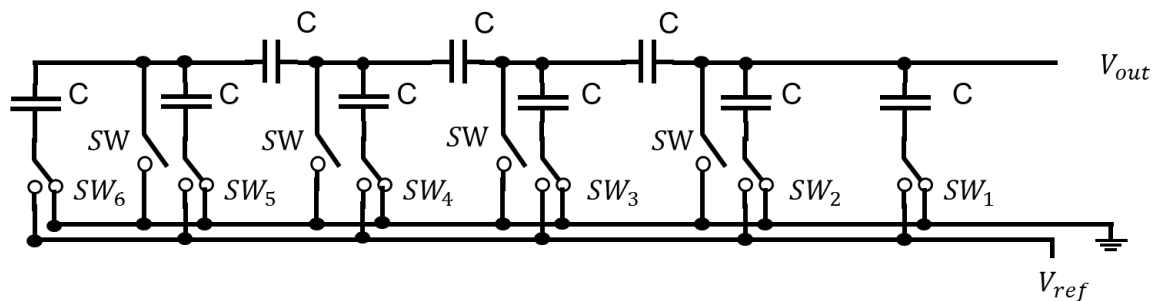
C終端C-Cラダー回路



特徴

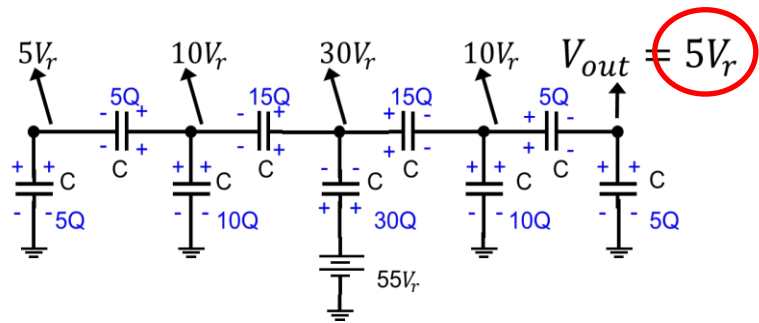
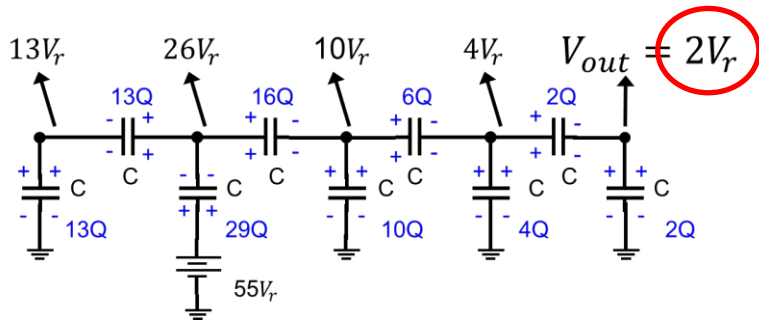
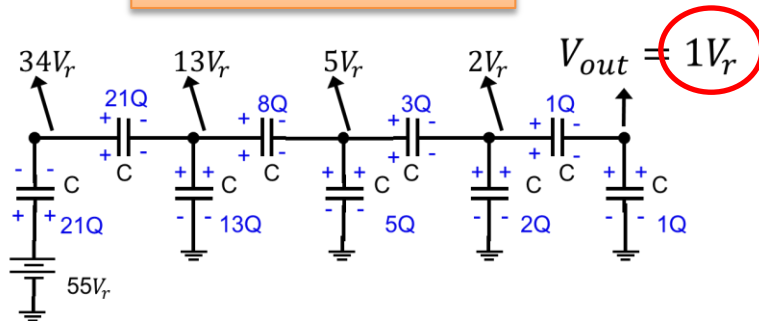
- ◆ 最大・最小容量の比が小
- ◆ 容量なので低消費電力
- ◆ 放電路が必要
- ◆ 応答速度が遅い

C||C終端C-Cラダー回路

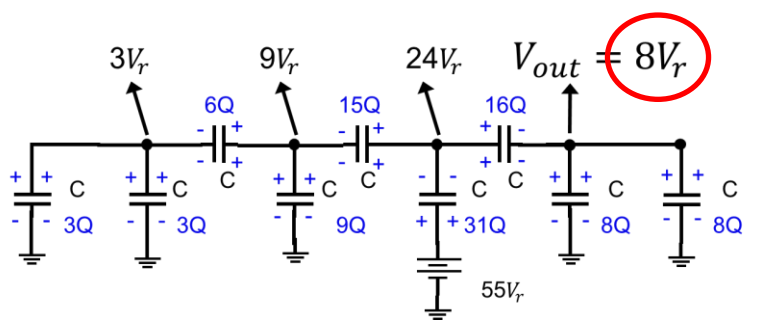
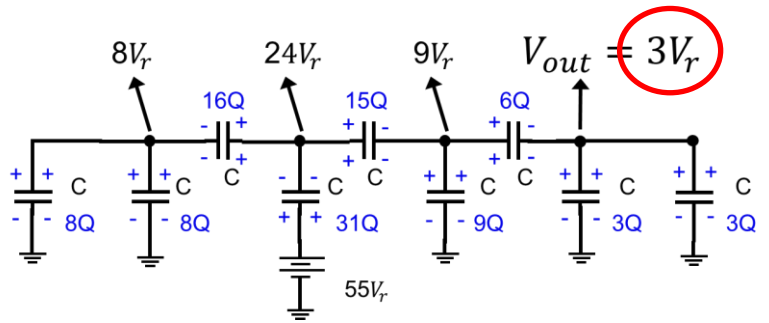
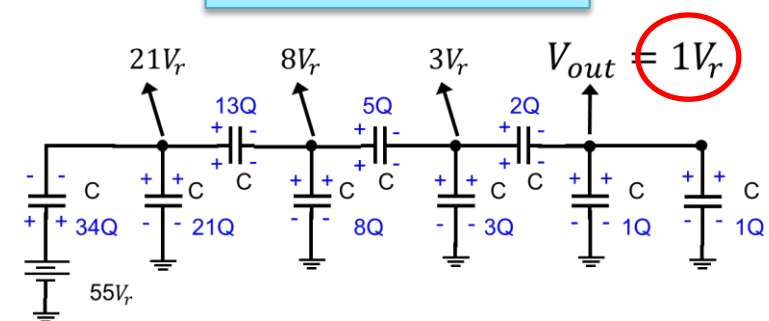


容量によるDAC回路(動作)

端直列回路



端並列回路



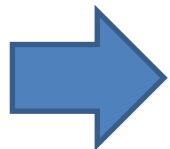
コンデンサでも理論的には出力可

アウトライン

- 研究背景・概要
- 時間冗長システムを持つSAR ADC
- フィボナッチ数列を応用した冗長性の設計
- 黄金比分割DACの検討
 - 回路概要
 - シミュレーション結果
- まとめ

黄金比分割DACのまとめ

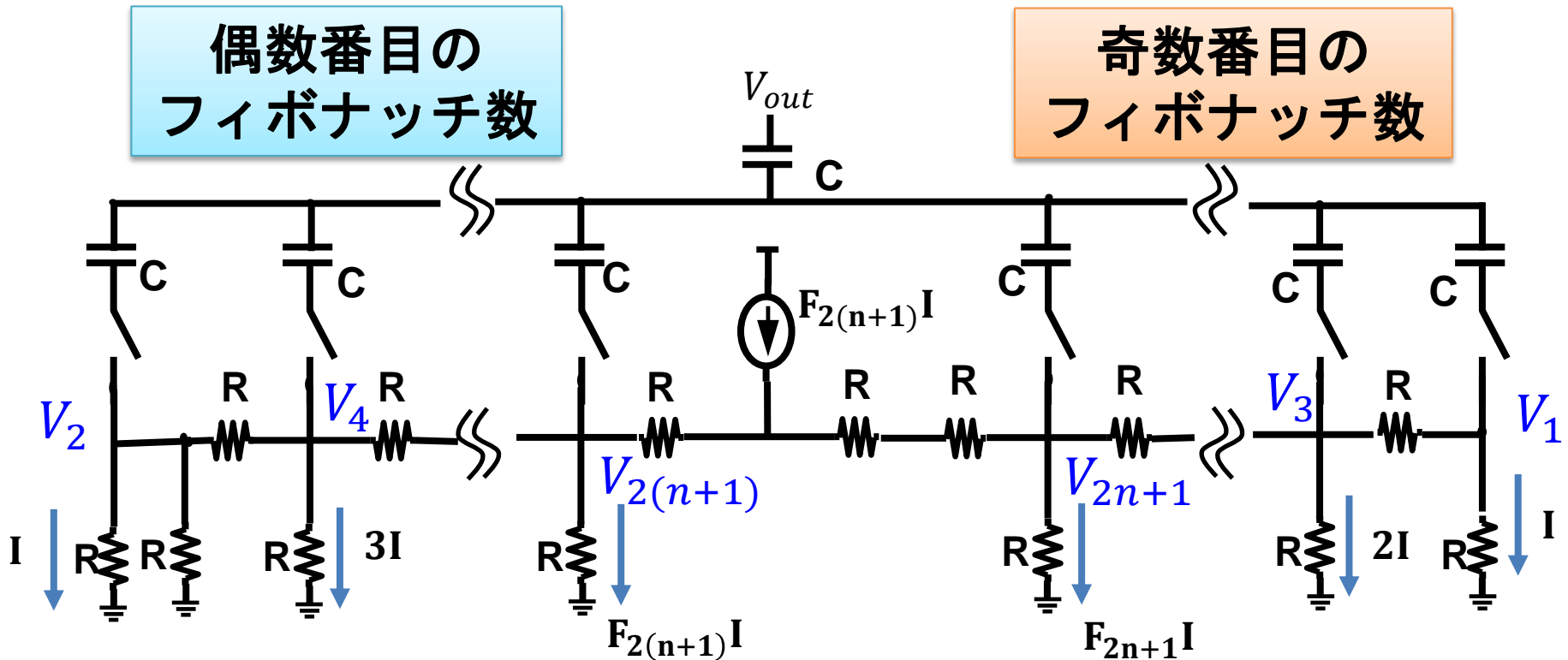
- ◆ フィボナッチ冗長設計対応
 - 冗長設計による補正力がUP
 - 整定時間の短縮
- ◆ DACで重み付け可能
 - SAR ロジック回路の簡略・小規模化
 - ロジックでの低消費電力化



簡単な回路構成で実現可能!!

付録

回路構成



特徴

- 電流源が1つ
- 加算時に容量が多
- **FSB**の低下

各ノード毎に容量が必要

$$V_{out} = \frac{1}{2n+2} (V_1 + V_2 + \dots + V_{2n+1} + V_{2n+2})$$

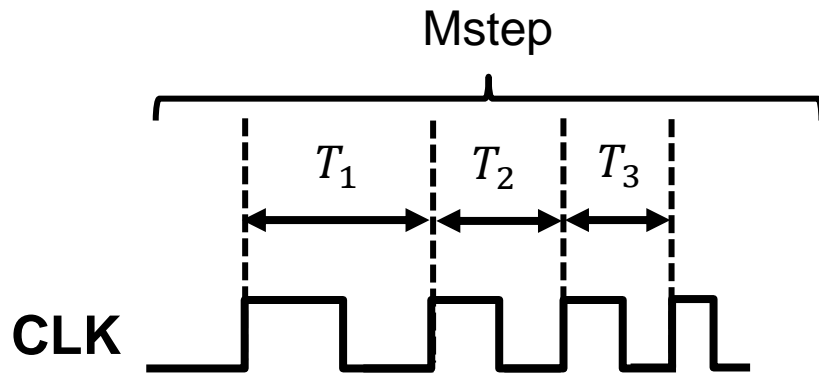
DAC出力整定の一般化

整定時間

$$T = \tau \ln\left(\frac{1}{1-x}\right) = \tau \ln\left(\frac{p(k) + q(k-1)}{q(k)}\right)$$

可変クロックAD変換

T の単純な合計値

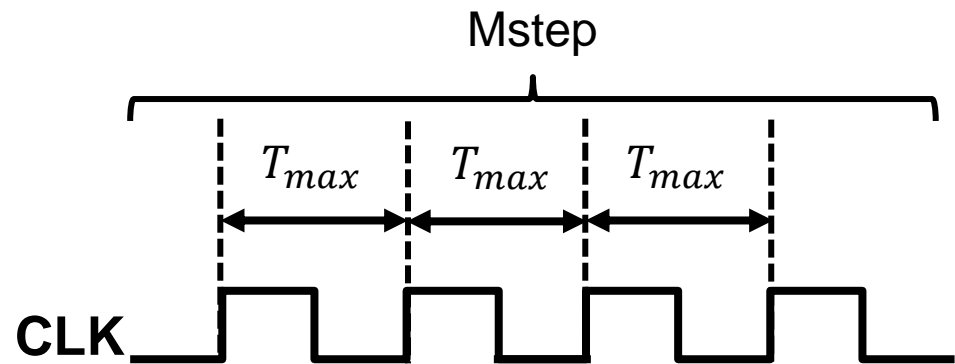


AD変換時間(可変)

$$T_{conv_vari} = \sum_{i=1}^M T_i$$

固定クロックAD変換

T の最大値 T_{max} のステップ毎
($\Rightarrow x$ が最大のところ)



AD変換時間(固定)

$$T_{conv_fixed} = T_{max} \times M$$

フィボナッチ設計手法の整定時間

Step	1st	2nd	3rd	4th	5th	6th	7th
Weight p(k)	16	8	5	3	2	1	1
33					↓		
32				↑↓			
31				↑↓			
30			↑↓		↑↓		
29			↑↓		↑↓		
28			↑↓		↑↓		
27			↑↓		↑↓		
26		↑↓		↑↓			
25		↑↓		↑↓			
24		↑↓		↑↓			
23		↑↓		↑↓			
22		↑↓		↑↓			
21		↑↓		↑↓			
20	↑↓		↑↓		↑↓		
19	↑↓		↑↓		↑↓		
18	↑↓		↑↓		↑↓		
17	↑↓		↑↓		↑↓		
16	↑↓		↑↓		↑↓		
15	↑↓		↑↓		↑↓		
14	↑↓		↑↓		↑↓		
13	↑↓		↑↓		↑↓		
12	↑↓		↑↓		↑↓		
11	↑↓		↑↓		↑↓		
10	↑↓	↑↓		↑↓			
9	↑↓	↑↓		↑↓			
8	↑↓	↑↓		↑↓	↑↓		
7	↑↓	↑↓		↑↓	↑↓		
6	↑↓	↑↓		↑↓	↑↓		
5	↑↓	↑↓		↑↓	↑↓		
4	↑↓	↑↓		↑↓	↑↓		
3	↑↓	↑↓		↑↓	↑↓		
2	↑↓	↑↓		↑↓	↑↓		
1	↑↓	↑↓		↑↓	↑↓		
0	↑↓	↑↓		↑↓	↑↓		
-1	↑↓	↑↓		↑↓	↑↓		
-2	↑↓	↑↓		↑↓	↑↓		

フィボナッチ数列SAR ADC性質

①許容値 $q(k)$ は必ずフィボナッチ数

$$q(k) = F_{M-k-1}, q(k-1) = F_{M-k}$$

②許容できる範囲が必ず接する

x は必ず $q(k), q(k-1)$ でのみ決定

整定時間 T は

$$T = \tau \ln(2\varphi + 1)$$

$$= 1.444\tau$$

フィボナッチ数列では
可変クロックを用いたとしても
(LSB側を除いて)常に一定!

※1. リュカ数も同様に一定時間実現

※2. 一般手法では $p(k)$ と $q(k)$ に
関連性がないためできない

Q & A

岡田先生（東京工業大）

Q.SAR ADCの比較間違いは実際は後段のステップで起こると思うが、後段で間違いが起こることに関してはどう考えてるのか。

A.検討、考慮します

Q.すべての範囲を補正できるようにする必要があるのか。

（実際のSAR ADCとしてはわざと一部の補正を行わない構成もある）

A.補正能力の強さに関して、検討します。

Q.整定時間の計算はどう行ったのか。バイナリーと同じ計算法？Pとqって何？固定クロックは実際使わない。

A. P57のスライドの数式を使った。バイナリーも同様。

（ $p(k)=2, q(k)=0$ ）とした。P(k):電圧重み q(k):補正範囲。実際の設計上どうするかは検討する。可変クロックでも整定時間が一定になるという性質はある。

Q. 冗長設計によるSAR ADCの信頼性の向上について話していたが、補正で複数の経路をとるがテストはどのようにおこなうか考えてるのか？

A. 検討中です。

Q. INLの向上でのばらつきの値は製造時、動作時どちらで考慮？

(動作時にばらつきを検出するような回路はつけるのか)

A. 動作時。動作中の電流源のばらつきを検出してばらつきの和が最小になる組み合わせを検出する。