

黄金比重み付け DA 変換器の検討

Golden ratio Weighted DAC Topologies for SAR ADC

群馬大学 ○澁谷 将平 荒船 拓也 小林 佑太郎 小林 春夫
Gunma University Shohei Shibuya, Takuya Arafune, Yutaro Kobayashi, Haruo Kobayashi
t15804045@gunma-u. ac. jp

概要: 近年、自動車のエレクトロニクス化は著しく、車載用エレクトロニクス技術に大きな関心が集まっている。その中でマイコンと組み合わせた AD 変換器では逐次比較方式（が広く使われている。その高速化、高精度化、低消費電力化、低コスト化、高信頼性の要求が年々厳しくなっている。そこで高信頼性・高速化実現のために冗長設計がある。これまでの研究において、冗長設計のための非二進数アルゴリズムにおいて黄金比重み付け（約 1.6 進数）が最も補正能力、整定速度において有効である^{[1],[2]}。本研究では黄金比重み付け逐次比較近似 AD 変換器内に使用する黄金比重み付け DA 変換器を実現するため、黄金比に収束する整数列であるフィボナッチ数列重み付けによる構成を検討する。

結果: 簡単な抵抗 R と容量 C の組み合わせによる黄金比重み付け DA 変換器の回路構成を提案し、シミュレーションによって提案回路の動作を確認した。

参考文献: [1] 小林佑太郎, 小林春夫 「逐次比較近似 ADC の整数論に基づく冗長アルゴリズム設計」電気学会, 電子回路研究会, 島根 (2014 年 7 月).
[2] Y. Kobayashi, H. Kobayashi, "SAR ADC Algorithm with Redundancy Based on Fibonacci Sequence", The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh, Vietnam (Oct. 22-24, 2014)

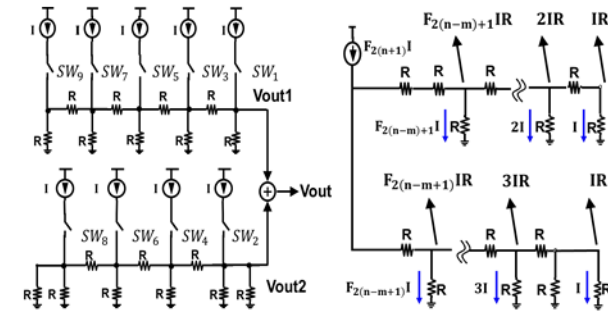


図 1 R-R 抵抗ラダー DA 変換器の構成