

HCIによるLDMOSの 信頼性シミュレーションに使用する 最大電界モデルの研究

群馬大学大学院

理工学府 理工学専攻

情報通信システム分野第二 小林研究室

修士1年 東野 将史

青木均, 築地伸和, 香積 正基, 戸塚拓也, 小林春夫

OUTLINE

- 研究背景
- 研究目的
- HCIによる劣化現象の解析
- 最大電界の関数モデル開発
 - 問題点
 - バイアス電圧依存 電界導出
 - 提案関数モデル
 - 関数モデル評価
- まとめ

OUTLINE

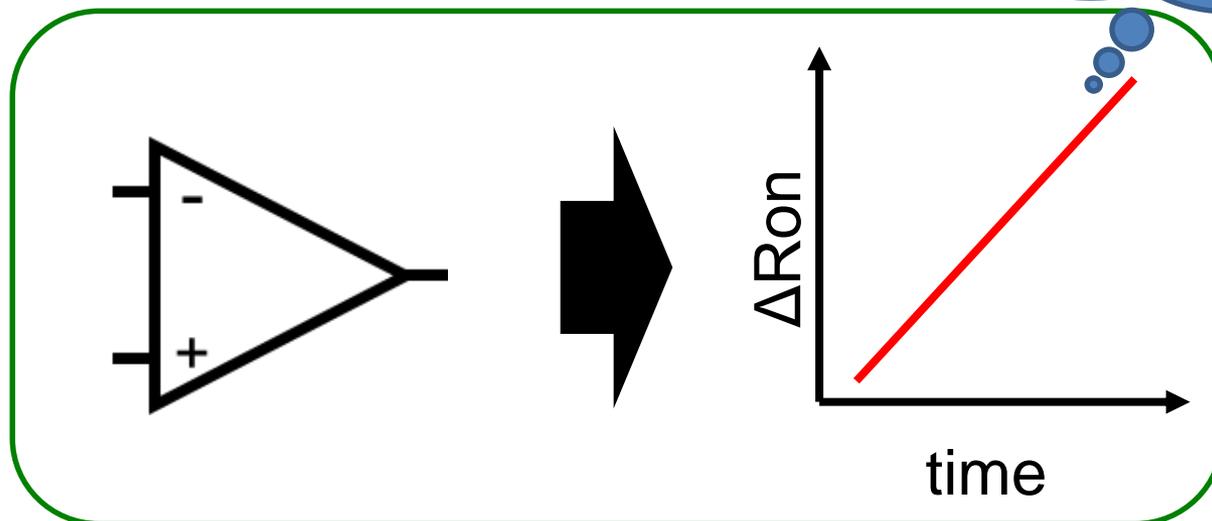
- 研究背景
- 研究目的
- HCIによる劣化現象の解析
- 最大電界の関数モデル開発
 - 問題点
 - バイアス電圧依存 電界導出
 - 提案関数モデル
 - 関数モデル評価
- まとめ

信頼性の問題

- 微細化によるLSIの信頼性問題
 - ばらつき, 経年劣化
- 信頼性試験による性能劣化予測
 - 膨大なコスト(時間, 設備費)
 - 劣化対策



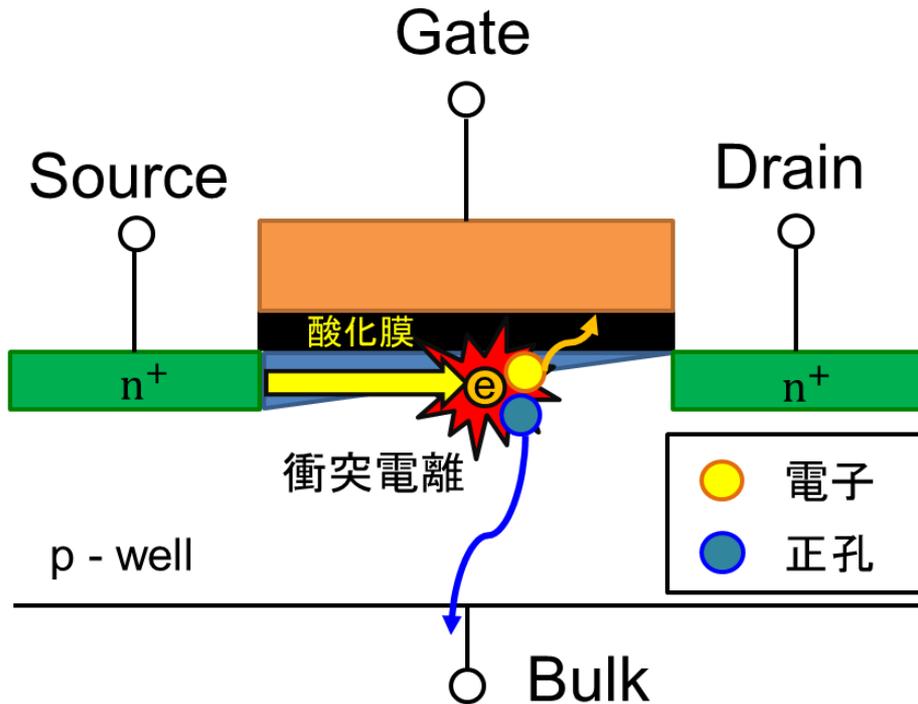
X年後の特性は？



HCI劣化現象による影響

■ MOSFETの劣化現象

- Hot Carrier Injection (HCI)に注目
- nMOSFETで顕著



- 飽和領域で発生
- HCにより衝突電離
- 酸化膜にトラップ



影響

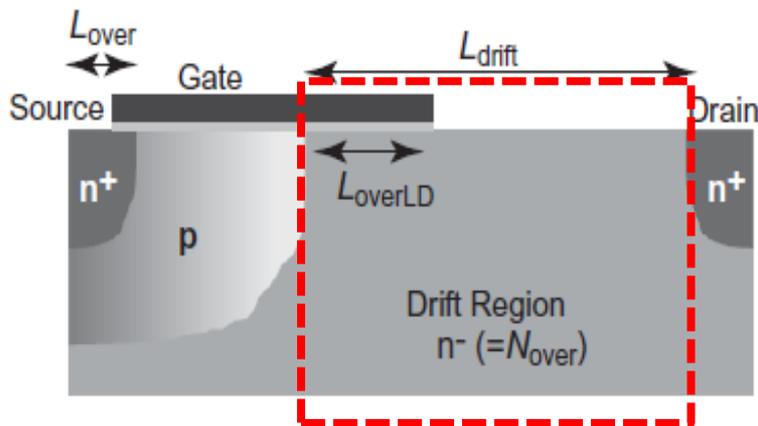
- しきい値電圧
- 移動度

経年劣化による信頼性問題

LDMOSとは？

■ Laterally Diffused MOSFET (LDMOS)

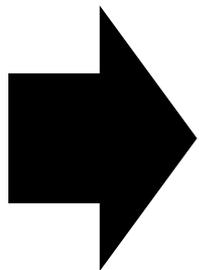
- パワーデバイス的一种



特徴

- ドレイン領域を横方向拡張
- オン抵抗が小さい
- 高耐圧・大電流

LDMOSの断面図 [4]



ゲート端で電界が集中

経年劣化によるデバイスの信頼性が課題



LDMOSの信頼性問題

■ LDMOSの用途

- RF集積回路の出力段
- 車載用IC



劣化予測の重要性

命に関わる



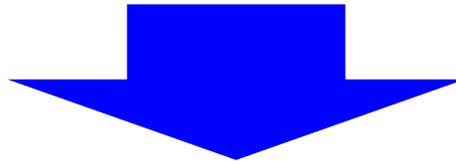
OUTLINE

- 研究背景
- 研究目的
- HCIによる劣化現象の解析
- 最大電界の関数モデル開発
 - 問題点
 - バイアス電圧依存 電界導出
 - 提案関数モデル
 - 関数モデル評価
- まとめ

研究目的

MOSFET劣化現象をシミュレーション・モデル化

- 回路シミュレータで性能劣化予測
 - 劣化を考慮した回路設計
- 時間, コスト ↘ ↘ 信頼性 ↗ ↗



LDMOSの劣化モデルを検討

- HCI劣化現象の解析
- 最大電界関数モデル

※ DCバイアス・ストレス電圧, nチャネルLDMOS

OUTLINE

- 研究背景
- 研究目的
- HCIによる劣化現象の解析
- 最大電界の関数モデル開発
 - 問題点
 - バイアス電圧依存 電界導出
 - 提案関数モデル
 - 関数モデル評価
- まとめ

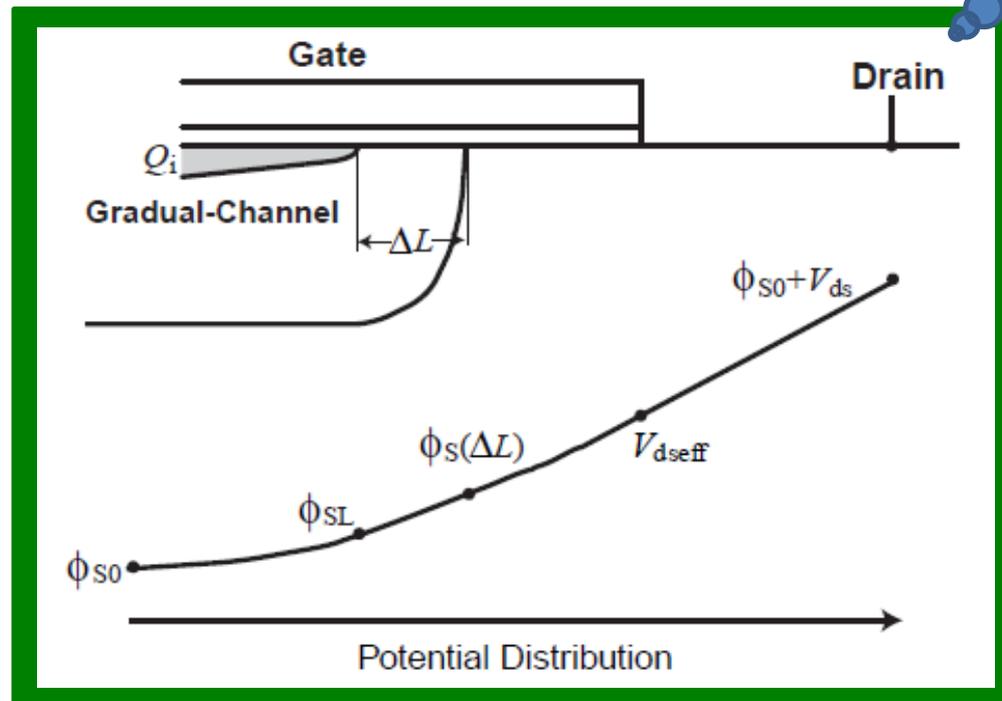
HiSIM-HV model とは？

■ Hiroshima-University STARC

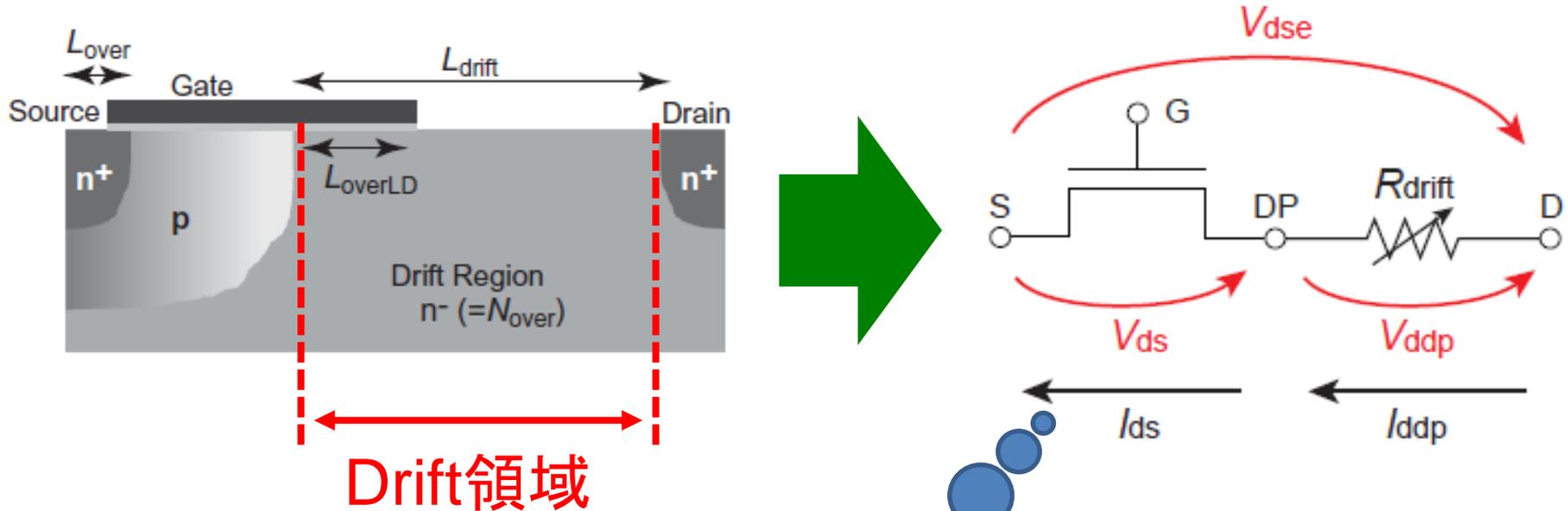
IGFET Model-High Voltage

- 高耐圧MOSの国際標準モデル
- 表面電位基準

物理的モデルに近い



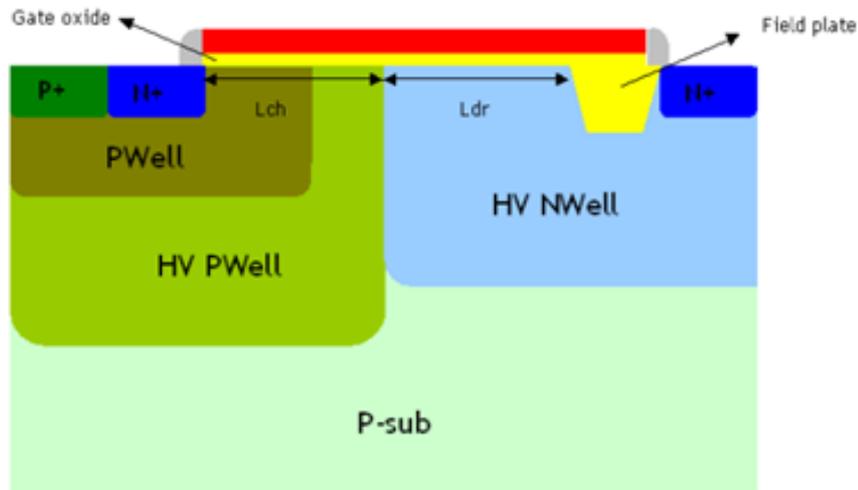
HiSIM-HVモデルにおけるLDMOS



- ドリフト領域で電圧降下
- 抵抗 R_{drift} としてモデル化

モデルパラメータ抽出

■ 文献[1]の測定データを使用



LDMOSの断面図

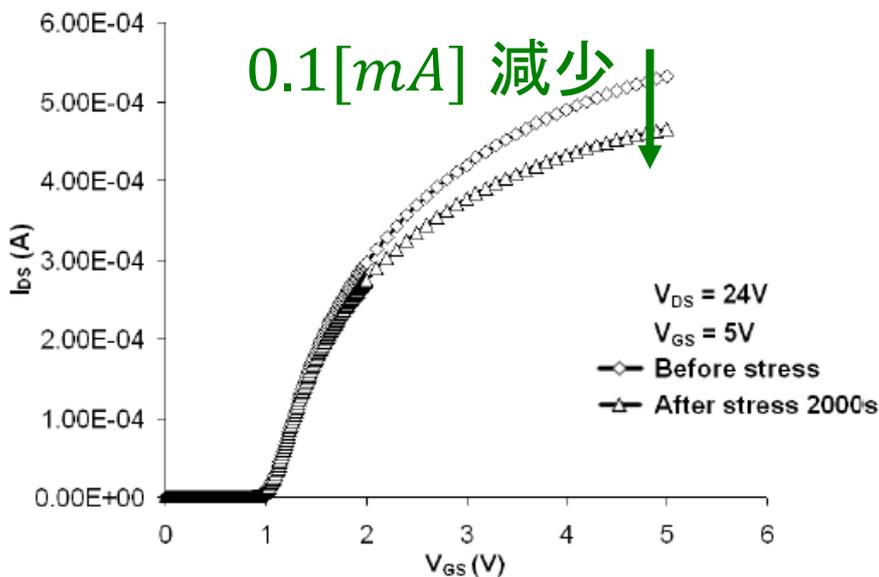
- 0.18 μm プロセス
- ゲート長 0.4 μm
- ゲート幅 20nm
- 酸化膜厚 11.5nm

[1] N. Soin, S.S. Shahabudin and K.K. Goh, et al., "Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type Lateral DMOS Transistors", 10th IEEE International Conference on Semiconductor Electronics, pp.659-663 (2012)

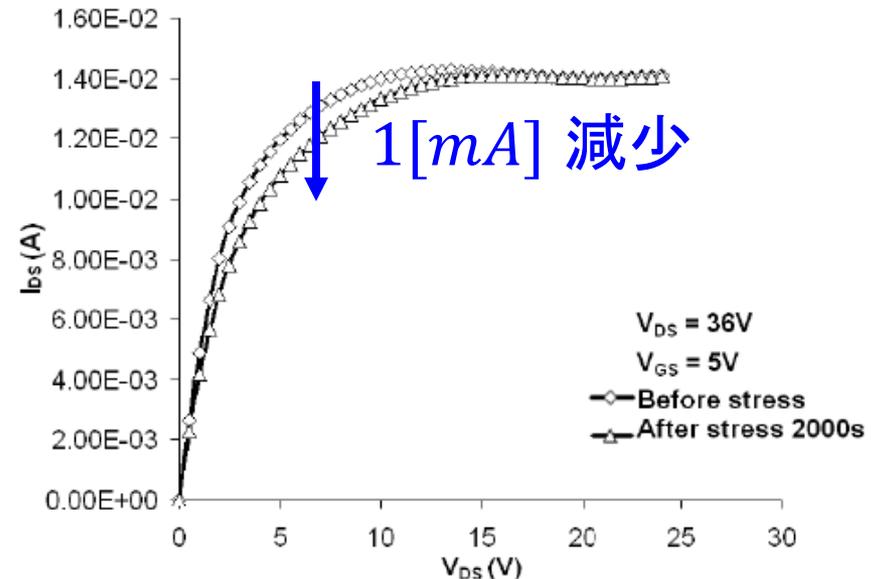
モデルパラメータ抽出

■ 文献[1]の測定データ

- ストレス時間 2000[sec]
- ストレス電圧 $V_{ds}=24[V]$, $V_{gs}=5[V]$



I_{ds} - V_{gs} 特性

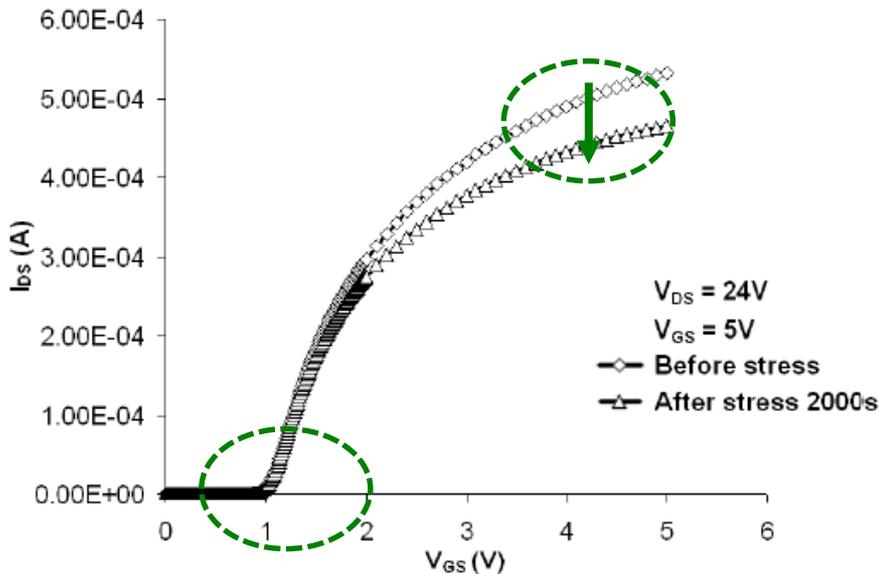


I_{ds} - V_{ds} 特性

モデルパラメータ抽出

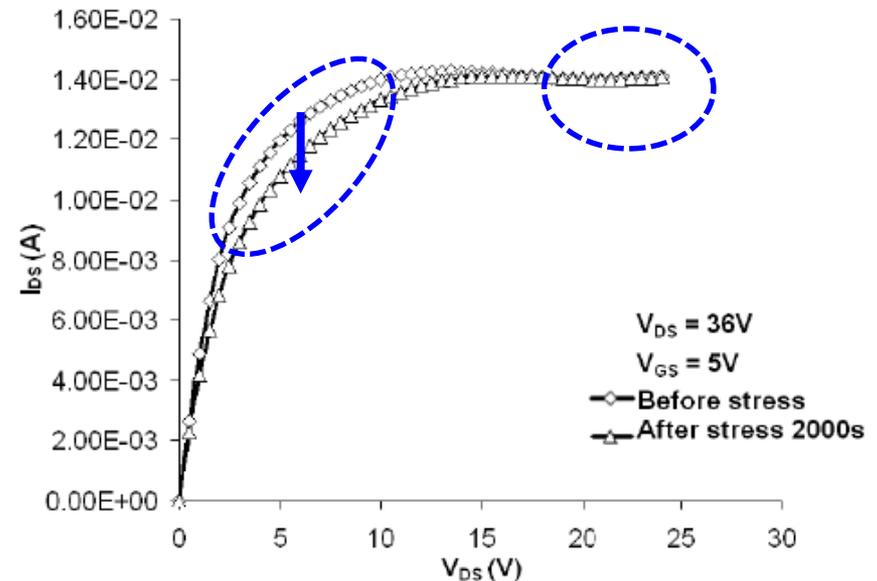
- 文献[1]によるとHCl劣化要因は、
ドリフト層のキャリア減少による“オン抵抗劣化”

Ids-Vgs特性



- しきい値電圧の変化なし
- 飽和領域の I_d 減少

Ids-Vds特性



- ピンチオフ領域の変化
- 飽和領域の I_d 変化なし

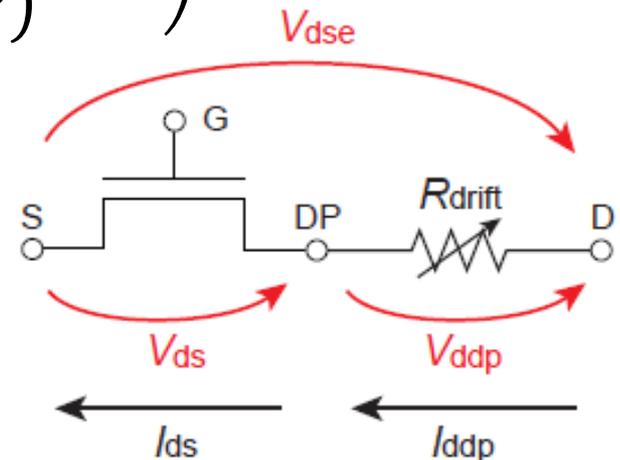
HiSIM-HV 劣化特性パラメータ選択

■ドリフト抵抗のパラメータ“RD”, “RDVG11”, “RDVG12”

$$R_{drift} = (R_d + V_{ds}R_{DVD}) \left(1 + RDVG11 - \frac{RDVG11}{RDVG12} V_{gs} \right) \\ (1 - V_{bs}RDVB) \left(\frac{LDRIFT1 + LDRIFT2}{DDRIFT - W_{dep}} \right)$$

$$R_d = \frac{R_{d0}}{W_{eff,LD}NF} \left(1 + \frac{RDS}{(W_{gate}10^6 L_{gate}10^6)^{RDSP}} \right)$$

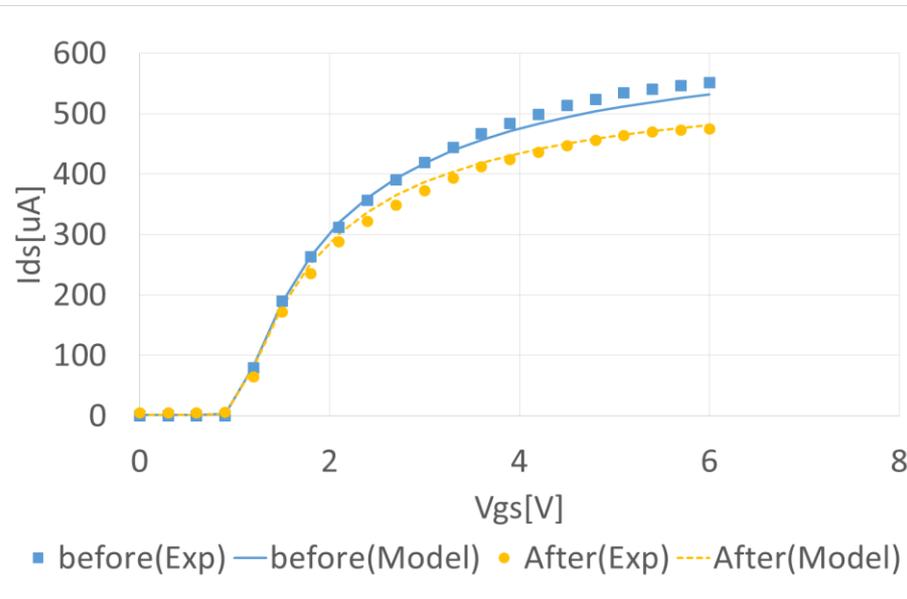
$$R_{d0} = (RD + R_{d0,temp})f_1f_2$$



劣化特性パラメータ “RD” 選択

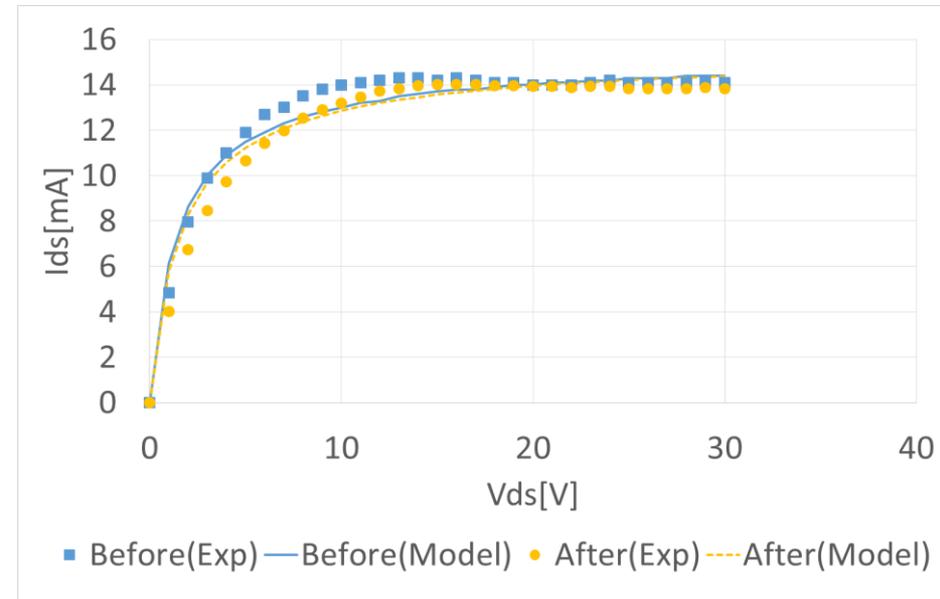
RD : Before 1.157m Ω After 1.341m Ω

● Ids-Vgs特性



ドレイン電流減少を再現

● Ids-Vds特性



ピンチオフ領域の変化を再現

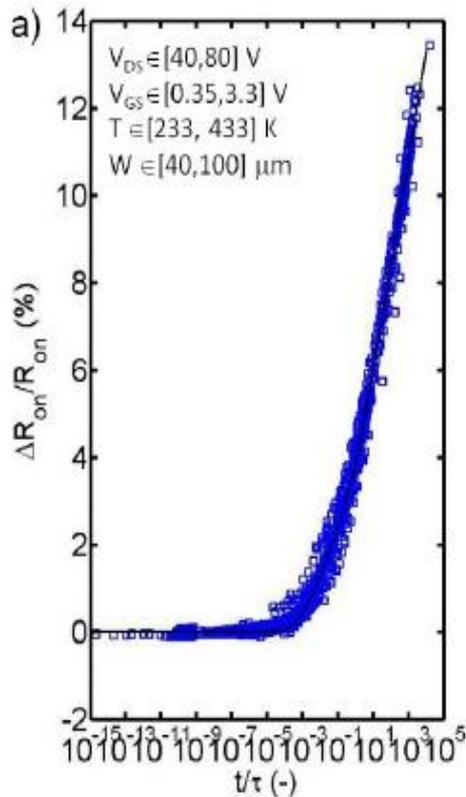
➡ ドリフト層のキャリア減少における“オン抵抗増加”

OUTLINE

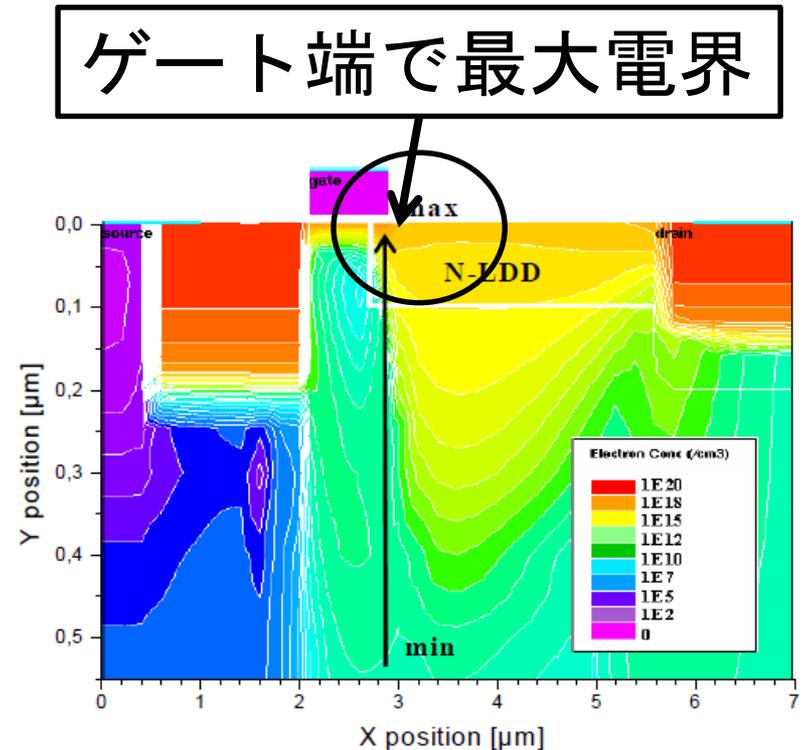
- 研究背景
- 研究目的
- HCIによる劣化現象の解析
- **最大電界の関数モデル開発**
 - 問題点
 - バイアス電圧依存 - 電界導出
 - 提案関数モデル
 - 関数モデル評価
- まとめ

“オン抵抗”と“最大電界”の関係

- 文献[2, 3]によると“オン抵抗増加”と“電界強度”は強相関



時間依存におけるRon増加 [2]



LDMOSの電界分布[3]

[2] Guido T. Sasse, Jan A.M.Claes and Bart Dev Vries : “An LDMOS hot carrier model for circuit reliability simulation” (2014)

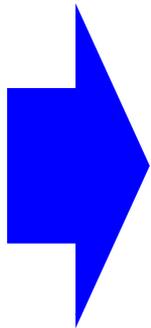
[3] M.A.Belaid and K.Ketata : “Hot-Carrier Effects on Power RF LDMOS Device Reliability” EDA Publishing THERMINIC 2008

“オン抵抗”と“最大電界”の関係

$$\frac{\Delta R_{\text{on}}}{R} = A_1 \cdot \ln \left(1 + \frac{t}{\tau} \right) + A_2 \cdot \ln \left(1 + \frac{t}{\gamma \tau} \right)$$

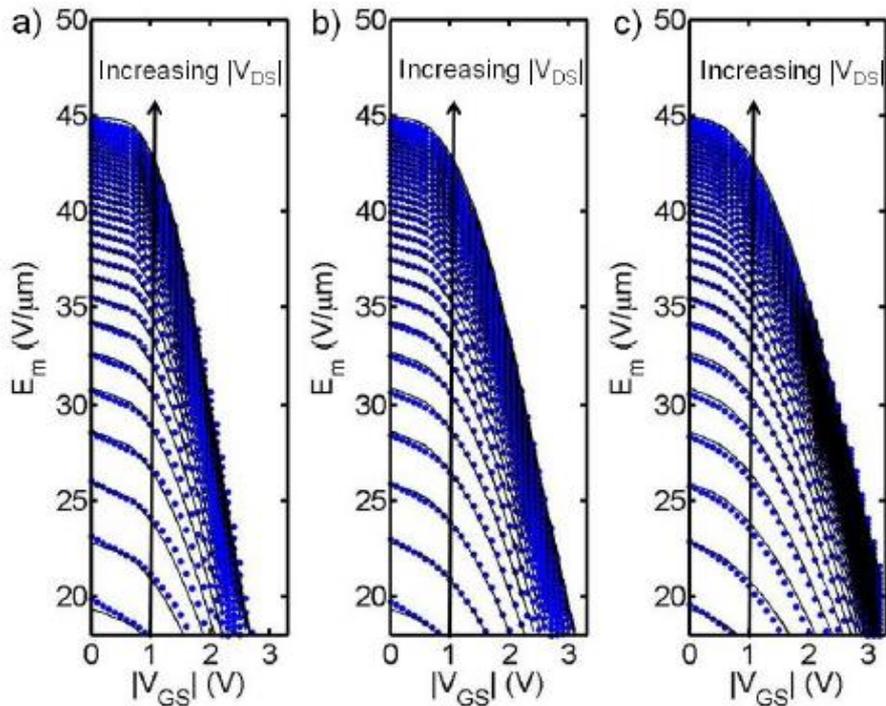
$$\tau = \frac{\alpha \cdot W}{I_D} \cdot \frac{\phi_b}{E_m \lambda} e^{\frac{\phi_b}{E_m \lambda}}$$

A_1, A_2, γ, α : フィッティング・パラメータ, t : ストレス時間, τ : 生存時間
 W : チャネル幅, I_D : ドレイン電流, E_m : 横方向最大電界, ϕ_b : 表面電位

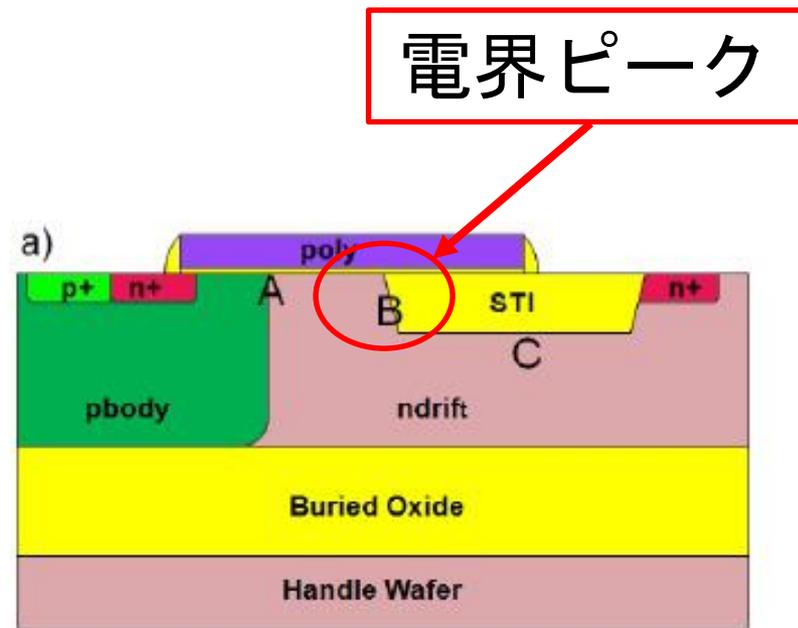


劣化現象は、
横方向の最大電界強度と相関

LDMOSの電界強度



T-CADによる最大電界算出[2]



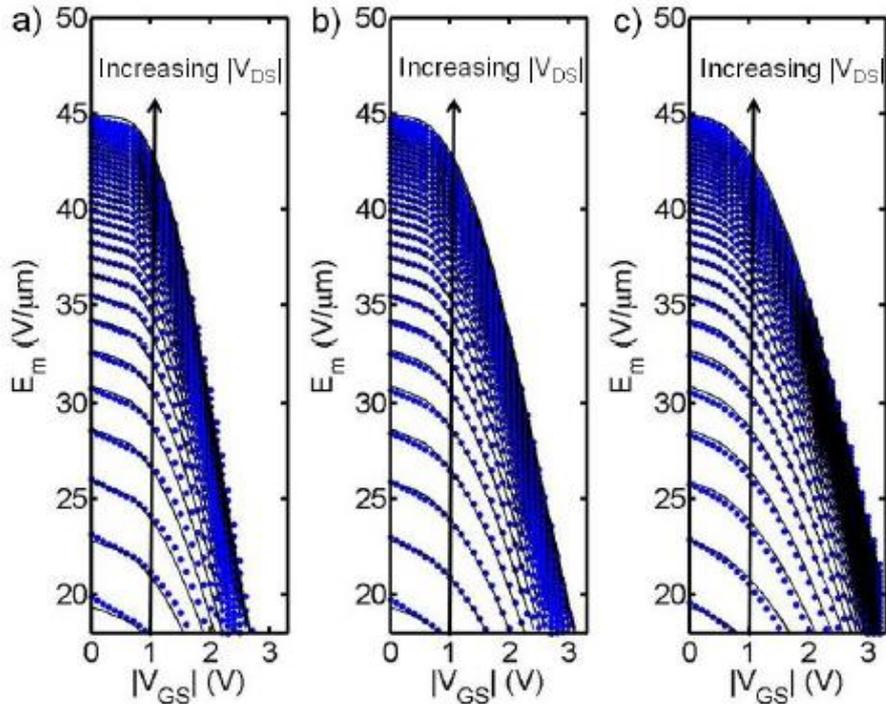
電界導出に用いたLDMOSの断面図[2]

問題！！

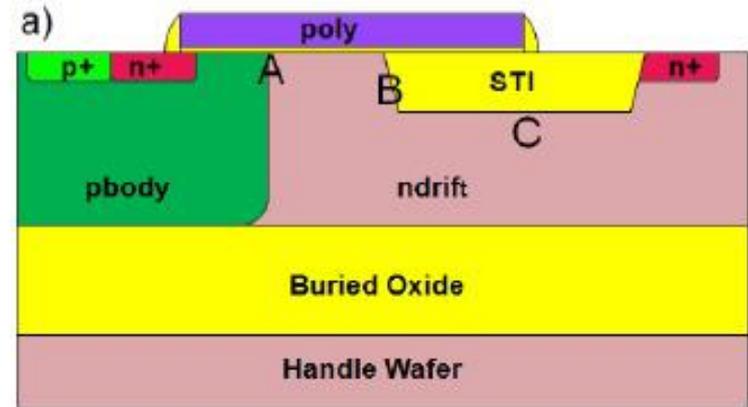
最大電界関数が測定データによるフィッティング関数モデル

物理的意味を持たない

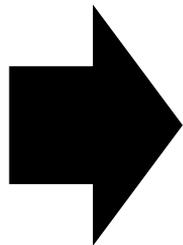
LDMOSの電界分布



T-CADによる最大電界算出[2]



電界導出に用いたLDMOSの断面図[2]



$$\tau = \frac{\alpha \cdot W}{I_D} \cdot \frac{\phi_b}{E_m \lambda} e^{\frac{\phi_b}{E_m \lambda}}$$

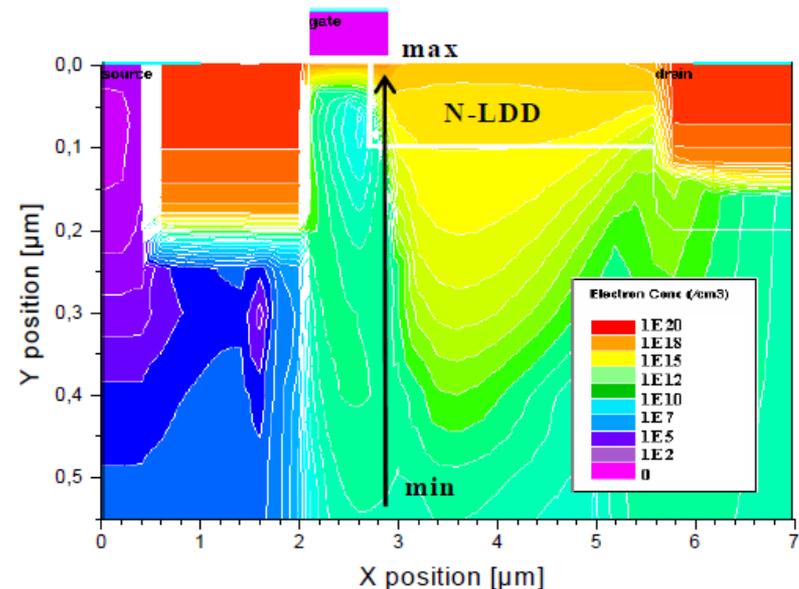
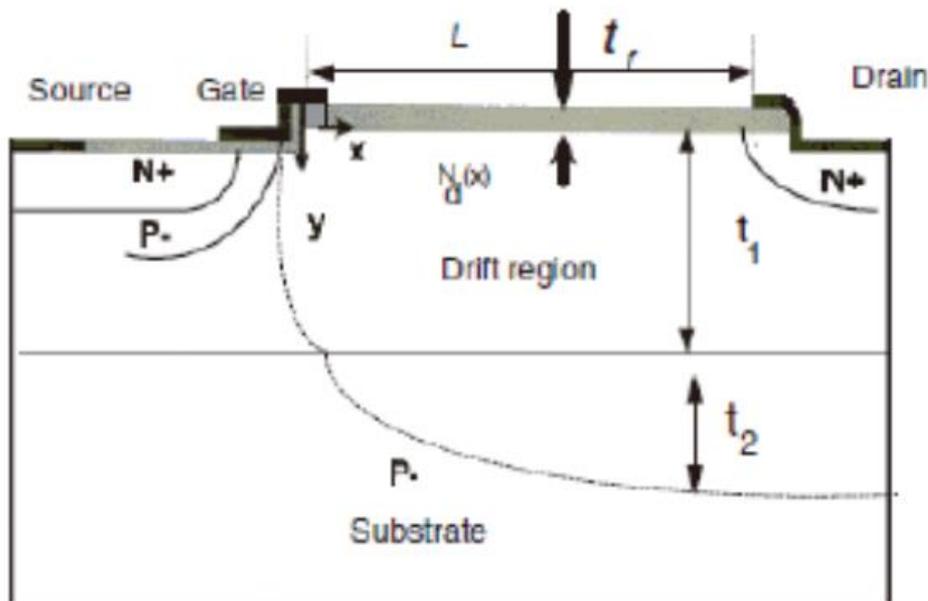
最大電界関数モデルの必要性

バイアス電圧依存 - 電界導出

■二次元ポアソン方程式

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = - \frac{qN_d(x)}{\epsilon_{Si}}$$

バイアス電圧依存の最大電界の方程式を求める

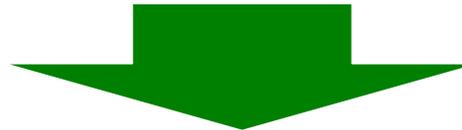


バイアス電圧依存 - 電界導出

■一次元ポアソン方程式

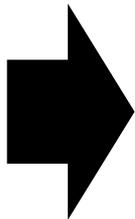
y方向(0~t1)積分

$$\int_0^{t_{si}} \frac{\partial^2 \phi(x, y)}{\partial x^2} + E_y(x, 0) - E_y(x, t_1) = -\frac{qN_d(x)}{\epsilon_{si}} t_1$$



Si-SiO₂の境界条件

$$E_m = \frac{V_{DS} - \phi_b}{t_1} + \frac{qN_d(x)t_1}{2\epsilon_{si}}$$



RDモデルの統合を考える

RDモデルの統合

MOSFETのDCモデルにおけるHCI劣化現象をモデル化

■ バイアス電圧依存の最大電界

$$E_m(V_{DS}, V_{GS}) = \frac{V_{DS} - V_{DSAT}}{l_t + w_d(V_{GS})}$$

$$V_{DSAT} = \frac{E_{sat}L(V_{GS} - V_{TH})}{E_{sat}L + (V_{GS} - V_{TH})}, \quad E_{sat} = \frac{2v_{sat}}{\mu_{eff}}$$

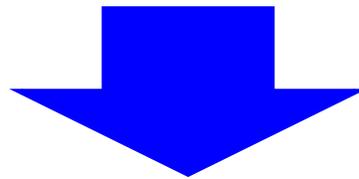
V_{DSAT} : 飽和電圧, L : チャネル長, E_{sat} : 飽和電界
 μ_{eff} : 実効移動度, v_{sat} : キャリアの飽和速度, w_d : 空乏層幅

RDモデルの統合

■ バイアス電圧依存の最大電界

$$E_m(V_{DS}, V_{GS}) = \frac{V_{DS} - V_{DSAT}}{l_t + w_d(V_{GS})}$$

LDMOSの構造で、空乏層幅を導出するのは困難



Extreme関数を用いて
 V_{GS} による最大電界関数モデル開発

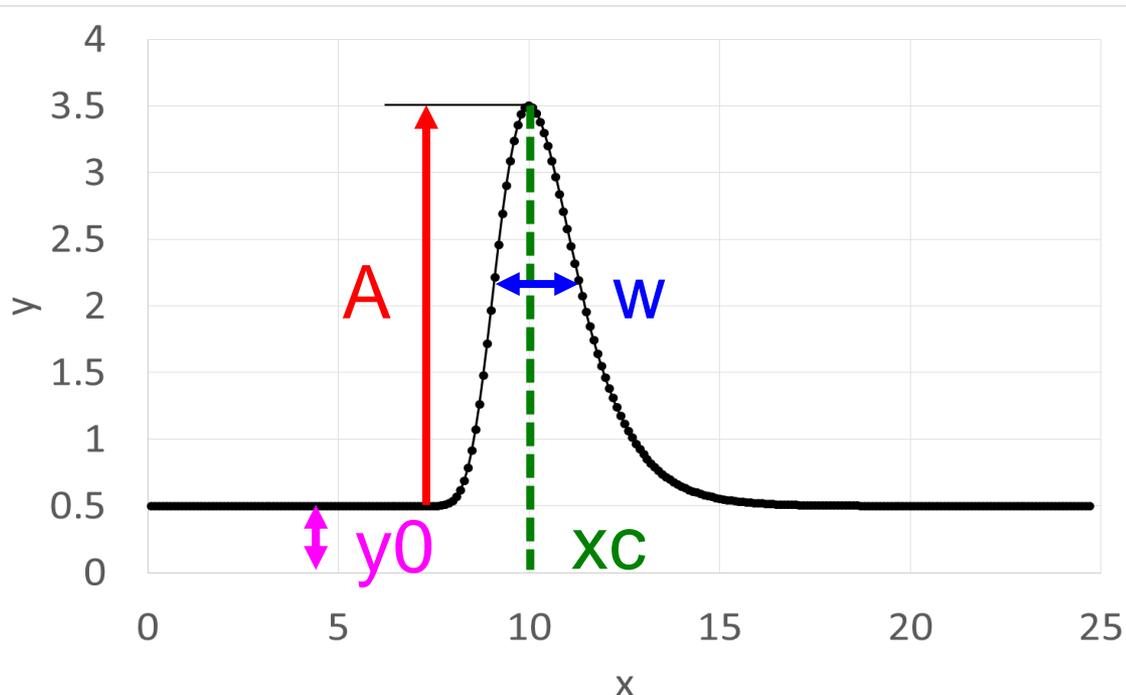


提案関数モデル

■ Extreme関数の導入

- 任意の位置にpeak値を設定

$$y = y_0 + Ae \left[-\exp \left[-\left(\frac{x - x_c}{w} \right) \right] - \left(\frac{x - x_c}{w} \right) + 1 \right]$$



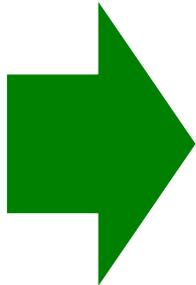
- $w > 0$
- $A > 0$
- offset : y_0
- center : x_c
- width : w
- Amp : A

提案関数モデル

■最大電界関数モデル

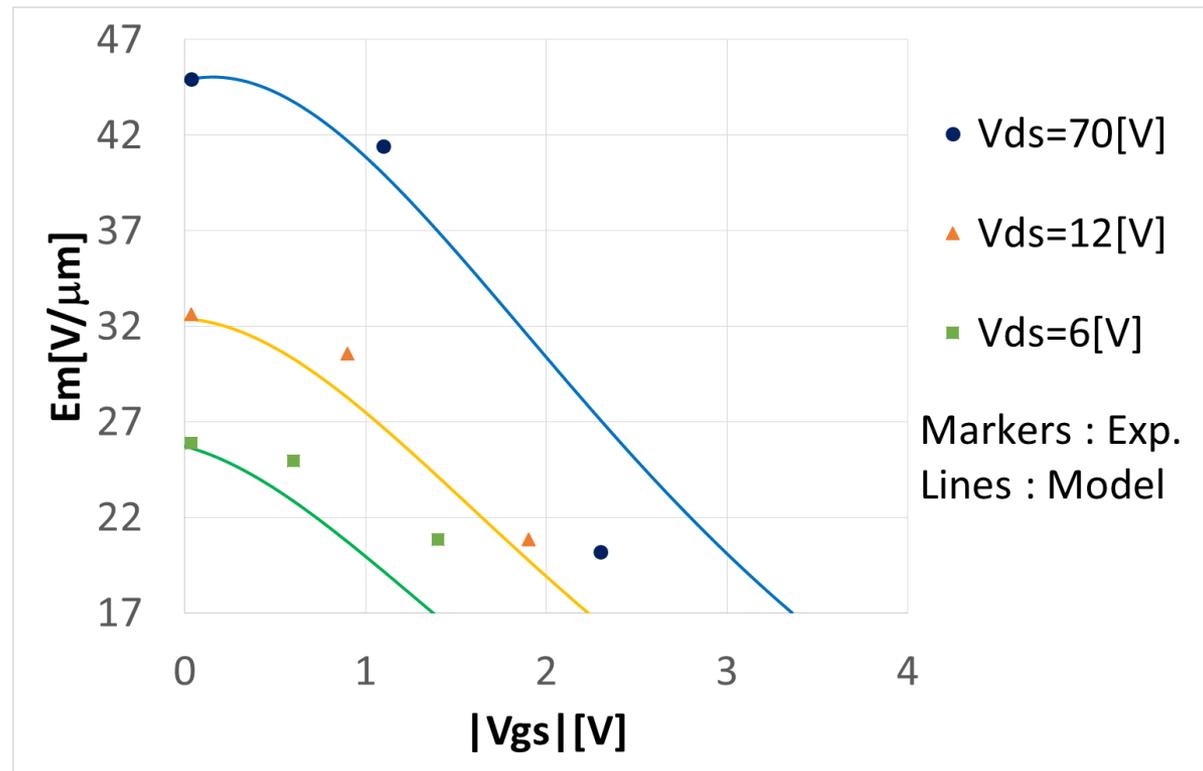
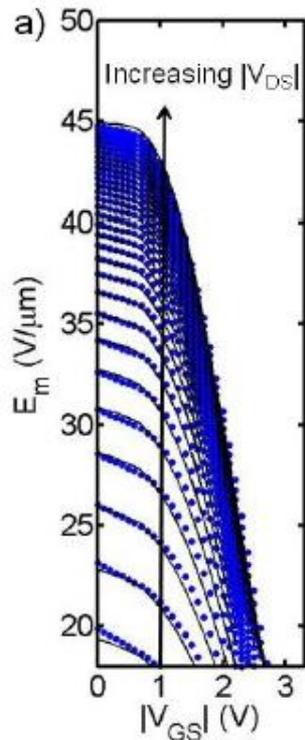
$$E_m = A \cdot \exp[-\exp(-z) - z + 1]$$

$$\left[\begin{array}{l} A = \alpha \frac{(V_{DS} - V_{DSAT})}{L_{eff}} \\ z = \frac{(V_{GS} - V_{TH} - V_{GS_max})}{\beta} \end{array} \right.$$

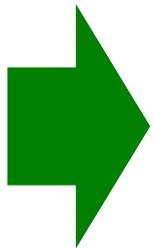


- 任意の位置にpeak値
- バイアス・ストレス電圧依存

関数モデル評価



T-CADによる最大電界算出[2]



- peak値が一致
- バイアス電圧の変化に対応
- 電界減少後の形状が一致



OUTLINE

- 研究背景
- 研究目的
- HCIによる劣化現象の解析
- 最大電界の関数モデル開発
 - 問題点
 - バイアス電圧依存 - 電界導出
 - 提案関数モデル
 - 関数モデル評価
- まとめ

まとめ

- nチャネルLDMOSのHCI劣化現象によるI-V特性劣化解析
 - オン抵抗増加が原因
- バイアス・ストレス電圧依存による最大電界関数モデル開発
 - Extreme関数を用いて関数モデル開発
電界分布の“ピーク値”と“形状”が一致

引用文献

- [1] N. Soin, S.S. Shahabudin and K.K. Goh, et al.: “Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type Lateral DMOS Transistors”, 10th IEEE International Conference on Semiconductor Electronics, pp.659-663 (2012)
- [2] Guido T. Sasse, Jan A.M. Claes and Bart Dev Vries : “An LDMOS hot carrier model for circuit reliability simulation” (2014)
- [3] M.A. Belaid and K. Ketata : “Hot-Carrier Effects on Power RF LDMOS Device Reliability” EDA Publishing THERMINIC 2008
- [4] HiSIM-HV 2.2.0 User's manual

今後の課題・展望

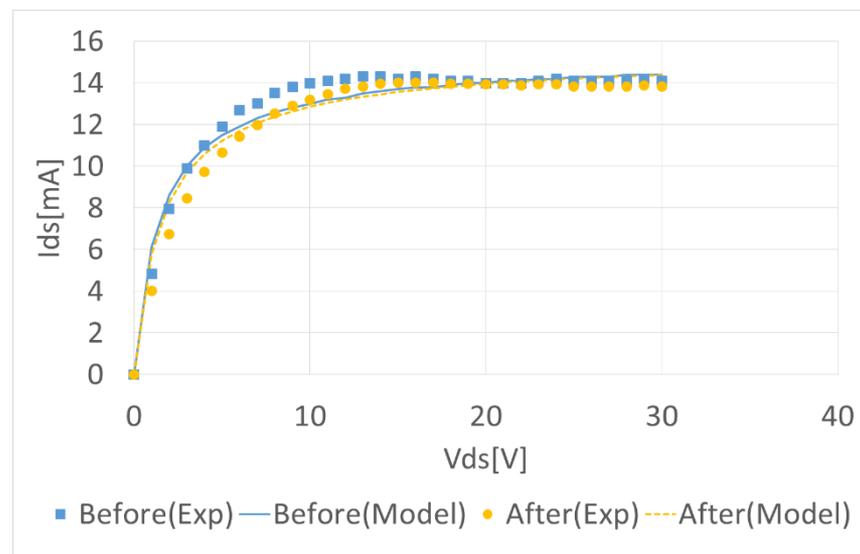
■ 最大電界モデルとHCI劣化現象との整合性

- 最大電界関数モデルの精度
- ピンチオフ領域を一致させられる可能性
- LDMOSの劣化測定

$$\tau = \frac{\alpha \cdot W}{I_D} \cdot \frac{\phi_b}{E_m \lambda} e^{\frac{\phi_b}{E_m \lambda}}$$

$$E_m = \cdot \exp[-\exp(-z) - z + 1]$$

$$\left(\begin{array}{l} A = \alpha \frac{(V_{DS} - V_{DSAT})}{L_{eff}} \\ z = \frac{(V_{GS} - V_{TH} - V_{GS_max})}{\beta} \end{array} \right)$$



質問事項 2件

- E_m の値は、時間との相関があるのか？（誰か聞き取れませんでした）

→電界は、時間による関数ではないので変化しないと思う。MOSが劣化することで電界分布は変化するかもしれないので調査してみます。もし時間が電界強度と関係があるのであれば検討する必要があると思います。

- 経時劣化なら時間 t のみで R_{on} の変化を示せばいいのでは？なぜ E_m の関数モデルが必要な？（梨大：高井先生の後輩）

→従来の R_{on} の劣化式は時間 t によるモデル式となっています。 R_{on} の劣化は、時間とキャリアの生存時間の関数である。キャリアの生存時間が E_m と関係している。しかし、 E_m がフィッティング関数なので、式による物理的な解析ができないために、 E_m の開発を行った。

劣化解析に用いたI-V特性において、 I_d - V_{ds} 特性では、ピンチオフ領域～飽和領域の部分が測定値とモデル式が合わない。 E_m がフィッティング関数なのが原因だと考えた。 E_m は飽和領域のパラメータを持ちます。 E_m の関数モデルを作ることによりピンチオフ領域～飽和領域が合うのではないかと考えたのが、電界関数モデル開発の出発点です。

反省点

- 質問者の意図をしっかりと捉えられなかったと反省。
改めて考えると、質問者は電界が経時劣化するのでは？と質問していたのだと思いました。Ronの劣化と電界は相関があると言ったために電界が劣化すると勘違いしてしまったのかもしれませんが。
私は、Ronの経時劣化式に時間 t が含まれているので、電界に時間依存を持つ必要はない(電界は V/L の次元なので時間は関係ない)という固定観念？があったため、質問者の意図を的確に捉えられなかった。
- 緊張し、早口な発表になってしまったため、電界が経時劣化するように聞こえてしまったのが原因かもしれません。
- 発表終了後に山梨大学の先生とお話する機会がありました。回路設計関連の研究をしている方が多く、デバイスモデリングに関してあまり認知していないような感じでした。どんな専門家でも分かるように細かい所に気を使い、発表するのもスキルの一つだと思いました。