

ユナリ型 DA 変換器線形性向上のための 電流源並び替え魔方陣アルゴリズム

東野 将史* Shaiful Nizam Bin Mohyar 小林 春夫 (群馬大学)

Unary DAC Linearity Improvement Algorithm with Unit Cell Sorting Based on Magic Square Properties

Masashi Higashino*, Shaiful Nizam Bin Mohyar, Haruo Kobayashi (Gunma University)

This paper proposes a switching algorithm using magic square properties to improve the linearity of a unary DAC by canceling random mismatch effects among unit current (or capacitor) cells. Simulation results and discussions are given for DAC linearity comparison when the proposed magic square and conventional algorithms are used.

キーワード：魔方陣，DA 変換回路，線形性，ミスマッチ
(Magic Square, DAC, Linearity, Mismatch)

1. はじめに

電子機器は高速化，小型化が求められており，デジタル回路はそれらに適している。デジタル化の進展に伴い，多くの電子機器にはデジタルアナログ変換器 (Digital-to-Analog Converter : DAC, DA 変換器) が搭載されている。身の回りの信号(音声，画像，光など) はアナログ信号である。それらをデジタル信号処理するにあたり，AD 変換器及び DA 変換器が必要不可欠であり，高性能なものが求められている。しかし，半導体素子を構成しているシリコンウェハ上では，MOSFET 特性，R, C 値等に素子固有にランダムおよびシステムマティックにばらつく。これにより，入出力信号は線形関係にあるはずが，素子のミスマッチにより線形性が劣化してしまう問題がある。

そこで本論文では，古典数学の一つである魔方陣 (Magic Square)[1]を用いた電流源並び替えアルゴリズム[4][5]を考案し，ユナリ型 DA 変換器の線形性向上を検討した。通常ユナリ型 DA 変換器は，デジタル入力されたバイナリ・コードを温度計コードに変換し，その数に応じた電流源セルを ON にしてアナログ値を得るものである。しかし，入力値に応じて単調にセルを ON にすると，電流源のミスマッチがそのまま出力されて線形性劣化を引き起こす[2][3]。そこで，魔方陣を用いて単位電流セル (または単位容量セル) を並び替えて，ランダムなミスマッチをキャンセルする方法を考案した。魔方陣の特性である「定和性」を用いることにより，一回の補正で高い線形性を得ることを実現した。これらのシミュレーション結果と考察を示す。

なお先に筆者らは電流源のシステムマティックなばらつき

の影響を，それらのレイアウトを魔方陣の性質を用いてキャンセルする方式を提案したが[2][3]，この論文内容はランダムなばらつきの影響を電流源セルの選択順序を工夫することで低減するという，別のアルゴリズムである。

2. セグメント型 DA 変換器の構成と動作

DA 変換器は，バイナリ(Binary)型とユナリ(Unary)型があり，両者を組み合わせたものがセグメント型である (上位ビットをユナリ，下位ビットをバイナリ型で構成する)。バイナリ型とは，2進数の要素を加算するものである。ユナリ型は，2進数データを一旦デコードし，数値に変換してから単位要素をその個数分加算するものである。

〈2.1〉 バイナリ型 DA 変換器

電流源バイナリ型 DA 変換器を図 1 に示す。バイナリ型 DA 変換器は，N ビットのデジタル入力の各ビットを最上位ビット MSB (Most Significant Bit) から順に D_1, D_2, D_N とすると，出力が電流の場合は，出力電流 I_o は以下の式で表される。

$$V_{out} = R_L I \left(\frac{D_1}{2} + \frac{D_2}{2^2} + \dots + \frac{D_N}{2^N} \right) \quad (1)$$

つまり，2進重み付けされた電流源もしくは電荷を用意し，この重み付けされた電流源もしくは電荷を，入力デジタル信号の各ビットで加算するものである。

バイナリ型は素子数が最小であるため，小型化が可能である。しかし，バイナリ型 DA 変換器はコードの切り替えの際にグリッチが発生してしまう。また MSB に相当する素

子感度が高く素子のミスマッチがあると大きな誤差となってしまう。入出力特性の単調性も保証されない。

<2.2> ユナリ型 DA 変換器

電流源ユナリ型 DA 変換器を図 2 に示す。ユナリ型 DA 変換器は、最小単位の電流源を $2^N - 1$ 個用意し、デジタル値に応じて加算することで DA 変換を実現する。

$$I_1 = I_2 = I_3 = \dots = I_{2^N-1} \quad (2)$$

$$V_{out} = nIR_L \quad (3)$$

デコーダにより、2進データをサーモメータ・コードにデコードし、そのデジタルデータに応じた単位要素分の電流源を ON にすることで、アナログ信号に直すものである。

ユナリ型は、素子のミスマッチがあっても、バイナリ型と比べて出力信号への影響が少ない。グリッチも小さく単調性も原理的に保証される。素子数が多くなってしまうのが欠点である。高線形性の DA 変換器を実現しようとする単位セル (図 2 の単位電流 I) 間の相対ミスマッチが問題になり、ここではこの影響を軽減する電流源並び替えのアルゴリズムについて論じる。

<2.3> セグメント型 DA 変換器

電流源セグメント型 DA 変換器を図 3 に示す。DA 多くの DA 変換器では、バイナリ型とユナリ型を組み合わせたものが用いられている。上位ビットには素子感度の低いユナリ型を用い、下位ビットでは、素子数の少ないバイナリ型が用いられる。これにより、高精度な DA 変換器を適正な回路規模・消費電力で実現できる。

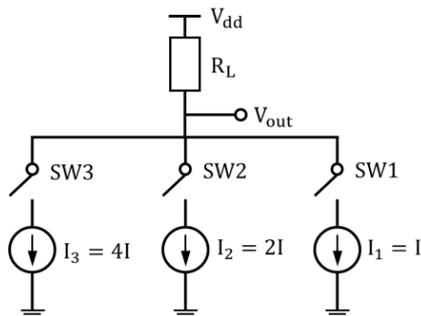


図 1 バイナリ型 DA 変換器
Fig. 1. Binary DAC circuit

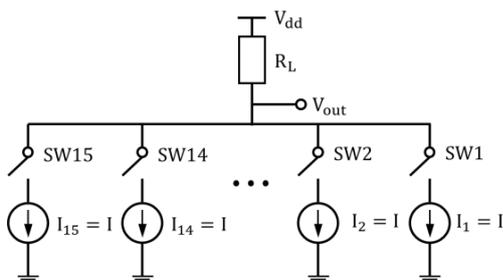


図 2 ユナリ型 DA 変換器
Fig. 2. Unary DAC circuit

3. DA 変換器の非線形性

回路を構成している素子は IC チップ上で特性の製造ばらつきが生じる。ここではそのランダムばらつきに注目する。これにより、DA 変換器の入力信号と出力信号は、理想的には完全に線形関係であるが、非線形になってしまう。電流源間のランダムなミスマッチによる DAC 非線形性への影響の詳細を示す。

<3.1> ランダムばらつき

単位電流源セルを構成している MOSFET のミスマッチは、しきい値電圧 ΔV_{th} または素子パラメータ $\Delta\beta$ によって生じる。理想的な電流源の値 I_d は以下の式で表される。

$$I_d = \frac{\beta}{2} (V_{gs} - V_{th})^2 \quad (4)$$

β は以下の式で表される。

$$\beta = \mu C_{ox} \frac{W}{L} \quad (5)$$

しかし、実際の電流源では僅かにミスマッチが生じる。ミスマッチは以下の式で求められる。

$$\frac{\Delta I_d}{I_d} = \frac{\Delta\beta}{\beta} + \frac{2\Delta V_{th}}{V_{gs} - V_{th}} \quad (6)$$

電流値が小さい場合には、以下の式で簡略化される。

$$\frac{\Delta I_d}{I_d} = \frac{2}{V_{gs} - V_{th}} \frac{\Delta V_{th} t_{ox}}{\sqrt{WL}} \quad (7)$$

電流値が大きい場合には、以下の式で表される。

$$\frac{\Delta I_d}{I_d} = \frac{\Delta\beta}{\beta} \frac{1}{\sqrt{WL}} \quad (8)$$

(6), (7) 式より、電流源のミスマッチは MOSFET のサイズ \sqrt{WL} に依存することが分かる。

ミスマッチの軽減は、トレード・オフの関係にある。その一つは、MOSFET のプロセスにおいて、電流源のミスマッチはゲート酸化膜を薄くすると軽減される。が、薄い参加膜厚のプロセスでは電源電圧を低減しなければならず、大きなバイアス電流を必要としたときに信号雑音比 (S/N 比) が劣化する。もう一つは、しきい値電圧のミスマッチとデバイスサイズの関係である。ゲートサイズ (WL) を大きくすることにより、オフセット電圧を軽減できるが、チップ面積・寄生容量が大きくなり、大きなバイアス電流が必要となる。ここでは、小さなデバイスサイズによる電流源ミスマッチの影響を製造後に軽減する手法を考える。

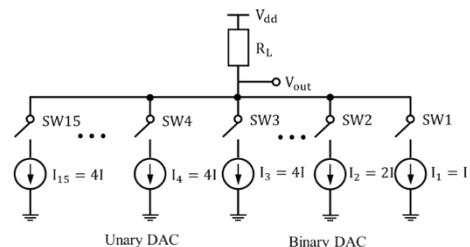


図 3 セグメント型 DA 変換器
Fig. 3. Segmented DAC circuit

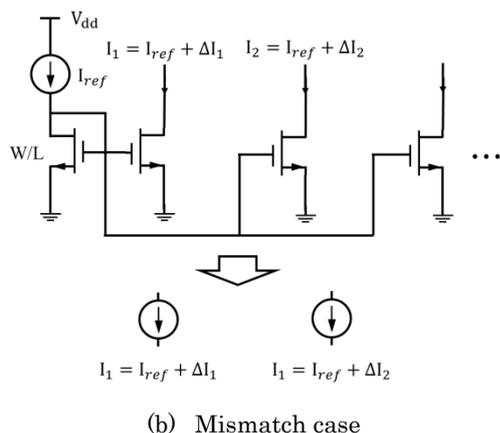
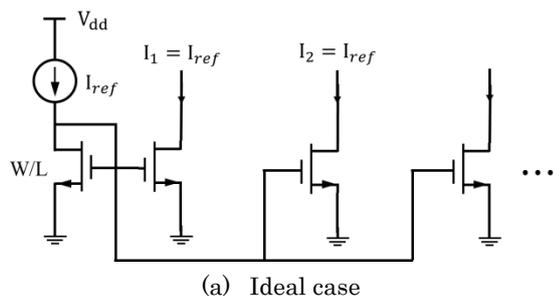


図4 電流源のマッチング

Fig.4. Matching of current sources

4. 魔方陣について

魔方陣には、各行・列・対角成分の要素の和が全て一定である性質をもつ。この性質から、ユニナリ型 DA 変換器の単位セルの配列のバランスがよいことが期待できるので、DA 変換器での電流源並び替えアルゴリズムへの適用を検討した。魔方陣の性質について説明する[1]。

〈4・1〉 魔方陣の性質

魔方陣とは、1 から始まる連続した異なる自然数を $n \times n$ 碁盤の目状に並び、各行、列及び対角線上の数の和が全て等しいもの(定和性)である。各行、列、対角線上に含まれる数が n 個であることから、一般 $n \times n$ である魔方陣を n 次の魔方陣あるいは n 次方陣と呼ぶ。 n 次方陣の各行、列、対角線要素の定和 S は、以下の式で表される。

$$S = \frac{n^2(n^2+1)}{2} \quad (9)$$

図 7 に示す魔方陣は、各行・列・対角成分の要素の和が全て一致していることが確認できる。

定和性を用いて、電流源ユニナリ型 DA 変換器の電流源並び替えのアルゴリズムを考案した。これにより、プロセスにより生じるミスマッチの影響の軽減が期待できる。

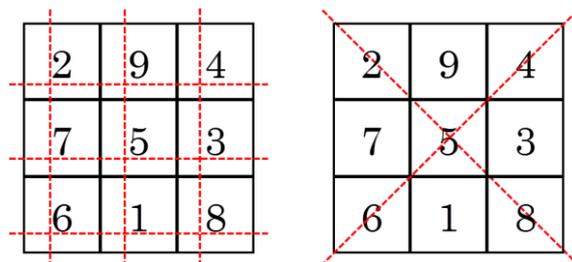


図5 魔方陣での定和性の一致

Fig. 5. Equivalent constant sum characteristics.

5. 魔方陣を用いた電流源並び替えアルゴリズム

この節では、魔方陣を用いたユニナリ型 DA 変換器の電流源並び替えアルゴリズムによる非線形性補正を説明する。

通常のユニナリ型 DA 変換器は、デコーダにより 2 進データに変換し、サーモメータ・コードに従ってアナログ値を出力する。しかし単調性によりミスマッチがそのまま出力へ影響してしまう。そこで魔方陣を用いた電流源並び替えアルゴリズムにより、一回の電流源並び替えにより DA 変換器の電流源によるミスマッチ軽減し、非線形性を改善する。最適なスイッチングアルゴリズムにより、高調波成分を低減し SFDR の向上を可能とする。

〈5・1〉 提案アルゴリズム

例として 4bit のユニナリ型 DA 変換器を用いて、以下に提案アルゴリズムを説明する(図 6)。

- ① 各電流源はランダムなばらつきを持つとする。
- ② 電流源の大きさを測定回路より各電流源セルの大小関係を測定し、大きさ順に分類する(図 6(a))。(電流値の正確な測定は不要で、大小関係だけでよい。)
- ③ 電流源の値の順番と魔方陣の升目を対応させる。例えば、一番小さな値を持つ電流源は魔方陣の 1 のセルに対応し、2 番目に小さな値を持つ電流源は魔方陣の 2 セルへ、 n 番目の大きさの電流源は、魔方陣の n のセルに対応させる(図 6(b))。
- ④ 魔方陣に対応した電流源セルを定和性に従い、デジタル入力に対応した電流源セルを ON にしてアナログ値を出力する。

魔方陣の特性である定和性は、常に升目の和が一定であることである。定和性に従って電流源を並び替えることにより、ミスマッチのバランス良いキャンセルが期待できる。魔方陣の升目に着目する。図 6(b) の 4 次方陣の 1 行目を見ると、隣り合う 2 数の和は 16 ($=1+15$) と 18 ($=14+4$) であり、ほぼ等しい事が分かる。他の行または列においても同様である。定和性による電流源並び替えは、大小のミスマッチを持つ電流源を交互にスイッチングするアルゴリズムになり、ミスマッチをキャンセルする。図 7 に従来方法であるサーモメータ・コードによるデコーダと、提案する魔方陣によるルックアップテーブル(Look-up table : LUT)によるデコーダを示す。

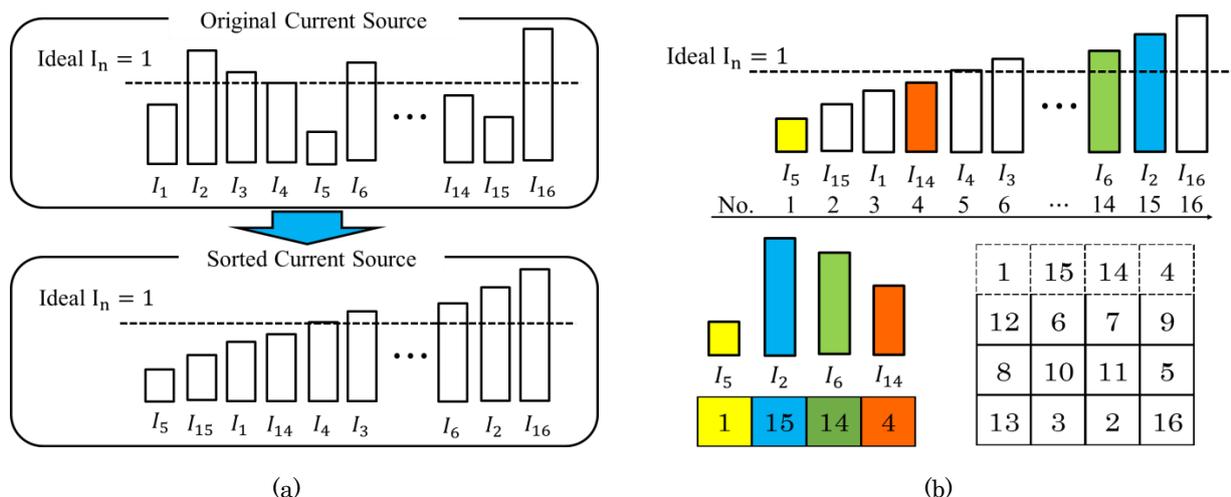


図6 魔方陣による電流源並び替えアルゴリズム
Fig.6. Sorting algorithm based on magic square

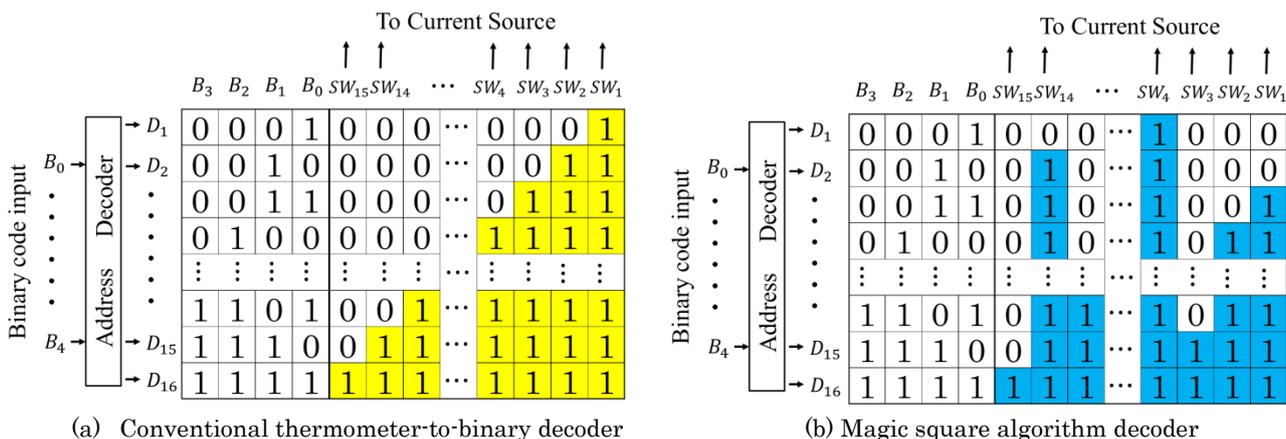


図8 LUTを用いたデコーダ
Fig.8. LUT-based decoder

〈5・2〉補正アルゴリズム

電流源セル間の大小関係を測定し、並び替えるアルゴリズムを示す(図9)。

- ① デジタル補正回路を制御する CPU で、テストコードを入力する。
- ② 電流測定回路により、各電流源セルの値を測定する。
- ③ 全ての測定値をメモリに保存する。
- ④ 保存した測定値は、デジタル補正回路に送る。
- ⑤ 電流源の値の大きさ順に、魔方陣のセル番号を対応させる。魔方陣によるスイッチング順序をメモリに保存する。

尚、ここでの「電流源並び替え」は、デコーダにより各電流源選択の選択順番を変更することである。

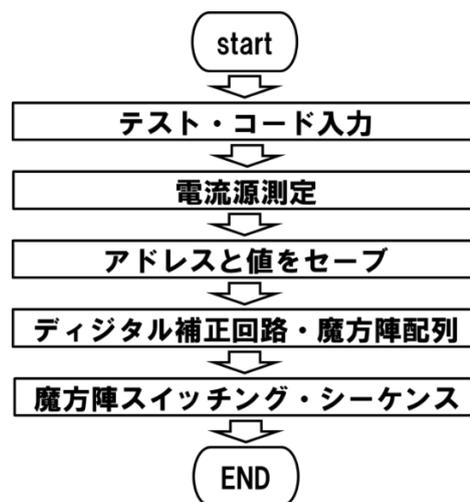


図9 DAC 非線形補正アルゴリズム
Fig.9. DAC nonlinearity calibration algorithm

6. シミュレーション結果

8bit ユナリ型 DA 変換器の DC 線形性解析及びパワースペクトル解析のシミュレーションを行った。DC 線形性解析では従来のサーモメータ・コードによるものと、魔方陣を用いた電流源並び替えの非積分直線性誤差(INL)と非微分直線性誤差(DNL)の比較を行った。パワースペクトル解析では、基本波と最大スプリアスパワーの比である SFDR を求めた。今回使用した魔方陣を図 10 に示す。魔方陣は、Matlab シミュレーションにより算出した。

電流源のミスマッチの条件を以下の様に設定した。

- ① ΔI の総和が 0 になるような $-1 \sim +1$ の間で乱数
- ② ΔI が $-1 \sim +1$ の間の乱数

以上の条件で、各セルにミスマッチ ΔI を割り当てた。①のシミュレーション結果を図 11~14 に、②のシミュレーション結果を図 15~18 に示す。

〈6・1〉 DC 線形性特性評価

DC 線形性特性の評価について考える。

INL は、出力伝達特性と線形近似直線との類型誤差を示す指標である。図 10 の INL 評価より、魔方陣を用いた電流源並び替えを行うことで 5.69LSB 減少している。

DNL は、隣接コード間 DA 変換器出力電圧差の線形近似直線から求めた量子化ステップサイズに対する均一性を表す指標である。DNL では量子化ステップサイズ V_{LSB} の決定方法が、DNL の結果に影響する。図 11 の DNL は、両者とも同等の値であった。

INL と DNL の解析結果より、魔方陣を用いた電流源並び替えを適用することにより、線形性が改善されたことが分かる。特に D_{in} の中心値付近 ($D_{in}=122$ 付近) では、INL 及び DNL がほぼ 0 であることが分かる。これより、出力を中心値付近で利用する DA 変換器では高い線形性が得られること期待できる。

〈6・2〉 パワースペクトル特性評価

パワースペクトル解析では、SFDR による評価を行った。SFDR 評価は、高速フーリエ変換(FFT)により得られたスペクトラムの基本波と最大スプリアスの比で表される。図 12 にサーモメータ・コードで DA 変換を行った時の結果を示す。この時の SFDR は 14.8dB であった。魔方陣を用いた電流源並び替えを行った時の SFDR は、22.0dB であった。これより、魔方陣アルゴリズムを適用により SFDR の 7.5dB 向上が確認できた。

図 15-18 に電流源ミスマッチの他のパターンを与えたときのシミュレーション結果を示す。提案アルゴリズムで線形性, SFDR が向上していることが確認できる。

256	2	3	253	252	6	7	249	248	10	11	245	244	14	15	241
17	239	238	20	21	235	234	24	25	231	230	28	29	227	226	32
33	223	222	36	37	219	218	40	41	215	214	44	45	211	210	48
208	50	51	205	204	54	55	201	200	58	59	197	196	62	63	193
192	66	67	189	188	70	71	185	184	74	75	181	180	78	79	177
81	175	174	84	85	171	170	88	89	167	166	92	93	163	162	96
97	159	158	100	101	155	154	104	105	151	150	108	109	147	146	112
144	114	115	141	140	118	119	137	136	122	123	133	132	126	127	129
128	130	131	125	124	134	135	121	120	138	139	117	116	142	143	113
145	111	110	148	149	107	106	152	153	103	102	156	157	99	98	160
161	95	94	164	165	91	90	168	169	87	86	172	173	83	82	176
80	178	179	77	76	182	183	73	72	186	187	69	68	190	191	65
64	194	195	61	60	198	199	57	56	202	203	53	52	206	207	49
209	47	46	212	213	43	42	216	217	39	38	220	221	35	34	224
225	31	30	228	229	27	26	232	233	23	22	236	237	19	18	240
16	242	243	13	12	246	247	9	8	250	251	5	4	254	255	1

図 10 シミュレーションでユナリ型に使用した魔方陣
Fig.10. Simulated unary DAC by magic square

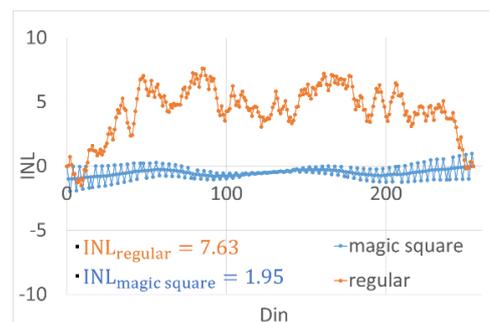


図 11 シミュレーションによる DA 変換器の INL 評価
Fig.11. Simulated DAC INL (case 1)

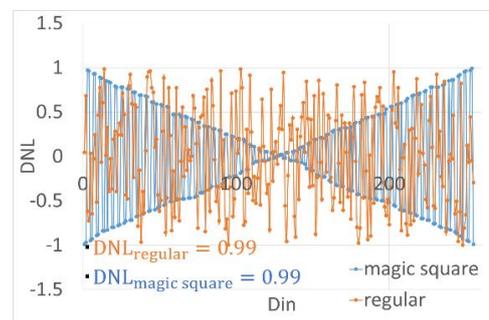


図 12 シミュレーションによる DA 変換器の DNL 評価
Fig.12. Simulated DAC DNL (case 1)

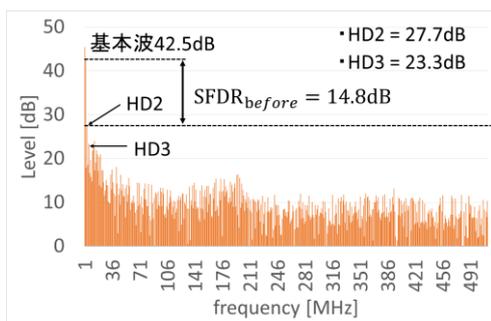


図 13 提案アルゴリズムを適用していないとき
DA 変換器出力スペクトル

Fig.13. Simulated DAC output power spectrum
without the proposed algorithm (case 1)

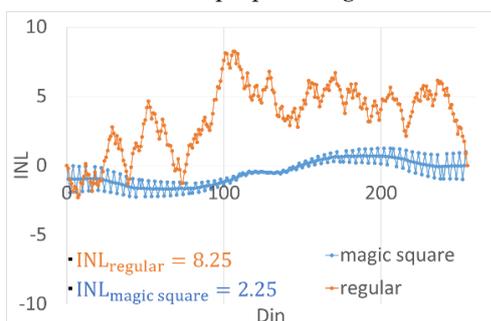


図 15 シミュレーションによる DA 変換器の INL 評価
Fig.15. Simulated DAC INL (case 2)

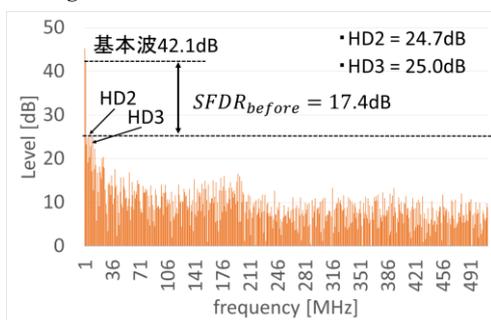


図 17 提案アルゴリズムを適用していないとき
DA 変換器出力スペクトル

Fig.17. Simulated DAC output power spectrum
without the proposed algorithm (case 2)

7. まとめ

本研究では、古典数学の一つである魔方陣を用いて、DA 変換器を構成するユニットセル電流源間のミスマッチの影響をキャンセルする電流源並び替えアルゴリズムを検討した。従来方法であるサーモメータ・コードによるデコードを行うと、単調性により電流源のミスマッチが入出力にそのまま影響してしまい、線形性劣化を引き起こしてしまう。そこで、魔方陣による電流源並び替えにより線形性を改善することをシミュレーションで確認した。また、パワースペクトル解析では SFDR 評価を行った。魔方陣アルゴリズムにより、高調波成分を軽減することを確認した。

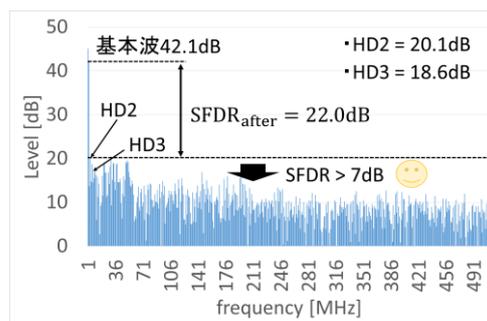


図 14 提案アルゴリズムを適用したときの
DA 変換器出力スペクトル

Fig.14. Simulated DAC output power spectrum
with the proposed algorithm (case 1)

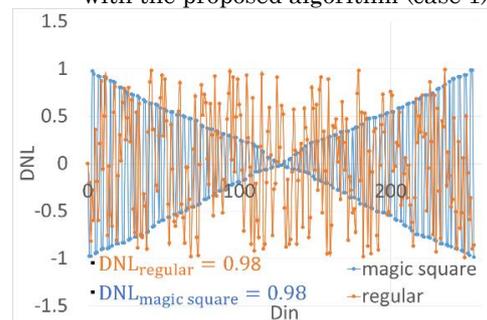


図 16 シミュレーションによる DA 変換器の DNL 評価
Fig.16. Simulated DAC DNL (case 2)

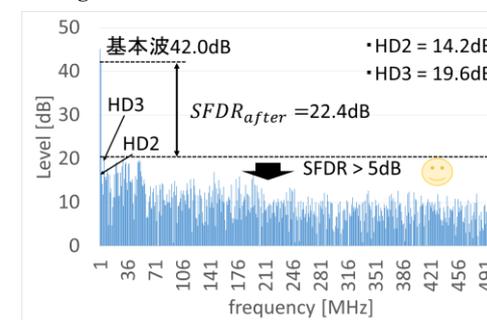


図 18 提案アルゴリズムを適用したときの
DA 変換器出力スペクトル

Fig.18. Simulated DAC output power spectrum
with the proposed algorithm (case 2)

文 献

- (1) 大森清美「魔方陣の世界」, 日本評論社 (2013年8月).
- (2) 東野将史, 小林春夫, “セグメント型 DA 変換器の魔方陣レイアウト技術による線形性向上”電気学会電子回路研究会, 秋田(2014年10月)
- (3) 東野将史, 小林春夫, “セグメント型 DA 変換器の完全魔方陣レイアウト技術による線形性向上” 第 5 回電気学会 東京支部 栃木・群馬支所合同研究発表会, 宇都宮(2015年3月)
- (4) Shaiful Nizam Mohyar, Masahiro Murakami, Atsushi Motozawa Haruo Kobayashi, Osamu Kobayashi, Tatsuji Matsuura “SFDR Improvement Algorithms for Current-Steering DACs”, Key Engineering Materials, pp.101-108 (2015).
- (5) Shaiful Nizam Mohyar, Haruo Kobayashi, “Digital Calibration Algorithm for Half-Unary Current-Steering DAC for Linearity Improvement”, 11th International SoC Design Conference, Jeju, Korea (Nov. 2014)