

A Power-Efficient Noise Canceling Technique Using Signal-Suppression Feed-forward for Wideband LNAs

興 大樹 河内 智* 李 从兵 神山 雅貴 高橋 伸夫 小林 春夫 (群馬大学)
馬場 清一 (豊橋技術科学大学) 壇 徹 (オン・セミコンダクター)

A Power-Efficient Noise Canceling Technique
Using Signal-Suppression Feed-forward for Wideband LNAs
Daiki Oki, Satoru Kawauchi*, Li CongBing, Masataka Kamiyama,
Nobuo Takahashi, Haruo Kobayashi (Gunma University),
Seiichi Banba (Toyohashi University of Technology), Dan Toru (ON Semiconductor)

This paper presents a power-efficient noise-canceling technique (called as signal-suppression feed-forward technique) based on the design of a wideband feed-forward low-noise amplifier (LNA) considering a fundamental tradeoff between its noise figure (NF) and power consumption. By suppressing the input signal of a noise cancellation auxiliary amplifier inside the LNA, the overall nonlinear effect to the LNA can be reduced and the total power consumption can be smaller.

キーワード：ノイズキャンセル，フィードフォワード，低雑音増幅器，広帯域
(Noise-canceling, Feed-forward, Low-noise amplifier, Wide band)

1. イントロダクション

広帯域 LNA は入力整合とノイズ性能間にトレードオフを抱えている。一般的な広帯域 LNA において gm 値を大きくすればノイズ性能が上がる。しかし一般的に入力整合により gm は決まった値しかとることができない($gm=1/R_s$ など)。これを解決したのが[1]である。この技術は入力整合を実現するためのマッチングデバイスと低い NF を実現するためのノイズキャンセルアンプで構成される(図 1)。マッチングデバイス M_i で発生したチャネル熱雑音 i_{n,M_i} を抵抗 R_f により帰還し、フィードフォワードアンプ $A_{v,c}$ によってキャンセルする技術である。これにより入力整合とノイズ性能間のトレードオフを切り離し、低雑音な広帯域 LNA を実現した。また、ノイズキャンセルとほぼ同様の原理で M_i で発生する歪みもキャンセルすることができる。しかしこの技術はノイズキャンセルアンプ $A_{v,c}$ で発生する消費電力が大きくなりやすい傾向にある。

本稿で提案する技術はこのノイズキャンセルアンプで発生する消費電力を Signal-null 技術 [2][3] を応用した Signal-suppression 技術により低減させるものである。入出力の位相が反転したアンプを用いることにより、ノイズキャンセルアンプ $A_{v,c}$ に入力される小信号成分を抑える。これによりノイズキャンセルアンプ $A_{v,c}$ の消費電力と非線形

性間のトレードオフを緩和させる。これにより従来回路と同様の特性（入力整合条件と低 NF 間のトレードオフの切り離し、歪みのキャンセル）を持ちながら、低消費電力化を実現した。

本論文の構成は以下の通りである。二章で従来のノイズキャンセルについて説明する。三章で提案回路の原理説明をする。四章でシミュレーションについて記述する。五章をまとめとする。

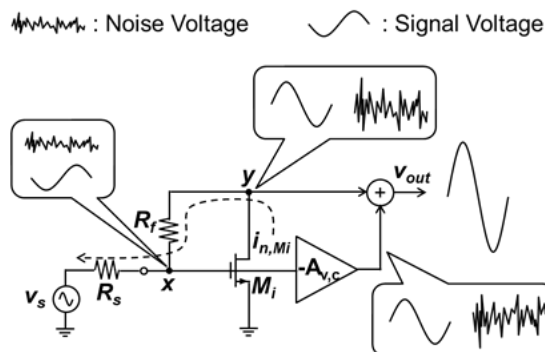


図 1、従来のノイズキャンセリング LNA

2. 従来回路

この章では従来の広帯域向け LNA のノイズキャンセリング技術について説明する。図 1 が回路図である。マッチングデバイス M_i で発生するチャンネル熱雑音 i_{n,M_i} をキャンセルすることにより低雑音化を実現している。チャンネル熱雑音 i_{n,M_i} はノード y から R_f 、ノード x 、 R_s を経由してグラウンドへ流れる(ノイズのみで考えているため $v_s=0$)。これによりノード x, y に雑音電圧 v_{n,x,M_i} と v_{n,y,M_i} が発生する式(1)。

$$\begin{aligned} v_{n,x,M_i} &= R_s i_{n,M_i} \\ v_{n,y,M_i} &= (R_s + R) i_{n,M_i} \end{aligned} \quad (1)$$

ノード x の雑音電圧 v_{n,x,M_i} をノイズキャンセルアンプ $A_{v,c}$ で反転増幅し、ノード y の雑音電圧 v_{n,y,M_i} と加算し、ノイズキャンセルを実現している。出力の雑音電圧 v_{out,n,M_i} は式(2)のようになる。

$$\begin{aligned} v_{out,n,M_i} &= v_{y,n,M_i} - A_{v,c} v_{x,n,M_i} \\ &= (R + R_s - A_{v,c} R_s) i_{n,M_i} \end{aligned} \quad (2)$$

このとき $v_{out,n,M_i}=0$ 出力ノイズがキャンセルされているといえる。 $v_{out,n,M_i}=0$ とするノイズキャンセルアンプの利得 $A_{v,c}$ を $A_{v,c,cancel}$ とすると

$$A_{v,c,cancel} = 1 + \frac{R}{R_s} \quad (3)$$

となる。またこの回路の入力インピーダンス $Z_{in}=1/g_{M_i}$ である。したがって入力整合条件は $g_{M_i}=1/R_s$ である。以上により、マッチングデバイス M_i で入力整合条件を満たし、ノイズキャンセルアンプ $A_{v,c}$ をノイズキャンセル条件式(3)を満たすことで低雑音化を実現できる。式(4)が電圧利得 A_v である(入力インピーダンス $Z_{in}=1/g_{M_i}=R_s$ 、ノイズキャンセルアンプ $A_{v,c}=A_{v,c,cancel}$ とする)。

$$\begin{aligned} A_v &= \frac{v_{out}}{v_x} = 1 - g_{M_i} R_f - A_{v,c,cancel} \\ &= -g_{M_i} R_f - \frac{R_f}{R_s} = -\frac{2R}{R_s} \end{aligned} \quad (4)$$

また、この回路は雑音キャンセルとほぼ同様の原理で M_i から発生する歪み成分もキャンセルすることができる。

この回路の問題点として消費電力の大きさがあげられる。マッチングデバイス M_i に加えてノイズキャンセルアンプ $A_{v,c}$ によって消費電力が大きくなる傾向にある。

3. 提案回路

図 2 に提案回路のブロック図を示す。 M_i, R_{f1}, R_{f2} によるメインアンプと M_i のノイズをキャンセルするノイズキャンセルアンプ $A_{v,c}$ により構成される。提案回路では帰還抵抗 R_{f1} と R_{f2} 間(図中のノード a がノイズキャンセルアンプ $A_{v,c}$ へ入

力される。 $A_{v,c}$ へ入力される小信号成分を抑えることにより、ノイズキャンセルアンプで発生する非線形成分への考慮を減らし、ノイズキャンセルアンプの低消費電力化を実現する。またマッチングデバイス M_i のチャンネル雑音電流 i_{n,M_i} によるノード a の雑音電圧 v_{n,a,M_i} とノード x (従来回路においてノイズキャンセルアンプへ入力されていた雑音電圧) v_{n,x,M_i} の間に $v_{n,a,M_i} > v_{n,x,M_i}$ の関係が成り立つ。提案回路では従来回路にあった入力整合と雑音性能の切り離しを実現しながら、ノイズキャンセルアンプ $A_{v,c}$ へ入力される雑音電圧が大きくなることで、ノイズキャンセルアンプ $A_{v,c}$ の低利得化(つまり低消費電力化)も実現できる。しかしこの構成にすることにより R_{f2} による雑音はノイズキャンセルアンプ $A_{v,c}$ により増幅され、 M_i と異なるノイズキャンセル条件を持つてしまう。 R_{f1} による雑音は一倍で出力される(従来回路と変更なし)。

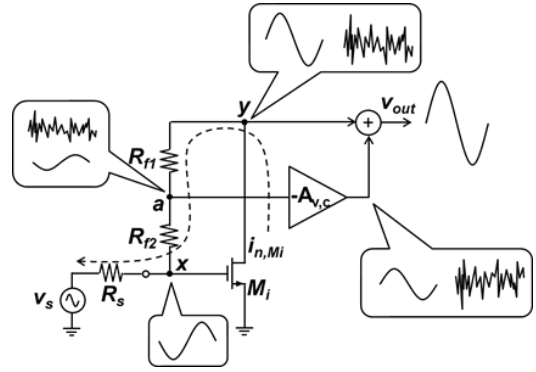


図 2、提案ノイズキャンセリング LNA

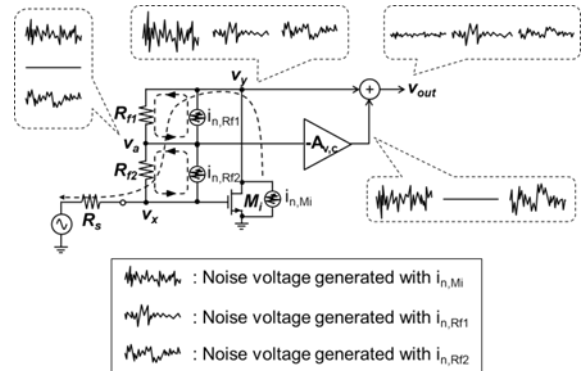


図 3、提案 LNA のノイズ解析モデル

(i) ノイズキャンセル理論

図 3 は提案回路において M_i と R_{f1} と R_{f2} のノイズを電流源でモデルしたときのものを示す。ノイズキャンセルの原理を理解するため、各ノードの小信号電圧と雑音電圧を見ていく。

まず、雑音電圧を考える。雑音電流 i_{n,M_i} はマッチングデバイスから帰還抵抗 R_{f1}, R_{f2}, R_s を経由してグラウンドへ流れる

(v_s のノイズ電圧=0)。帰還抵抗 R_{f1} と R_{f2} によるノイズ電流 $i_{n,Rf1}$ と $i_{n,Rf2}$ はそれぞれの自身の抵抗に流れるように循環する。帰還抵抗 R_{f2} によるノイズ電流 $i_{n,Rf2}$ は R_s を経由してグラウンドに流れる。

これによりノード a と y にそれぞれ雑音電圧 $v_{n,a}$ および $v_{n,y}$ が発生する。

$$v_{n,a,Mi} = (R_s + R_{f2})i_{n,Mi} - R_{f2}i_{n,Rf2} \quad (5)$$

$$v_{n,y,Mi} = (R_s + R_{f1} + R_{f2})i_{n,Mi} - R_{f1}i_{n,Rf1} - R_{f2}i_{n,Rf1}$$

出力での雑音電圧 $v_{n,out}$ は

$$v_{n,out} = v_{n,y,Mi} - A_{v,c}v_{n,a,Mi} \quad (6)$$

となる。式(5),(6)より出力換算雑音 $|v_{n,out}|^2$ は、 γ を短チャネルデバイスによる雑音係数とすると

$$|v_{n,out}|^2 = 4kTB \left\{ |R_s + R_{f1} + R_{f2} - A_{v,c}|^2 \gamma g_{Mi} + R_{f1} + |1 - A_{v,c}|^2 R_{f2} \right\}$$

となる。 $|v_{n,out}|^2$ を最少とするノイズキャンセルアンプの利得 $A_{v,c}$ を $A_{v,cancel}$ とすると

$$A_{v,cancel} = \frac{(R_s + R_{f1} + R_{f2})(R_s + R_{f2})\gamma g_{Mi} + R_{f2}}{(R_s + R_{f2})^2 \gamma g_{Mi} + R_{f2}}$$

となる(ノイズキャンセル条件)。

次に小信号電圧について考える。ノード x から y への伝達関数 v_y/v_x (つまりメインアンプ単体の電圧利得 $A_{v,core}$) とノード x から a への伝達関数 v_a/v_x は下記ようになる。

$$A_{v,core} = \frac{v_y}{v_x} = 1 - (R_{f1} + R_{f2})g_{Mi} \quad (7)$$

$$\frac{v_a}{v_x} = 1 - R_{f2}g_{Mi}$$

$R_{f2}g_{Mi} < 1 < (R_{f1} + R_{f2})g_{Mi}$ を満たすとき、 v_y と v_x が逆相となる。式(3)と(5)について考えていく。式(3)において雑音電圧はノード a と y で同相であるのに対し、小信号電圧は逆相となる。これにより、ノイズキャンセルが可能となる。また、この回路の小信号電圧利得 A はノイズキャンセル条件 $A_{v,c} = A_{v,cancel}$ を満たすとき

$$\begin{aligned} A_v &= 1 - (R_{f1} + R_{f2})g_{Mi} - A_{v,c}(1 - R_{f2}g_{Mi}) \\ &= 1 - (R_{f1} + R_{f2})g_{Mi} \\ &\quad - \frac{(R_s + R_{f1} + R_{f2})(R_s + R_{f2})\gamma g_{Mi} + R_{f2}}{(R_s + R_{f2})^2 \gamma g_{Mi} + R_{f2}} (1 - R_{f2}g_{Mi}) \end{aligned} \quad (8)$$

となる。

続いて、入力整合について記す。この回路の入力インピーダンス $Z_{in} = 1/g_{Mi}$ である。したがって入力整合条件は $Z_{in} = 1/g_{Mi} = R_s$ である。式4より低雑音化には $A_{v,c}$ を、入力整合には g_{Mi} をそれぞれ調整することにより、雑音と入力整合間のトレードオフを解消する。

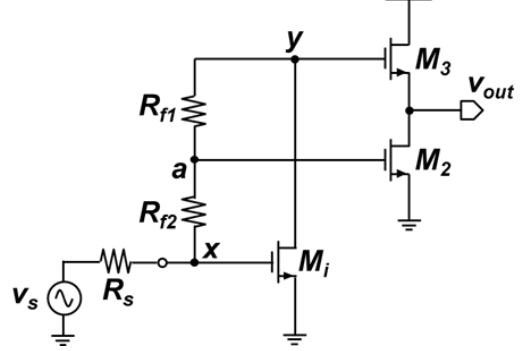


図4、提案 LNA の回路図

図4はノイズキャンセルアンプ $A_{v,c}$ を MOS のインバータ構成とした場合の回路図である。ノード y の電圧は M3 と M2 (定電流源) によるソースフォロワ回路に入力され、ノード y の電圧をコピー (1倍で) 出力される。ノード a の電圧は M2 と負荷 $1/g_{M3}$ によるソースフォロワ回路に入力され、 g_{M2}/g_{M3} 倍で出力される。つまり $A_{v,c} = g_{M2}/g_{M3}$ となる。全体の電圧利得とノイズキャンセル条件は

$$A_v = 1 - g_{Mi}(R_{f1} + R_{f2}) - \frac{g_{M2}}{g_{M3}}(1 - R_{f2}g_{Mi}) \quad (9)$$

$$A_{v,cancel} = \frac{g_{M2}}{g_{M3}} = \frac{(R_s + R_{f1} + R_{f2})(R_s + R_{f2})\gamma g_{Mi} + R_{f2}}{(R_s + R_{f2})^2 \gamma g_{Mi} + R_{f2}}$$

で表される。

図4の回路の雑音指数 F は

$$F = 1 + F_{Mi} + F_{Rf1} + F_{Rf2} + F_{M2+M3}$$

とする。 F_{Mi} , F_{Rf1} , F_{Rf2} , F_{M2+M3} はそれぞれの素子から発生する雑音を F に換算したときの項である。各項は下記のようになる。

$$\begin{aligned} F_{Mi} &= \left| \left(R_s + R_{f1} + R_{f2} - \frac{A_{v,c}(R_s + R_{f2})}{A_{v,core}} \right) \right|^2 \frac{\gamma g_{Mi}}{R_s} \\ F_{Rf1} &= \left| \frac{1 + g_{Mi}R_s}{A_{v,core}} \right|^2 \frac{R_{f1}}{R_s} \\ F_{Rf2} &= \left| \frac{(1 + g_{Mi}R_s)(1 - A_{v,c})}{A_{v,core}} \right|^2 \frac{R_{f2}}{R_s} \\ F_{(M2+M3)} &= \left| \frac{1 + g_{Mi}R_s}{g_{M3}A_{v,core}} \right|^2 \frac{\gamma(g_{M2} + g_{M3})}{R_s} \end{aligned} \quad (10)$$

入力整合条件を満たし、 $R_{f1}=350\Omega$ 、 $R_{f2}=20\Omega$ としたときの $A_{v,c}$ を変化に対する雑音指数 F の各項の変化は図 5 のように、 R_{f2} を 0Ω 。

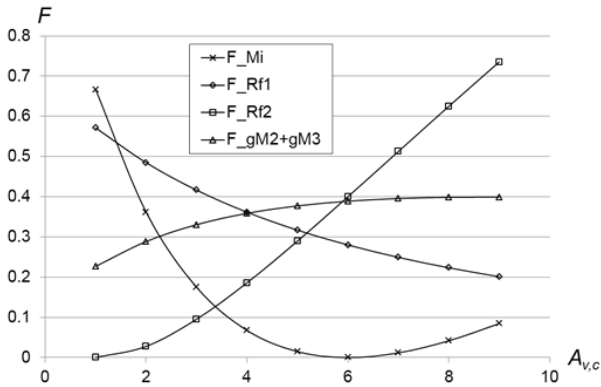


図 5、 $A_{v,c}$ の変化に対する雑音指数 F の各項の変化
($R_{f1}=350\Omega$ 、 $R_{f2}=20\Omega$)

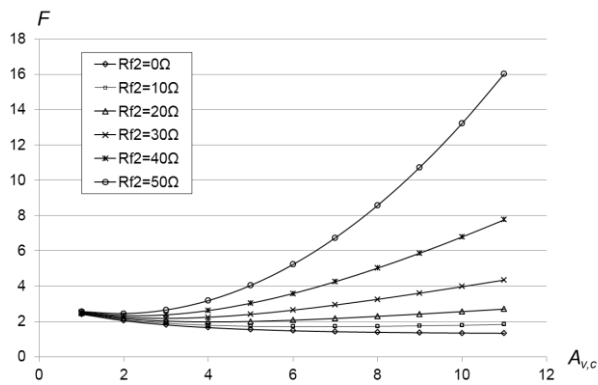


図 6、 R_{f2} 、 $A_{v,c}$ の変化に対する雑音指数 F の変化
($R_{f1}=350\Omega$)

(ii) 歪みキャンセル

歪みキャンセルについて説明する。歪みキャンセルの原理はノイズキャンセルと同様に、ノード a に残ったマッチングデバイスの非線形成分をノイズキャンセル $A_{v,c}$ で増幅し、ノード y と加算することで実現する。

マッチングデバイス M_i で発生する電流 $i_{Mi}=g_m v_{gs}+i_{NL}$ とする (NL は Non-Linear : 高次の非線形項)。このときノード a と y の電圧は

$$v_a = v_s - (R_s + R_{f2})i_{n,Mi}(g_{Mi} + I_{NL}) \quad (11)$$

$$v_y = v_s - A_{v,c}(R_s + R_{f1} + R_{f2})i_{n,Mi}(g_{Mi} + I_{NL})$$

となる。式(11)は式(3)と似ており、このあとも同様にノイズキャンセル条件 $A_{v,c}=1+R_{f1}/(R_s+R_{f2})$ で歪みをキャンセルすることができる。式(9)と(11)を比較するとノイズキャンセル点

と歪みキャンセルがずれていることがわかる。これはノイズに関しては M_i 、 R_{f1} 、 R_{f2} を考慮するのに対して、歪みに関しては M_i のみを考慮したのが理由である。これによりノイズ性能と歪み性能を考慮して設計する必要がある。

(iii) Signal-Suppression 技術

一般的に MOS の消費電力と線形性間にはトレードオフが存在する。MOS のドレイン電流 I_D とトランスコンダクタンス g_m 間では次の関係が成り立つ。

$$g_m = \frac{2I_D}{V_{GS}-V_{TH}} \quad (12)$$

この式は g_m が一定で固定するとき V_{GS} が小さいほどドレイン電流 I_D も小さくなることを示している。しかし MOS において V_{GS} を小さくすると非線形性が大きくなる。これにより消費電流 I_D (つまり消費電力) と線形性間のトレードオフが存在する。

このトレードオフを緩和するのが Signal-Suppression 技術である。Signal-Suppression 技術とは MOS の小信号入力を抑える (Signal-Suppression) にすることにより、MOS の消費電力と線形性間のトレードオフを緩和するものである。

提案回路では R_{f2} の値に調整することによりノード a の小信号電圧 v_a をノード x の小信号電圧 v_x (従来回路でノイズキャンセルアンプ $A_{v,c}$ に入力されていた信号) よりも小さくすることにより M_2 の消費電力を低減させる。

ノード a の小信号電圧 v_a は

$$v_a = (1 - R_{f2}g_{Mi})v_x \quad (13)$$

で表される。式(13)において $0 < R_{f2}g_{Mi} < 2$ のとき $|v_a| < |v_x|$ となる (Signal-Suppression 条件)。ノイズキャンセル部の消費電力は M_2 のドレイン電流で決まる。Signal-Suppression により M_2 への入力信号振幅が小さくなるため、 M_2 の $(V_g - V_D)$ を小さくできる。これにより、(12)式から M_2 のドレイン電流を抑制し、ノイズキャンセルアンプ $A_{v,c}$ の低消費電力化が実現する。

4. シミュレーション

Spectre 90nm プロセスを提案回路の検証を行った。図 7 はシミュレーション回路である。

抵抗、容量は理想素子 (Analog lib)、MOS は実素子 (tsmc 90) を用いた。マッチングデバイスには M_{ia} と M_{ib} のインバータ構成にした。 $C_2, R_{B2}, V_{B2}, C_3, R_{B3}, V_{B3}$ はそれぞれ M_2 と M_3 のバイアスに用いる素子である。 i_{rs} は理想電流源であり、 M_2 の g_m を確保するためのものである。

図8は入力信号周波数が1GHzにおいて、各 R_{f2} の値における $A_{v,c}$ の変化に対する NF の結果をである。ただし $R_{f1}+R_{f2}$ が一定値となるように設計した。これにより、 R_{f2} からの雑音影響が雑音性能に大きく関わる事が確認できた。 $A_{v,c}$ が各 R_{f2} でのノイズキャンセル条件を満たしたときの回路の消費電力と NF の比較は、図9のようになる。

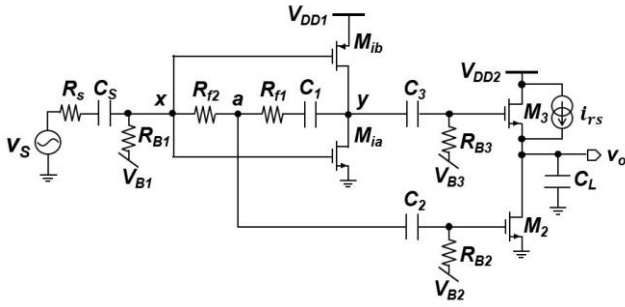


図7、シミュレーション回路

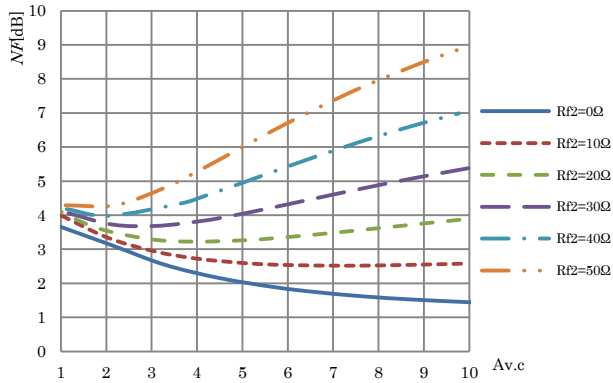


図8、 R_{f2} 変動時の NF vs. $A_{v,c}$

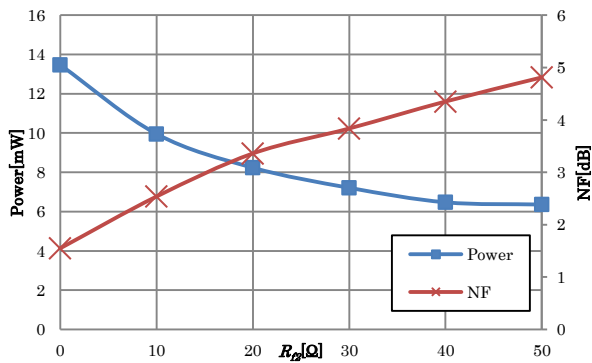


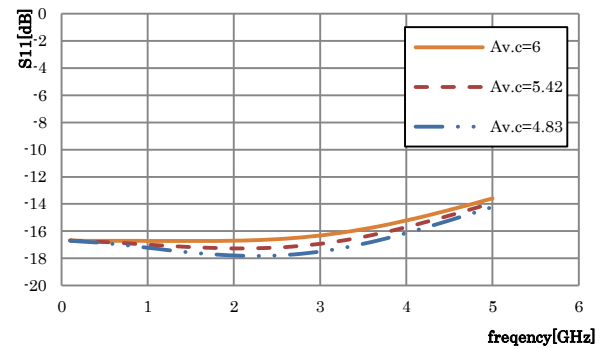
図9、 R_{f2} 変動時の消費電力と NF

また、設計の一例として $R_{f1}=350\Omega$ 、 $R_{f2}=20\Omega$ 時のノイズキャンセル条件を満たした場合と歪みキャンセル条件を満たした場合の消費電力と周波数特性をシミュレーションにより比較した。 $R_{f2}=20\Omega$ のときのノイズキャンセル条件は $A_{v,c}=6$ 、歪みキャンセル条件は $A_{v,c}=4.83$ である。ノイズキャンセル条件、歪みキャンセル条件を満たしたときの消費電力

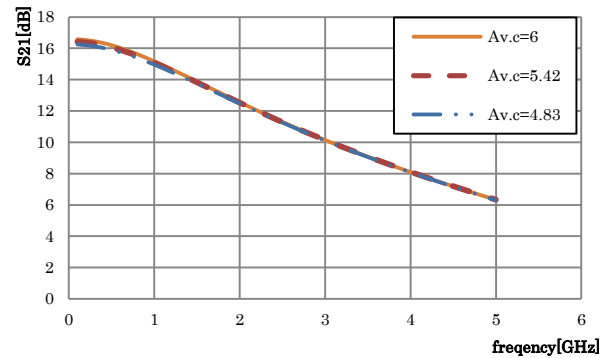
はそれぞれ 8.23mW 、 9.88mW となった。また、その二つのキャンセル条件を満たしたときと、二つの条件の間の $A_{v,c}(=5.42)$ の周波数特性の比較を図10に示した。

入力信号周波数 850MHz で IIP3 値をシミュレーションしたところ、ノイズキャンセル条件を満たしたとき -1.99dBm 、歪みキャンセル条件を満たしたとき -1.53dBm となった。

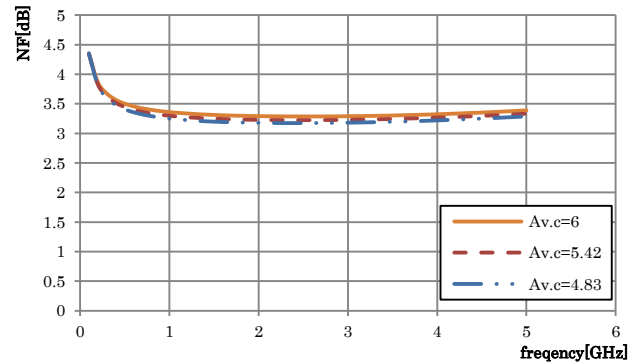
Table1 に $R_{f1}=350\Omega$ 、 $R_{f2}=50\Omega$ 時の $A_{v,c}$ がノイズキャンセル条件、歪みキャンセル条件、その二つのキャンセル条件、二つの条件の間のそれぞれを満たすときの性能を示した。



(a)S11



(b)S21



(c)NF

図10、提案 LNA の周波数特性

Table.1. Simulation results when $R_{p2}=20\Omega$

A_{vc}	4.83	5.42	6.00
Bandwidth	100-4600 MHz	100-4500 MHz	100-4000 MHz
S11(1GHz)	-17.22dB	-16.99dB	-16.72dB
S21(1GHz)	14.96dB	15.08dB	15.17dB
NF(1GHz)	3.25dB	3.298dB	3.36dB
IIP3(850MHz)	-1.99dBm	-1.58dBm	-1.53dBm
Power Consumption	8.23mW	9.05mW	9.87mW

5. まとめ

広帯域 LNA が持つノイズ特性と消費電力間のトレードオフを軽減させる手法として、フィードフォワードアンプを用いたノイズキャンセリング技術とノイズキャンセルアンプの消費電力を低減させる Signal Suppression 技術を用いた提案をした。

シミュレーション結果において、ノイズキャンセリングアンプ A_{vc} による雑音性能—線形性間のトレードオフはあまり存在しなかった。NF と消費電力間のトレードオフとなり、設計に自由度を与えることを実現した。

文 献

- (1) F. Bruccoleri, E. A. M. Klumperink, B. Nauta : “Wide-Band CMOS Low-Noise Amplifier Exploiting Thermal Noise Canceling”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.39, No.2 (Feb. 2004)
- (2) C.-F. Li, S.-C. Chou, G.-H. Ke, P.-C. Huang.: “A Power-Efficient Noise Suppression Technique Using Signal-Nulled Feedback for Low-Noise Wideband Amplifiers” IEEE Trans on Circuits and Systems II: Express Brief, vol.59, no.1, pp.1-5 (Jan. 2012)
- (3) C.-F. Li, S.-C. Chou, P.-C. Huang, : “A Noise-Suppressed Amplifier with a Signal-Nulled Feedback for Wideband Applications”, IEEE Asian Solid-State Circuits Conference, Fukuoka, Japan (Nov,2008)