

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5703324号
(P5703324)

(45) 発行日 平成27年4月15日(2015.4.15)

(24) 登録日 平成27年2月27日(2015.2.27)

(51) Int.Cl. F I
H03F 3/34 (2006.01) H03F 3/34 B
H03K 5/26 (2006.01) H03K 5/26 S

請求項の数 11 (全 19 頁)

<p>(21) 出願番号 特願2013-50319 (P2013-50319) (22) 出願日 平成25年3月13日 (2013.3.13) (65) 公開番号 特開2014-179665 (P2014-179665A) (43) 公開日 平成26年9月25日 (2014.9.25) 審査請求日 平成26年3月17日 (2014.3.17)</p>	<p>(73) 特許権者 396023993 株式会社半導体理工学研究センター 神奈川県横浜市港北区新横浜 3丁目17番地2 友泉新横浜ビル6階 (74) 代理人 110001737 特許業務法人スズエ国際特許事務所 (72) 発明者 新津 葵一 群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内 (72) 発明者 小林 春夫 群馬県桐生市天神町一丁目5番1号 国立大学法人群馬大学内 審査官 柳下 勝幸</p>
--	---

最終頁に続く

(54) 【発明の名称】 時間増幅回路及びその特性テストを実行するためのプログラム

(57) 【特許請求の範囲】

【請求項1】

複数の時間増幅器が多段接続された時間増幅回路であって、
 前記複数の時間増幅器のそれぞれは、2つの入力信号の立ち上がりエッジ時間差を増幅し、2つの出力信号の立ち上がりエッジ時間差として出力し、
 前記複数の時間増幅器は、第1及び第2の時間増幅器を含み、
 第1の正入力端子、第1の負入力端子、第1の正出力端子及び第1の負出力端子を有する前記第1の時間増幅器と、
 第2の正入力端子、第2の負入力端子、第2の正出力端子及び第2の負出力端子を有し、前記第1の時間増幅器の出力信号が入力される前記第2の時間増幅器と、
 前記第1の正出力端子と前記第2の正入力端子とを接続する第1の配線と、
 前記第1の負出力端子と前記第2の負入力端子とを接続する第2の配線と、
 前記第1の正出力端子と前記第2の負入力端子とを接続する第3の配線と、
 前記第1の負出力端子と前記第2の正入力端子とを接続する第4の配線と、
 第1の選択素子と第2の選択素子とを有し、前記第1の選択素子は前記第2の正入力端子に前記第1の配線又は前記第4の配線を接続させ、前記第2の選択素子は前記第2の負入力端子に前記第2の配線又は前記第3の配線を接続させる選択回路と、
 前記第1の正入力端子と前記第1の負入力端子とを接続する第1のスイッチ素子と、
 前記第2の正入力端子と前記第2の負入力端子とを接続する第2のスイッチ素子と、
 前記第1の正出力端子及び前記第1の負出力端子の出力信号を基に、前記第1の時間増

10

20

幅器の第1のオフセット極性を検出する第1のフリップフロップ回路と、

前記第2の正出力端子及び前記第2の負出力端子の出力信号を基に、前記第2の時間増幅器の第2のオフセット極性を検出する第2のフリップフロップ回路と、

前記第1のオフセット極性及び前記第2のオフセット極性が異なる場合は第1の接続になるように前記選択回路を制御し、前記第1のオフセット極性及び前記第2のオフセット極性が同じ場合は第2の接続になるように前記選択回路を制御する制御回路と、

を具備し、

前記第1の接続は、前記第1の時間増幅器と前記第2の時間増幅器とが前記第1の配線及び前記第2の配線で直列接続され、

前記第2の接続は、前記第1の時間増幅器と前記第2の時間増幅器とが前記第3の配線及び前記第4の配線でねじれ接続される、時間増幅回路。

【請求項2】

前記制御回路は、E X O R回路であり、

前記E X O R回路は、前記第1のオフセット極性及び前記第2のオフセット極性が入力される、請求項1に記載の時間増幅回路。

【請求項3】

前記第1及び第2の選択素子は、セレクタでそれぞれ構成される、請求項1に記載の時間増幅回路。

【請求項4】

前記選択回路を含む複数の選択回路をさらに具備し、

前記複数の選択回路は、前記複数の時間増幅器間にそれぞれ設けられる、請求項1に記載の時間増幅回路。

【請求項5】

前記選択回路を含む複数の選択回路をさらに具備し、

前記複数の時間増幅器間には、前記複数の選択回路のうちの1つの選択回路が設けられる第1の構成と前記複数の選択回路のうちの1つの選択回路が設けられない第2の構成とがある、請求項1に記載の時間増幅回路。

【請求項6】

前記第1及び第2の構成は、前記複数の時間増幅器間に交互に存在する、請求項5に記載の時間増幅回路。

【請求項7】

前記複数の時間増幅器の時間オフセットの各テスト結果に関する情報を記憶し、前記情報に基づいた信号を前記制御回路に供給する記憶回路と、

をさらに具備する請求項1に記載の時間増幅回路。

【請求項8】

前記第1及び第2のスイッチ素子を制御し、オペレーションモードとテストモードとを切り替えるモード切替回路と、

をさらに具備する請求項1に記載の時間増幅回路。

【請求項9】

前記第2の正出力端子及び前記第2の負出力端子に接続され、前記複数の時間増幅器の全体のオフセットを測定する時間ディジタイザ回路と、

をさらに具備する請求項1に記載の時間増幅回路。

【請求項10】

第1の時間増幅器と、前記第1の時間増幅器と隣り合い前記第1の時間増幅器の出力信号が入力される第2の時間増幅器と、を具備する多段接続型時間増幅回路の特性テストを実行するためのプログラムであって、

コンピュータに、

前記第1の時間増幅器の正入力及び負入力をショートし、前記第2の時間増幅器の正入力及び負入力をショートするステップと、

前記第1及び第2の時間増幅器にテスト信号を入力し、前記第1及び第2の時間増幅器

10

20

30

40

50

の出力信号を基に前記第 1 及び第 2 の時間増幅器の第 1 及び第 2 のオフセット極性をそれぞれ検出するステップと、

前記第 1 及び第 2 のオフセット極性が同じ場合は前記第 1 及び第 2 の時間増幅器間を直列接続し、前記第 1 及び第 2 のオフセット極性が異なる場合は前記第 1 及び第 2 の時間増幅器間をねじれ接続するステップと、

を実行させるためのプログラム。

【請求項 11】

前記テスト信号は、前記第 1 及び第 2 の時間増幅器に同時にそれぞれ入力され、前記第 1 及び第 2 のオフセット極性の検出を並列処理する、請求項 10 に記載のプログラム。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、多段接続型時間増幅回路及びその特性テストを実行するためのプログラムに関する。

【背景技術】

【0002】

時間増幅器 (Time Amplifier: TA) については、2003 年に原理が発表されている (非特許文献 1 参照)。その後、多数の研究機関において、研究開発が活発に行われ、2008 年に A. A. Abidi 博士のグループにより、回路実現・実シリコンでの動作が確認され、高分解能時間デジタル回路 (Time-to-Digital Converter: TDC) への適用が報告されている (非特許文献 2 参照)。多段接続型時間増幅回路は、ADPLL (全デジタル位相ロックループ) 内の TDC 用として、非特許文献 3 において発表されている。

20

【0003】

このような従来技術においては、時間増幅器を多段接続する際に配線長が短くなるように配線しており、時間オフセットについて考慮した配線構成は検討されていなかった。そのため、時間オフセットが大きくなってしまいうという問題があった。

【0004】

そこで、時間増幅回路を高い増幅率を得るために多段構成にした際に、出力時間オフセットを小さくする技術として、ねじれ接続型構成が提案された (非特許文献 4 参照)。

【0005】

30

しかしながら、多段接続型時間増幅回路において、ねじれ接続型を実現するための具体的な構成が提案されていなかった。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献 1】A. M. Abas, et al., "Time difference amplifier", Electronics Letters, vol. 38, no. 23, pp. 1437-1438, Dec. 2002.

【非特許文献 2】M. Lee, et al., "A 9 b, 1.25 ps resolution coarse-fine time-to-digital converter in 90 nm CMOS that amplifies a time residue", IEEE JSSC, vol. 43, no. 4, pp. 769-777, Apr. 2008.

40

【非特許文献 3】S. K. Lee, et al., "A 1 GHz ADPLL with a 1.25 ps minimum-resolution sub-exponent TDC in 0.18 μm CMOS", IEEE JSSC, vol. 44, no. 12, pp. 2874-2881, Dec. 2010.

【非特許文献 4】N. Harigai, et. al., "A Twistedly-Cascaded Time Difference Amplifier for High Robustness Against Process Variation," in Proc. International Conference on Solid State Devices and Materials (SSDM 2011), Sep. 2011, pp. 184-185.

【発明の概要】

【発明が解決しようとする課題】

【0007】

時間オフセットを低減することが可能な多段接続型時間増幅回路及びその特性テストを

50

実行するためのプログラムを提供する。

【課題を解決するための手段】

【0008】

本発明の第1の態様における時間増幅回路は、複数の時間増幅器が多段接続された時間増幅回路であって、前記複数の時間増幅器のそれぞれは、2つの入力信号の立ち上がりエッジ時間差を増幅し、2つの出力信号の立ち上がりエッジ時間差として出力し、前記複数の時間増幅器は、第1及び第2の時間増幅器を含み、第1の正入力端子、第1の負入力端子、第1の正出力端子及び第1の負出力端子を有する前記第1の時間増幅器と、第2の正入力端子、第2の負入力端子、第2の正出力端子及び第2の負出力端子を有し、前記第1の時間増幅器の出力信号が入力される前記第2の時間増幅器と、前記第1の正出力端子と前記第2の正入力端子とを接続する第1の配線と、前記第1の負出力端子と前記第2の負入力端子とを接続する第2の配線と、前記第1の正出力端子と前記第2の負入力端子とを接続する第3の配線と、前記第1の負出力端子と前記第2の正入力端子とを接続する第4の配線と、第1の選択素子と第2の選択素子とを有し、前記第1の選択素子は前記第2の正入力端子に前記第1の配線又は前記第4の配線を接続させ、前記第2の選択素子は前記第2の負入力端子に前記第2の配線又は前記第3の配線を接続させる選択回路と、前記第1の正入力端子と前記第1の負入力端子とを接続する第1のスイッチ素子と、前記第2の正入力端子と前記第2の負入力端子とを接続する第2のスイッチ素子と、前記第1の正出力端子及び前記第1の負出力端子の出力信号を基に、前記第1の時間増幅器の第1のオフセット極性を検出する第1のフリップフロップ回路と、前記第2の正出力端子及び前記第2の負出力端子の出力信号を基に、前記第2の時間増幅器の第2のオフセット極性を検出する第2のフリップフロップ回路と、前記第1のオフセット極性及び前記第2のオフセット極性が異なる場合は第1の接続になるように前記選択回路を制御し、前記第1のオフセット極性及び前記第2のオフセット極性が同じ場合は第2の接続になるように前記選択回路を制御する制御回路と、を具備し、前記第1の接続は、前記第1の時間増幅器と前記第2の時間増幅器とが前記第1の配線及び前記第2の配線で直列接続され、前記第2の接続は、前記第1の時間増幅器と前記第2の時間増幅器とが前記第3の配線及び前記第4の配線でねじれ接続される。

【0009】

本発明の第2の態様におけるプログラムは、第1の時間増幅器と、前記第1の時間増幅器と隣り合い前記第1の時間増幅器の出力信号が入力される第2の時間増幅器と、を具備する多段接続型時間増幅回路の特性テストを実行するためのプログラムであって、コンピュータに、前記第1の時間増幅器の正入力及び負入力をショートし、前記第2の時間増幅器の正入力及び負入力をショートするステップと、前記第1及び第2の時間増幅器にテスト信号を入力し、前記第1及び第2の時間増幅器の出力信号を基に前記第1及び第2の時間増幅器の第1及び第2のオフセット極性をそれぞれ検出するステップと、前記第1及び第2のオフセット極性が同じ場合は前記第1及び第2の時間増幅器間を直列接続し、前記第1及び第2のオフセット極性が異なる場合は前記第1及び第2の時間増幅器間をねじれ接続するステップと、を実行させる。

【発明の効果】

【0010】

本発明によれば、時間オフセットを低減することが可能な多段接続型時間増幅回路及びその特性テストを実行するためのプログラムを提供できる。

【図面の簡単な説明】

【0011】

【図1】本発明の実施形態に係る時間増幅回路を示す概略図。

【図2】本発明の実施形態に係る時間増幅回路における選択回路を示す概略図。

【図3】本発明の実施形態に係る選択素子を示す回路図。

【図4】本発明の実施形態に係る時間増幅器を示す回路図。

【図5】本発明の実施形態に係る他の時間増幅器を示す回路図。

【図 6】本発明の実施形態に係る時間増幅回路の概要を示す図。

【図 7】本発明の実施形態に係る時間増幅回路の概要を示す図。

【図 8】本発明の実施形態に係る時間増幅回路における時間オフセット削減の効果を示す図。

【図 9】本発明の実施形態に係る時間増幅回路のゲイン及び時間オフセットをモデル化した図。

【図 10】本発明の実施形態及び従来の時間増幅回路のトータルの時間オフセットを示す図。

【図 11】本発明の実施形態及び従来の時間増幅回路の段数に対するトータルの時間オフセットを示す図。

10

【図 12】本発明の実施形態の時間増幅回路の段数及びゲインに対するトータルの時間オフセットの減少率を示す図。

【図 13】本発明の実施形態及び従来の時間増幅回路のプロセス条件毎の時間オフセットのシミュレーション結果を示す図。

【図 14】本発明の実施形態による時間増幅回路のオフセットのシミュレーション結果を示す図。

【図 15】本発明の実施形態による時間増幅回路のオフセットのモンテカルロ (Monte-Carlo) シミュレーションを用いた統計分析結果を示す図。

【図 16】本発明の実施形態による時間増幅回路の応用例の構成を示す概略図。

【図 17】本発明の実施形態による時間増幅回路の応用例の概要を示す図。

20

【発明を実施するための形態】

【0012】

以下、実施の形態について、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0013】

[1] 概要

本発明の一実施形態は、高い増幅率を得るために時間増幅器を多段接続する際に、各段の時間増幅器におけるオフセット極性の検出結果を基に、時間増幅器間の接続を直列接続（非ねじれ接続）又はねじれ接続のいずれかに選択することで、出力の時間オフセットを低減するものである。

30

【0014】

尚、ここで、直列接続（非ねじれ接続）とは、前段の時間増幅器の正出力端子と後段の時間増幅器の正入力端子とが接続され、かつ、前段の時間増幅器の負出力端子と後段の時間増幅器の負入力端子とが接続される場合を意味する。ねじれ接続とは、前段の時間増幅器の正出力端子と後段の時間増幅器の負入力端子とが接続され、かつ、前段の時間増幅器の負出力端子と後段の時間増幅器の正入力端子とが接続される場合を意味する。

【0015】

[2] 時間増幅回路の構成

図 1 を用いて、本発明の一実施形態に係る時間増幅回路 100 について説明する。尚、本実施形態による時間増幅回路 100 は、例えば、汎用マイコン、通信用集積回路等、集積回路全般で使用することが可能である。

40

【0016】

図 1 に示すように、時間増幅回路 100 は、多段接続された時間増幅器 TA1、TA2 及び TA3、スイッチ素子 SW1、SW2 及び SW3、フリップフロップ回路 FF1、FF2 及び FF3、選択回路 10a 及び 10b、制御回路 50a 及び 50b、記憶部 60 及びモード切替回路 70 を有している。

【0017】

時間増幅器 TA1、TA2 及び TA3 は、多段接続されている。つまり、初段の時間増幅器 TA1 の出力信号は、次段の時間増幅器 TA2 に入力され、時間増幅器 TA2 の出力信号は、最終段の時間増幅器 TA3 に入力される。各時間増幅器 TA1、TA2 及び TA

50

3は、2つの入力信号の立ち上がりエッジ時間差を増幅し、2つの出力信号の立ち上がりエッジ時間差として出力する。

【0018】

時間増幅器TA1は、正入力端子1a及び負入力端子1bにそれぞれ入力された入力信号in1及びin2の立ち上がりエッジ時間差を増幅し、正出力端子1c及び負出力端子1dからそれぞれ出力する。時間増幅器TA2は、正入力端子2a及び負入力端子2bにそれぞれ入力された入力信号の立ち上がりエッジ時間差を増幅し、正出力端子2c及び負出力端子2dからそれぞれ出力する。時間増幅器TA3は、正入力端子3a及び負入力端子3bにそれぞれ入力された入力信号の立ち上がりエッジ時間差を増幅し、正出力端子3c及び負出力端子3dから出力信号out1及びout2をそれぞれ出力する。

10

【0019】

時間増幅器TA1及びTA2間は、配線I1、I2、I3及びI4を用いて接続される。配線I1は、時間増幅器TA1の正出力端子1cと時間増幅器TA2の正入力端子2aとを接続する。配線I2は、時間増幅器TA1の負出力端子1dと時間増幅器TA2の負入力端子2bとを接続する。配線I3は、時間増幅器TA1の正出力端子1cと時間増幅器TA2の負入力端子2bとを接続する。配線I4は、時間増幅器TA1の負出力端子1dと時間増幅器TA2の正入力端子2aとを接続する。

【0020】

同様に、時間増幅器TA2及びTA3間は、配線I5、I6、I7及びI8を用いて接続されている。配線I5は、時間増幅器TA2の正出力端子2cと時間増幅器TA3の正入力端子3aとを接続する。配線I6は、時間増幅器TA2の負出力端子2dと時間増幅器TA3の負入力端子3bとを接続する。配線I7は、時間増幅器TA2の正出力端子2cと時間増幅器TA3の負入力端子3bとを接続する。配線I8は、時間増幅器TA2の負出力端子2dと時間増幅器TA3の正入力端子3aとを接続する。

20

【0021】

選択回路10a及び10bは、時間増幅器TA1及びTA2間、時間増幅器TA2及びTA3間にそれぞれ設けられている。選択回路10aは、選択素子S1及びS2を有している。選択回路10aの選択素子S1は、時間増幅器TA2の正入力端子2aに、配線I1及びI4の一方を接続させる。選択回路10aの選択素子S2は、時間増幅器TA2の負入力端子2bに、配線I2及びI3の一方を接続させる。同様に、選択回路10bも、

30

【0022】

スイッチ素子SW1、SW2及びSW3は、時間増幅器TA1、TA2及びTA3の入力端子をそれぞれショートさせる。具体的には、スイッチ素子SW1は、時間増幅器TA1の正入力端子1aと負入力端子1bとを接続又は非接続する。スイッチ素子SW2は、時間増幅器TA2の正入力端子2aと負入力端子2bとを接続又は非接続する。スイッチ素子SW3は、時間増幅器TA3の正入力端子3aと負入力端子3bとを接続又は非接続する。

40

【0023】

フリップフロップ回路FF1、FF2及びFF3は、時間増幅器TA1、TA2及びTA3の出力信号を基に、時間増幅器TA1、TA2及びTA3のオフセット極性をそれぞれ検出する。具体的には、フリップフロップ回路FF1は、時間増幅器TA1における正出力端子1c及び負出力端子1dの出力信号を用いて、時間増幅器TA1のオフセット極性を検出する。フリップフロップ回路FF2は、時間増幅器TA2における正出力端子2c及び負出力端子2dの出力信号を用いて、時間増幅器TA2のオフセット極性を検出する。フリップフロップ回路FF3は、時間増幅器TA3における正出力端子3c及び負出力端子3dの出力信号を用いて、時間増幅器TA3のオフセット極性を検出する。

50

【 0 0 2 4 】

制御回路 5 0 a は、フリップフロップ回路 F F 1 及び F F 2 の出力結果を基に、選択回路 1 0 a の選択素子 S 1 及び S 2 のスイッチングの制御を行う。制御回路 5 0 b は、フリップフロップ回路 F F 2 及び F F 3 の出力結果を基に、選択回路 1 0 b の選択素子 S 1 及び S 2 のスイッチングの制御を行う。

【 0 0 2 5 】

具体的には、隣り合う時間増幅器 T A 1 及び T A 2 のオフセット極性が異なる場合は、時間増幅器 T A 1 及び T A 2 を直列接続する。この場合、制御回路 5 0 a によって、選択素子 S 1 により配線 I 1 を用いて端子 1 c 及び 2 a を接続し、かつ、選択素子 S 2 により配線 I 2 を用いて端子 1 d 及び 2 b を接続する。

10

【 0 0 2 6 】

一方、隣り合う時間増幅器 T A 1 及び T A 2 のオフセット極性が同じ場合は、時間増幅器 T A 1 及び T A 2 をねじれ接続する。この場合、制御回路 5 0 a によって、選択素子 S 1 により配線 I 4 を用いて端子 1 d 及び 2 a を接続し、かつ、選択素子 S 2 により配線 I 3 を用いて端子 1 c 及び 2 b を接続する。

【 0 0 2 7 】

また、隣り合う時間増幅器 T A 2 及び T A 3 のオフセット極性が異なる場合は、時間増幅器 T A 2 及び T A 3 を直列接続する。この場合、制御回路 5 0 b によって、選択素子 S 1 により配線 I 5 を用いて端子 2 c 及び 3 a を接続し、かつ、選択素子 S 2 により配線 I 6 を用いて端子 2 d 及び 3 b を接続する。

20

【 0 0 2 8 】

一方、隣り合う時間増幅器 T A 2 及び T A 3 のオフセット極性が同じ場合は、時間増幅器 T A 2 及び T A 3 をねじれ接続する。この場合、制御回路 5 0 b によって、選択素子 S 1 により配線 I 8 を用いて端子 2 d 及び 3 a を接続し、かつ、選択素子 S 2 により配線 I 7 を用いて端子 2 c 及び 3 b を接続する。

【 0 0 2 9 】

制御回路 5 0 a 及び 5 0 b は、例えば、E X O R 回路 E X O R 1 及び E X O R 2 で構成される。

【 0 0 3 0 】

記憶部 6 0 には、各段の時間増幅器 T A 1、T A 2 及び T A 3 の時間オフセットのテスト結果に関する情報（例えば、時間増幅器 T A 1、T A 2 及び T A 3 のオフセット極性）が記憶されている。記憶部 6 0 は、この情報に基づいて、時間増幅回路 1 0 0 全体での時間オフセットが最小になるように、各段の接続構成を直列接続にするか、ねじれ接続にするかについて判断する。そして、記憶部 6 0 は、この判断結果に応じた信号を制御回路 5 0 a 及び 5 0 b へ供給する。

30

【 0 0 3 1 】

モード切替回路 7 0 は、オペレーションモードとテストモードとを切り替えるために、スイッチ素子 S W 1、S W 2 及び S W 3 を制御する。オペレーションモードの場合、モード切替回路 7 0 は、スイッチ素子 S W 1、S W 2 及び S W 3 を開くように制御する。テストモードの場合、モード切替回路 7 0 は、スイッチ素子 S W 1、S W 2 及び S W 3 を閉じるように制御する。

40

【 0 0 3 2 】

尚、本実施形態の時間増幅回路 1 0 0 は、上述した構成に限定されず、例えば次のように種々変更することが可能である。

【 0 0 3 3 】

(1) 多段接続する時間増幅器 T A 1、T A 2 及び T A 3 の数は、3 つに限定されず、2 つ又は 4 つ以上でもよい。

【 0 0 3 4 】

(2) 図 1 の例では、選択回路 1 0 a 及び 1 0 b は、時間増幅器 T A 1 及び T A 2 間、時間増幅器 T A 2 及び T A 3 間にそれぞれ設けられている。つまり、時間増幅器が n 段の

50

場合、選択回路の数は $n - 1$ となり、選択回路の数：時間増幅器間の数 = 1 : 1 の関係になっている。しかし、本実施形態では、多段接続された時間増幅器間の全てに、選択回路をそれぞれ設ける構成に限定されない。

【 0 0 3 5 】

例えば、図 1 の選択回路 1 0 a を無くし、2 つの時間増幅器 T A 1 及び T A 2 に対して 1 つの選択回路 1 0 b が用いられるように変更してもよい。つまり、選択回路の数：時間増幅器間の数 = 1 : 2 の関係にし、時間増幅器間は選択回路がある構成と選択回路がない構成とが交互になるようにしてもよい。但し、時間増幅器間において、選択回路がある構成と選択回路がない構成とが必ずしも交互になる必要はない。

【 0 0 3 6 】

また、選択回路の数と時間増幅器間の数とは、1 対 3 以上であってもよい。この場合、時間増幅器間において、選択回路がある構成と選択回路がない構成とは、規則的な順で設けられてもよいし、不規則的な順で設けられてもよい。後者の場合、最終段に近い時間増幅器間よりも初段に近い時間増幅器間の方に、より多く選択回路を配置してもよい。この場合、時間増幅回路全体の時間オフセットを最小にするための調整がし易いからである。

【 0 0 3 7 】

また、選択回路は、多段接続された時間増幅器の全てに対して 1 つ設けられてもよい。この場合、1 つの選択回路は、例えば、最終段の時間増幅器と最終段の 1 つ前の時間増幅器との間や、最終段の時間増幅器の出力側に設けてもよい。

【 0 0 3 8 】

さらに、図 1 では、選択回路 1 0 a 及び 1 0 b は、時間増幅器 T A 1 及び T A 2 間、時間増幅器 T A 2 及び T A 3 間にそれぞれ配置されるように図示されているが、選択回路は、時間増幅器間に物理的に配置されることに限定されない。つまり、選択回路は、時間増幅器間から配線を引き回すことで、例えば制御回路 5 0 の近辺等に物理的に配置することも可能である。この場合、1 つの選択回路を、多段接続された複数の時間増幅器で共有して使用できる構成にすることも可能である。

【 0 0 3 9 】

尚、上述した変形例 (2) の時間増幅器間の配線構成については、図 1 の時間増幅器 T A 1 及び T A 2 間を例に挙げる場合、選択回路 1 0 a を設ける箇所の配線構成は、配線 I 1、I 2、I 3 及び I 4 の 4 本を用いてねじれ接続及び直列接続のいずれも可能な構成になっており、選択回路 1 0 a を設けない箇所の配線構成は、配線 I 1 及び I 2 の 2 本を用いて直列接続のみが可能な構成になっている。

【 0 0 4 0 】

(3) 各段の時間増幅器 T A 1、T A 2 及び T A 3 の接続構成の判断は、記憶部 6 0 で行われることに限定されない。例えば、時間増幅回路 1 0 0 の外部回路で判断され、その結果が記憶部 6 0 又は制御回路 5 0 a 及び 5 0 b 内に格納されるようにしてもよい。また、このような判断は、制御回路 5 0 a 及び 5 0 b で行われてもよい。さらに、記憶部 6 0 は、時間増幅回路 1 0 0 内に設けなくてもよい。

【 0 0 4 1 】

(4) モード切替回路 7 0 は、時間増幅回路 1 0 0 内に設けなくてもよい。

【 0 0 4 2 】

[3] 選択回路

図 2 及び図 3 を用いて、本発明の一実施形態に係る選択回路 1 0 a 及び 1 0 b について説明する。尚、本実施形態の選択回路 1 0 a 及び 1 0 b は、図 2 及び図 3 の構成に限定されず、種々変更可能である。

【 0 0 4 3 】

図 2 に示すように、選択回路 1 0 a 及び 1 0 b は、例えば、2 つのセレクタ 1 1 及び 1 2 でそれぞれ構成されてもよい。

【 0 0 4 4 】

図 3 に示すように、セレクタ 1 1 は、N A N D ゲート 1 3 及び 1 4、インバータ 1 5 及

10

20

30

40

50

び16を有している。このセレクタ11の制御は、図1の制御回路50aにより供給される信号SELによって行われる。

【0045】

NANDゲート13の一方の入力端子には、配線I1により、前段の正出力端子1cが接続されている。NANDゲート13の他方の入力端子には、図1の制御回路50aから供給される信号SELが入力される。

【0046】

NANDゲート14の一方の入力端子には、配線I4により、前段の負出力端子1dが接続されている。NANDゲート14の他方の入力端子には、図1の制御回路50aから供給される信号SELがインバータ15を介して入力される。

10

【0047】

NANDゲート13及び14の出力端子は、インバータ16の入力端子に接続され、インバータ16の出力端子は、次段の正入力端子2aに接続される。

【0048】

[4] 時間増幅器

図4及び図5を用いて、本発明の一実施形態に係る時間増幅器TAの回路構成について説明する。

【0049】

時間増幅器TAの回路構成としては、NAND型SRラッチのメタスタビリティを利用するもの(オープンループTA)と、可変遅延セルをクロスカップル接続する構成のもの(クローズドループTA)とがある。前者のオープンループTAは、標準ロジックのみで構成できるため、小面積で設計可能であるという利点がある。一方、後者のクローズドループTAは、フィードバック制御を用いているため、PVT(Process Voltage Temperature)ばらつきに強いという利点がある。本実施形態では、時間増幅器TAとしてオープンループTAを用いた場合を例示するが、クローズドループTAを用いることも可能である。

20

【0050】

図4に示すように、時間増幅器TAは、遅延時間 T_{off} を作る遅延回路21及び22、NAND型SRラッチ回路23及び24、XORゲート25及び26、キャパシタ27、28、29及び30を含んで構成されている。

30

【0051】

NAND型SRラッチ回路23は、NANDゲート31及び32が循環接続された構成を有している。NANDゲート31の一方の入力がセット入力Sとなり、NANDゲート32の一方の入力がリセット入力Rとなる。ここで、セット入力Sは、遅延回路21の出力であり、リセット入力Rは、時間増幅器TAの入力in2である。

【0052】

NAND型SRラッチ回路24は、NANDゲート33及び34が循環接続された構成を有している。NANDゲート33の一方の入力がリセット入力Rとなり、NANDゲート34の一方の入力がセット入力Sとなる。ここで、セット入力Sは、遅延回路22の出力であり、リセット入力Rは、時間増幅器TAの入力in1である。

40

【0053】

XORゲート25は、NANDゲート31の出力信号とNANDゲート32の出力信号とを比較し、信号out2を出力する。XORゲート26は、NANDゲート33の出力信号とNANDゲート34の出力信号とを比較し、信号out1を出力する。

【0054】

キャパシタ27は、一端がグラウンドに接続され、他端がXORゲート25の一方の入力に接続される。キャパシタ28は、一端がグラウンドに接続され、他端がXORゲート25の他方の入力に接続される。キャパシタ29は、一端がグラウンドに接続され、他端がXORゲート26の一方の入力に接続される。キャパシタ30は、一端がグラウンドに接続され、他端がXORゲート26の他方の入力に接続される。

50

【 0 0 5 5 】

このような回路構成による時間増幅器 T A では、入力信号 i_{n1} 及び i_{n2} の立ち上がりエッジ時間がほぼ同じ場合、NAND型SRラッチ回路 2 3 及び 2 4 の出力が準安定状態になり、そこからの回復時間が入力信号の立ち上がりエッジ時間差に比例するという特性を利用する。

【 0 0 5 6 】

尚、本実施形態に係る時間増幅器 T A は、図 4 の構成に限定されず、例えば、図 5 の構成に変更することも可能である。

【 0 0 5 7 】

図 5 の時間増幅器 T A では、入力側の遅延回路 2 1 及び 2 2 の遅延時間 T_{off} は、インバータチェーンによって実現している。つまり、遅延回路 2 1 は、チェーン接続された 2 つのインバータ 3 5 及び 3 6 で構成され、遅延回路 2 2 は、チェーン接続された 2 つのインバータ 3 7 及び 3 8 で構成されている。

10

【 0 0 5 8 】

また、図 5 の時間増幅器 T A では、出力側の XOR ゲート 2 5 及び 2 6 は、NAND型SRラッチ回路 2 3 及び 2 4 が順安定状態に陥った時に、出力が不安定にならないように構成している。具体的には、XOR ゲート 2 5 は、インバータ 3 9 及び 4 0、OR ゲート 4 3 を有している。XOR ゲート 2 6 は、インバータ 4 1 及び 4 2、OR ゲート 4 4 を有している。

【 0 0 5 9 】

尚、図 5 の時間増幅器 T A において、遅延回路 2 1 及び 2 2 のインバータチェーンは、2 つのインバータで構成されているが、インバータの数はこれに限定されず、3 つ以上であっても勿論よい。インバータの数が多くなるほど、遅延時間 T_{off} は大きくなる。

20

【 0 0 6 0 】

また、図 4 の時間増幅器 T A において、図 5 の遅延回路 2 1 及び 2 2 に変更したり、図 5 の XOR ゲート 2 5 及び 2 6 に変更したりすることも可能である。

【 0 0 6 1 】

[5] オフセット極性のテスト方法

図 1 及び図 6 を用いて、本実施形態における多段接続型時間増幅回路 1 0 0 のオフセット極性（オフセットの正負）のテスト方法について説明する。

30

【 0 0 6 2 】

まず、モード切替回路 7 0 により、テストモードとなるように、スイッチ素子 S W 1、S W 2 及び S W 3 を閉じ、各段の時間増幅器 T A 1、T A 2 及び T A 3 の入力端子をそれぞれショートさせる。尚、テストモードにおいて、スイッチ素子 S W 1、S W 2 及び S W 3 は、同じタイミングで閉じてもよいし、異なるタイミングで閉じてもよい。

【 0 0 6 3 】

次に、時間増幅器 T A 1、T A 2 及び T A 3 にテスト信号を入力して、フリップフロップ回路 F F 1、F F 2 及び F F 3 の出力信号をそれぞれ得る。この時、フリップフロップ回路 F F 1、F F 2 及び F F 3 は、時間比較器として作用する。

【 0 0 6 4 】

例えば、時間増幅器 T A 1 のオフセット極性をテストする場合、入力端子 1 a 及び 1 b に同時にテスト信号が入力され（図 9 (b) 参照）、出力端子 1 c 及び 1 d の出力信号をフリップフロップ回路 F F 1 で検出する。この際、出力端子 1 c からの出力信号と出力端子 1 d からの出力信号との立ち上がりエッジ時間に応じて、オフセット極性を割り当てる。つまり、出力端子 1 c の出力信号の立ち上がりエッジ時間が出力端子 1 d の出力信号の立ち上がりエッジ時間よりも早い場合は、オフセット極性を「正 (+)」又は「負 (-)」とし、出力端子 1 c の出力信号の立ち上がりエッジ時間が出力端子 1 d の出力信号の立ち上がりエッジ時間よりも遅い場合は、オフセット極性を「負 (-)」又は「正 (+)」とする。

40

【 0 0 6 5 】

50

尚、テスト信号は、時間増幅器 T A 1、T A 2 及び T A 3 で共通の信号を用いてもよいし、時間増幅器 T A 1、T A 2 及び T A 3 で異なる信号を用いてもよい。前者の場合、選択回路 1 0 a 及び 1 0 b の選択素子 S 1 及び S 2 を用いて、時間増幅器 T A 1 及び T A 2 間と時間増幅器 T A 2 及び T A 3 間を共に直列接続にするとよい。後者の場合、各時間増幅器 T A 1、T A 2 及び T A 3 のテスト信号を異なるタイミングで入力してもよいが、テスト時間を削減するために、各時間増幅器 T A 1、T A 2 及び T A 3 のテスト信号を同じタイミングで入力し、各段の特性テストを並列処理してもよい。

【 0 0 6 6 】

次に、フリップフロップ回路 F F 1、F F 2 及び F F 3 の出力結果を基に、E X O R 回路 E X O R 1 及び E X O R 2 により、ねじれ接続構成または非ねじれ（直列）接続構成となるように選択回路 1 0 a 及び 1 0 b が制御される。ここで、隣り合う時間増幅器のオフセット極性が同じであれば、ねじれ接続構成にし、隣り合う時間増幅器のオフセット極性が異なれば、非ねじれ接続構成にする。

10

最後に、モード切替回路 7 0 により、スイッチ素子 S W 1、S W 2 及び S W 3 が開くように制御され、テストモードが終了する。

【 0 0 6 7 】

尚、上述した本実施形態に係るテスト方法は、コンピュータに上記テスト方法の各処理を実行させるためのプログラムとして提供することも可能であるし、コンピュータに上記テスト方法の各処理を実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体として提供することも可能である。本実施形態に係るテスト方法は、コンピュータに実行させることのできるプログラムとして、例えば、磁気ディスク（フロッピー（登録商標）ディスク、ハードディスク等）、光ディスク（C D - R O M、D V D、ブルーレイ（登録商標）ディスク等）、半導体メモリ等の記録媒体に書き込んで、各種装置に適用したり、通信媒体により伝送して各種装置に適用したりすることも可能である。本装置を実現するコンピュータは、記録媒体に記録されたプログラムを読み込み、このプログラムによって動作が制御されることにより、上述したテスト方法による処理を実行する。

20

【 0 0 6 8 】

[6] 効果

図 7 乃至図 1 5 を用いて、本実施形態における多段接続型時間増幅回路 1 0 0 の効果について説明する。

30

【 0 0 6 9 】

本実施形態の多段接続型時間増幅回路 1 0 0 では、時間増幅器 T A 間の配線構成は、選択回路 1 0 a 及び 1 0 b により、直列接続又はねじれ接続になるように構成されている。

【 0 0 7 0 】

本実施形態では、各段の時間増幅器 T A における特性（時間オフセットの正負）をテストし、このテスト結果に基づいて、隣り合う時間増幅器のオフセット極性が同じであれば、ねじれ接続構成にし、隣り合う時間増幅器のオフセット極性が異なれば、非ねじれ接続構成にする。このように、特性テストにより、時間増幅器 T A 間の配線構成を再構成し、トータルの時間オフセットが最小となるようにする（図 7 参照）。

【 0 0 7 1 】

40

従来の多段接続型時間増幅回路では、図 8 (a) に示すように、本実施形態のようなねじれ接続で配線が構成されていない。このため、時間オフセットは大きく、それを補償するための可変遅延も大きく、コストも高くなっていた。これに対し、本実施形態の多段接続型時間増幅回路 1 0 0 では、図 8 (b) に示すように、特性テスト及び配線の再構成を行う。このため、時間オフセットは小さく、可変遅延も小さくなり、コストも低減できる。このような本実施形態による時間オフセットの削減について、以下に詳説する。

【 0 0 7 2 】

図 9 (a) に示すように、時間増幅器 T A の特性をモデル化する。時間増幅器 T A のゲインを G 、オフセットを τ ($\tau > 0$) とする場合、入力信号 $i n 1$ 及び $i n 2$ の立ち上がりエッジ時間差 $T_{I N}$ と出力信号 $o u t 1$ 及び $o u t 2$ の立ち上がりエッジ時間差 T

50

OUTには、以下の式(1)の関係がある。

【0073】

$$T_{OUT} = T_{IN} + \dots (1)$$

多段接続した時間増幅器TAの時間オフセットは、図10(a)及び(b)のように数学的に表現することができる。

【0074】

図10(a)に示すように、従来技術によるn段非ねじれ接続型時間増幅器のトータル時間オフセットTOTALは、以下の式(2)のように表される。

【0075】

$$T_{TOTAL} = (n-1 + n-2 + \dots + 2 + 1) \dots (2)$$

この式(2)から分かるように、従来技術のオフセットTOTALは、時間増幅器の段数の増加に伴い増加する。

【0076】

一方、図10(b)に示すように、本実施形態によるn段ねじれ接続型時間増幅器100のトータル時間オフセット'TOTALは、以下の式(3)のように表される。

【0077】

$$'T_{TOTAL} = (n-1 - n-2 - \dots - 2 - 1) \dots (3)$$

式(3)から分かるように、本実施形態では、時間増幅器TAの段数が増加しても大幅な時間オフセットの削減が可能である。

【0078】

具体的には、図11に示すように、本実施形態のねじれ接続型時間増幅回路100は、従来技術の非ねじれ接続型時間増幅回路よりも、時間増幅器TAの段数が増加するに従って、トータルの時間オフセットを低減することができている。また、図12に示すように、本実施形態のトータル時間オフセットの減少率は、1段あたりのゲイン2~4のいずれの場合も、時間増幅器TAの段数が増加するに従って高まることが分かる。

【0079】

図13(a)及び(b)は、従来技術と本実施形態の4段接続の時間増幅回路における3つのタイプのトータル時間オフセットのシミュレーション結果を示している。3つのタイプとは、FF(ゲイン/段=3.64)、TT(ゲイン/段=3.37)、SS(ゲイン/段=2.93)である。

【0080】

従来技術と本実施形態のトータル時間オフセットを比較すると、FFタイプの場合は636.0psから285.7ps(55.1%の削減)、TTタイプの場合は28.8psから11.6ps(58.8%の削減)、SSタイプの場合は-238.1psから-93.5ps(61.0%の削減)に、トータル時間オフセットを大幅に削減できていることが分かる。上記の式(2)及び(3)による計算結果も、FFタイプは54.1%、TTタイプは58.2%、SSタイプは66.4%となり、このシミュレーションとほぼ等しい結果となっている。

【0081】

図14は、4段接続の時間増幅回路において、8パターンの接続構成による出力(トータル)オフセット時間のシミュレーション結果を示している。このシミュレーションでは、各段の時間増幅器TAのオフセットが異なること(プロセスバリエーション)が考慮されている。

【0082】

図14に示すように、各段の時間増幅器TAのオフセットは、+1.11ps、-1.34ps、-0.44ps、+6.38psである。また、出力オフセット時間は、パターンAは295ps、パターンBは297ps、パターンCは180ps、パターンDは191ps、パターンEは318ps、パターンFは327ps、パターンGは258ps、パターンHは249psである。従って、これら8つのパターンのうち、ワースト状況(出力オフセット時間が最も長い)の接続構成はパターンFであり、ベスト状況(出力

10

20

30

40

50

オフセット時間が最も短い)の接続構成はパターンCである。よって、パターンFをパターンCに再構成することで、出力オフセット時間を327psから180psへと45%減少させることができる。

【0083】

図15は、本実施形態と従来技術による出力時間オフセットのモンテカルロシミュレーションを用いた統計分析結果を示している。図15は、図14と同様に、各段の時間増幅器TAのプロセスバリエーションが考慮されている。尚、図15におけるRIC(Reconfigurable Inter-Stage Connection)は、時間増幅器TA間の接続の再構成を意味する。

【0084】

図15に示すように、本実施形態と従来技術とのワースト時間オフセットを比べると、従来技術は745psであるのに対し、本実施形態は353psとなり、52.6%減少させることができる。また、確立分布関数(PDF: probability distribution function)におけるオフセットの分布中心を比べると、従来技術は290psであるのに対し、本実施形態は191psとなり、34.0%減少させることができる。このように、各段の時間増幅器TAのプロセスバリエーションを考慮しても、シミュレーションによるオフセットの減少を確認することができる。

【0085】

以上のように、本実施形態では、多段接続型時間増幅回路100を集積回路等に搭載する際に、各段の時間増幅器TAの時間オフセット極性をテストし、このテスト結果を基にして多段接続型時間増幅回路100のトータルの時間オフセットが最小になるように、ねじれ構成に配線を組み換える。このような本構成を用いることにより、出力時間オフセットを最小化することが可能となる。

【0086】

また、各段の時間増幅器TAのオフセット極性を検出するにあたり、各段の間にフリップフロップ回路とEXOR回路のような簡単な回路を用いることで、小面積で出力時間オフセットを最小化することが可能となる。

【0087】

また、時間オフセットの生じる傾向が予め分かっている場合(例えば、製造ばらつきの傾向が分かっており、構成素子の配置関係から予測できる場合)には、テスト前から配線をねじれ構成にすることで時間オフセットを最小化できる。

【0088】

[7] 応用例

図16を用いて、本発明の実施形態による多段接続型時間増幅回路100の応用例の構成について説明する。

【0089】

図16に示すように、応用例の多段接続型時間増幅回路100では、最終段の時間増幅器TA3の出力に、時間デジタル回路(TDC)80を設けてもよい。時間デジタル回路80は、時間増幅回路100の全体のオフセットを測定し、最適な接続構成を選択するように、制御回路50a及び50bを制御する。

【0090】

図16及び図17を用いて、応用例による多段接続型時間増幅回路100のオフセット極性のテスト方法について説明する。

【0091】

まず、時間デジタル回路80を用いて、各時間増幅器TA1、TA2及びTA3における全ての接続パターンの時間オフセットを測定する。ここで、図16の4段接続の時間増幅回路は、8パターンの接続構成NNN、NNT、NTN、NTT、TNN、TNT、TTN、TTT(T:ねじれ接続、N:非ねじれ接続)を有する。時間デジタル回路80によって得られた測定結果は、例えば、記憶部60等に記憶される。

【0092】

次に、各接続パターンの時間オフセットを比較する。図16の場合は、TNT(ねじれ

10

20

30

40

50

- 非ねじれ - ねじれ) 接続の場合が最もオフセットが低減できている。この比較は、例えば、記憶部 60 等で行われる。

【0093】

最後に、比較結果を基に、時間オフセットを最も低減できるような接続パターンで再構成する。

【0094】

上記のような応用例の多段接続型時間増幅回路 100 においても、出力時間オフセットを低減することが可能となる。

【0095】

尚、本発明の実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

【符号の説明】

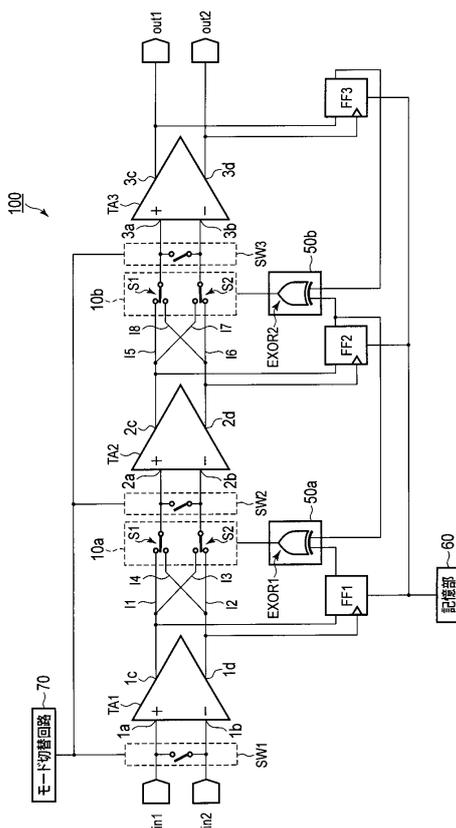
【0096】

10a、10b...選択回路、11、12...セレクタ、13、14、31、32、33、34...NANDゲート、15、16、35、36、37、38、39、40、41、42...インバータ、21、22...遅延回路、23、24...NAND型SRラッチ回路、25、26...XORゲート、27、28、29、30...キャパシタ、50a、50b...制御回路、60...記憶部、70...モード切替回路、80...時間ディジタイザ回路(TDC)、100...時間増幅回路、TA...時間増幅器、I1~I8...配線、S1、S2...選択素子、SW1、SW2、SW3...スイッチ素子、FF1、FF2、FF3...フリップフロップ回路。

20

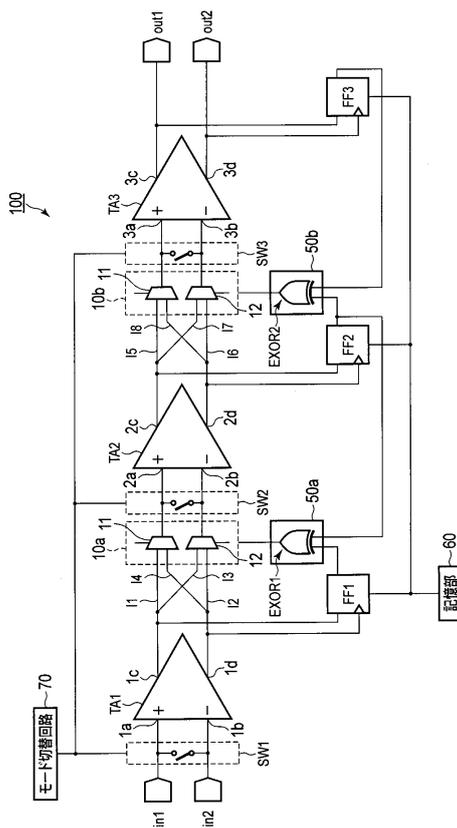
【図1】

図1

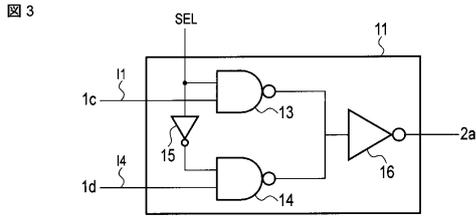


【図2】

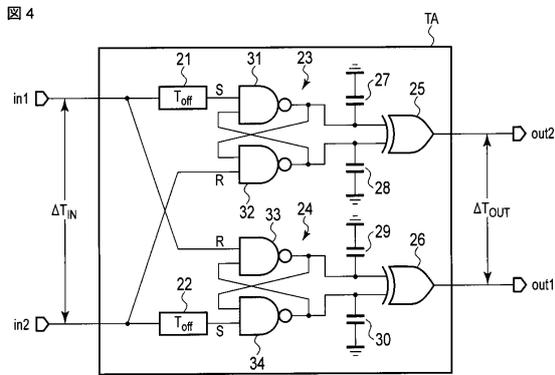
図2



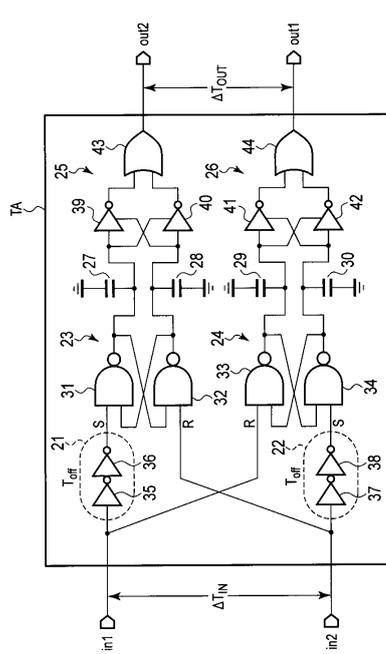
【図3】



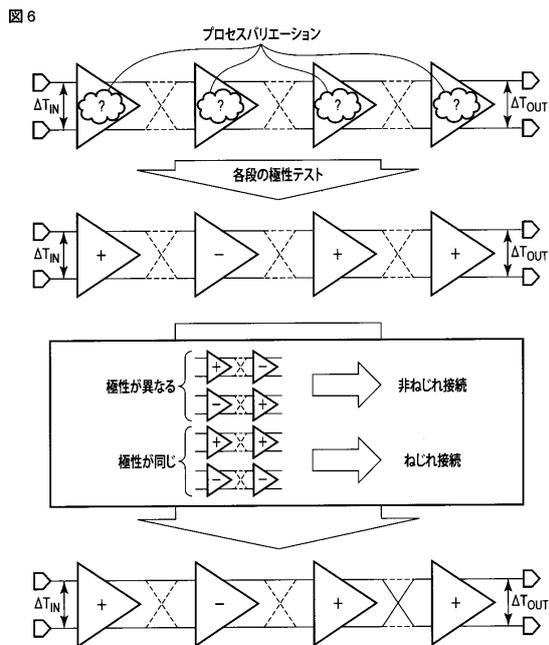
【図4】



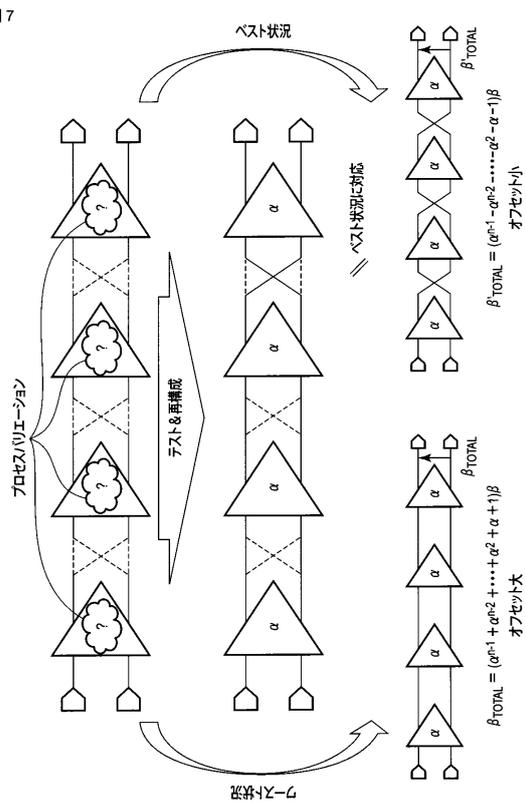
【図5】



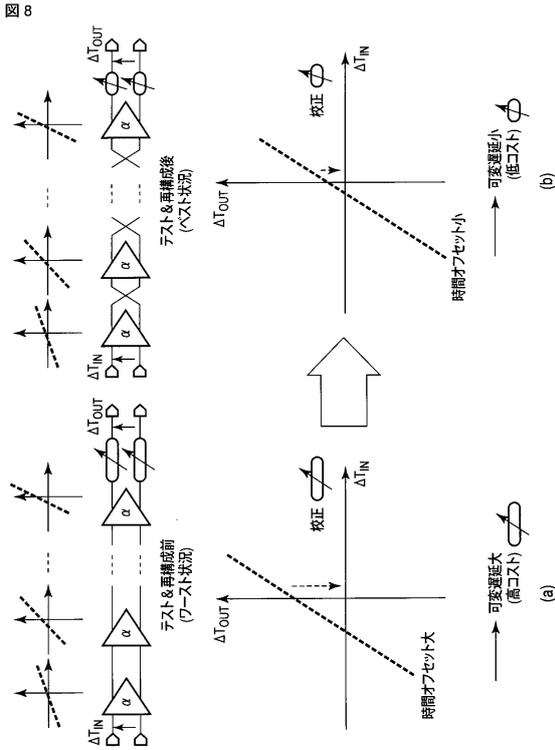
【図6】



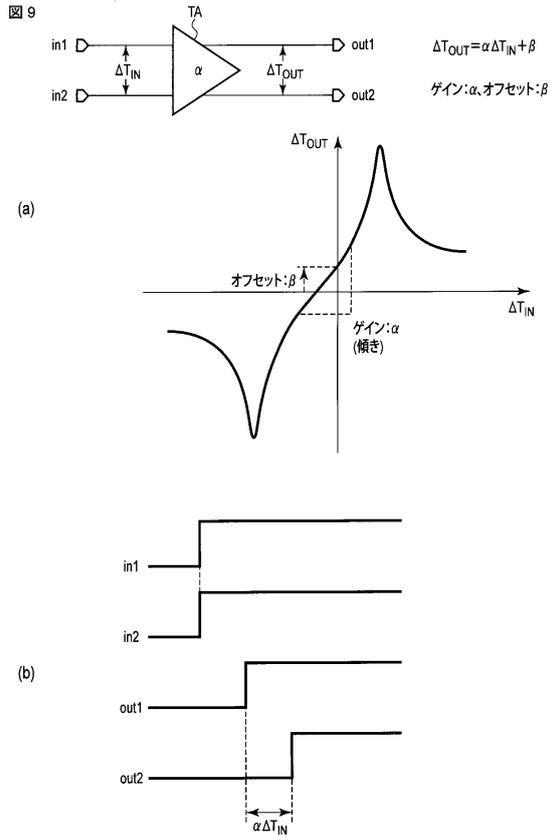
【図7】



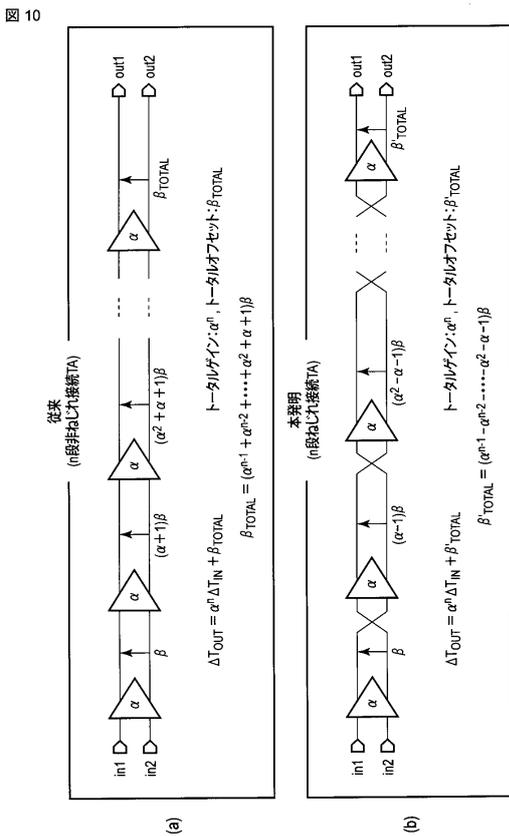
【図8】



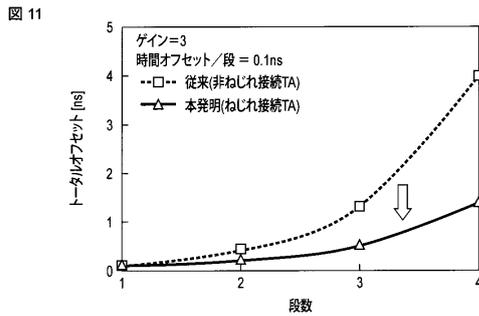
【図9】



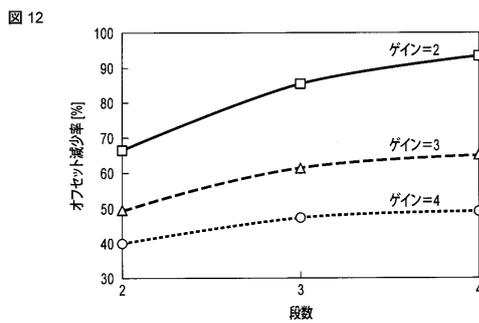
【図10】



【図11】

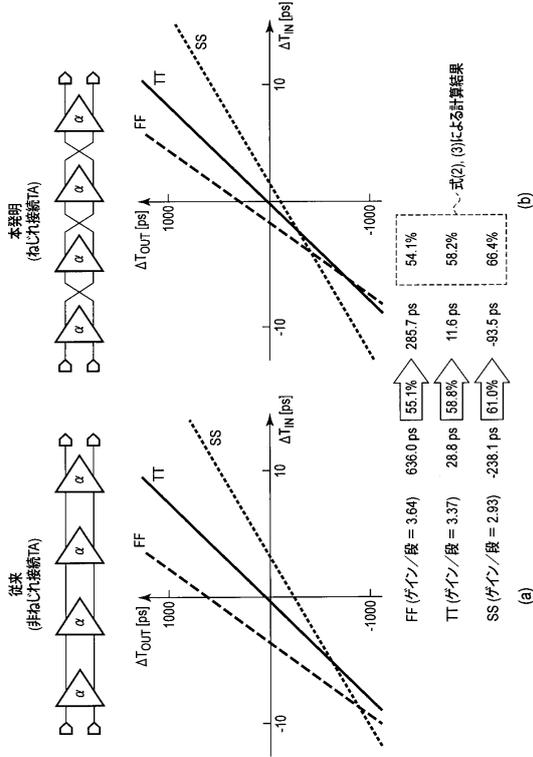


【図12】



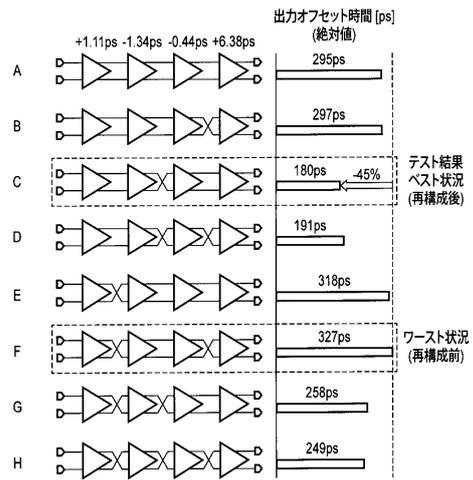
【 図 13 】

図 13



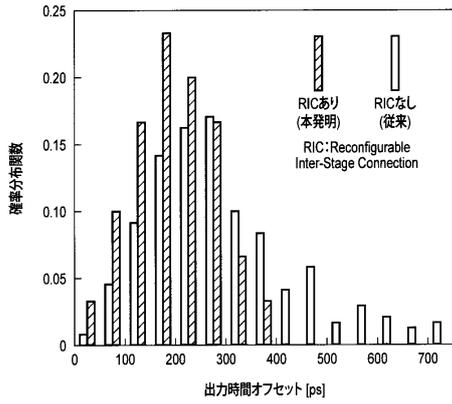
【 図 14 】

図 14



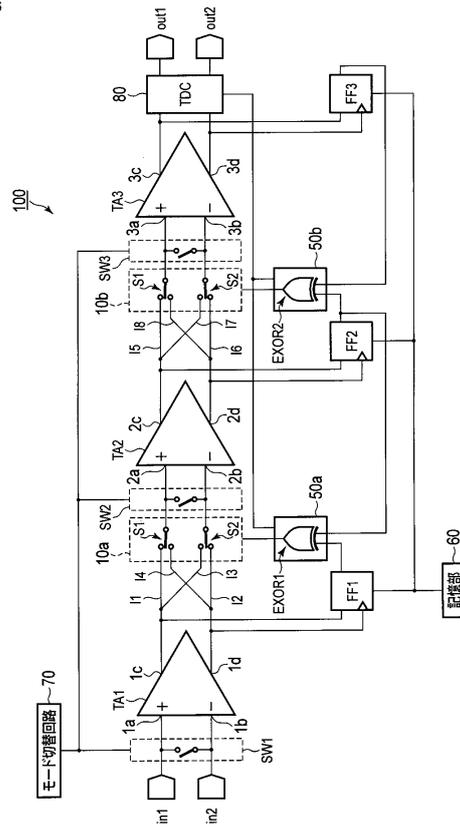
【 図 15 】

図 15



【 図 16 】

図 16



フロントページの続き

- (56)参考文献 特開2013-070172(JP,A)
米国特許出願公開第2011/0260902(US,A1)
国際公開第2011/104778(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H03F	3/34
H03K	5/26