

黄金比重み付けDA変換器の構成



澁谷 将平、小林 佑太朗、荒船 拓也、小林 春夫
群馬大学大学院理工学府 電子情報部門
〒376-8515 群馬県桐生市天神町1-5-1 E-mail:t15804045@gunma-u.ac.jp



研究目的

研究背景・目的

自動車のエレクトロニクス化が著しく
車載用エレクトロニクス技術に大きな関心

車載用マイコンと組み合わせるADCへの要求が厳しい

⇒ 逐次比較近似AD変換器

+冗長性

逐次比較近似AD変換器の冗長設計

⇒ 高性能化・高速化

従来のDACが
使用不可

研究目的

逐次比較近似AD変換器の整数論を用いた冗長設計

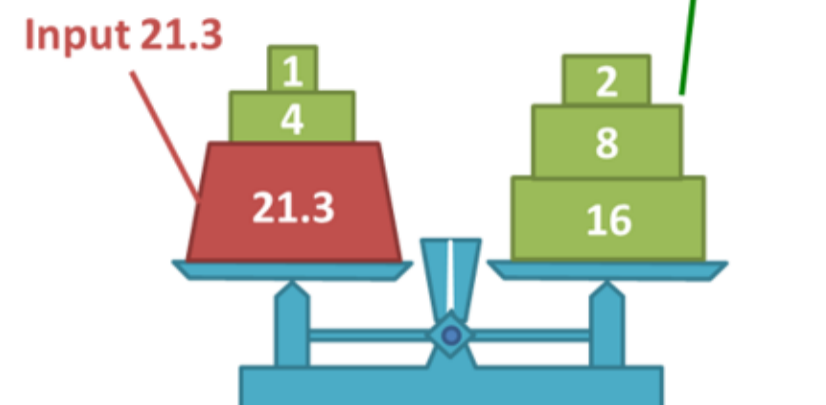
⇒ さらに高性能化・高速化

逐次比較近似(SAR)ADC

5bitStep AD変換

Step	1st	2nd	3rd	4th	5th	output
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

天秤の原理



出力値とデジタル表現が1対1に対応

$$16 + 8 - 4 + 2 - 1 + 0.5 - 0.5 = 21$$

一回の判定間違えは
誤った出力に直結

冗長性を持つSAR ADC

冗長: 余分や余裕のこと

⇒ SAR ADCに適用

時間の冗長性を利用
判定ステップ数を増加

5step ⇒ 6step など

デジタルコードによる表現方法増加

SAR ADC { 誤り耐性向上
変換速度向上

二進重み 1,2,4,8,16
↓
非二進重み 1,2,3,6,10,16

フィボナッチ数列で
冗長性を実現!!

フィボナッチ数列を用いた冗長SAR ADC設計

フィボナッチ数列とは?

フィボナッチ数列

$$F_0 = 0$$
$$F_1 = 1$$
$$F_{n+2} = F_n + F_{n+1}$$



Leonardo Fibonacci
(伊:1170~1250年頃)

初項から計算していくと...

0, 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144, 233...

隣り合う2項の比率を考えると...

$$\lim_{n \rightarrow \infty} \frac{F_n}{F_{n-1}} = 1.618033988749895 = \phi$$

収束比率 ϕ
黄金比 (約1.6進数)

整数で1.6進数を
表現可能

フィボナッチ数を用いたSAR ADC

2点の性質を新発見!

- ①補正可能範囲 $q(k)$ は必ずフィボナッチ数 F_{M-k-1} になる
- ②補正可能範囲 $q(k)$ は必ず次のステップの $q(k+1)$ に接する

性質②より...

- > 信頼性の高い設計
 $q(k)$ は最小のステップ数で広い範囲を補正可能
- > 基数の基準
冗長SAR ADCの基数基準は黄金比である

Step	1st	2nd	3rd	4th	5th	6th	7th
33							
32							
31							
30							
29							
28							
27							
26							
25							
24							
23							
22							
21							
20							
19							
18							
17							
16							
15							
14							
13							
12							
11							
10							
9							
8							
7							
6							
5							
4							
3							
2							
1							
0							
-1							
-2							

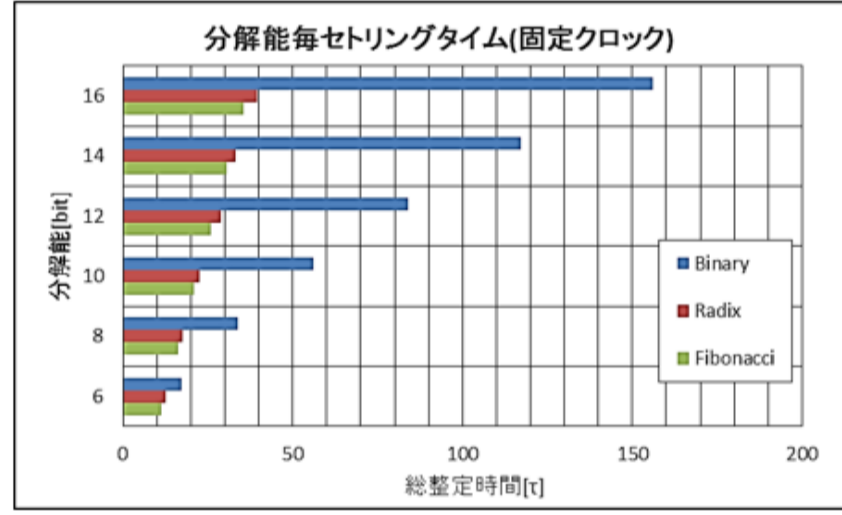
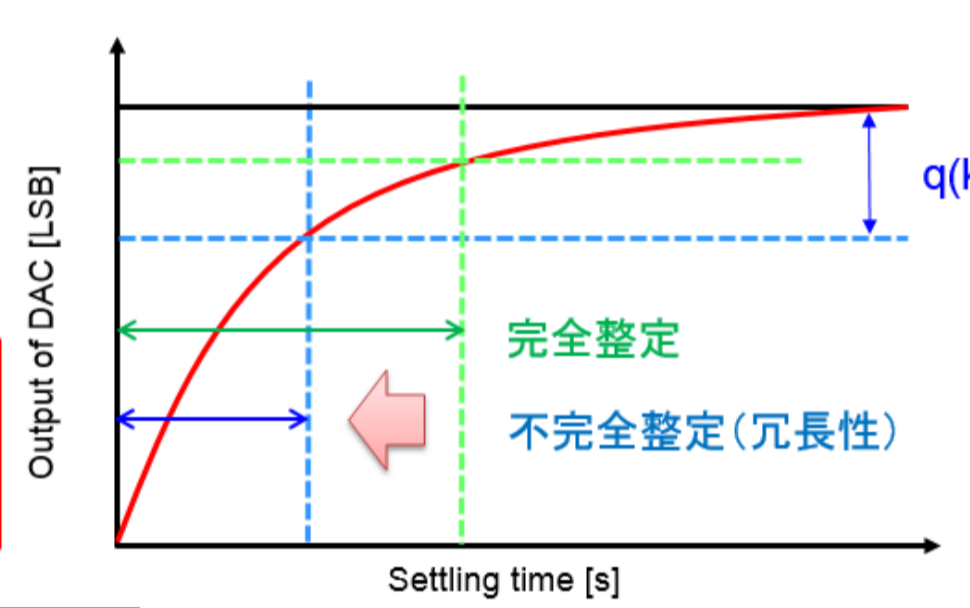
フィボナッチ手法による高速化

二進探索SAR ADC

-完全整定
⇒ 変換時間 長

非二進重みSAR ADC

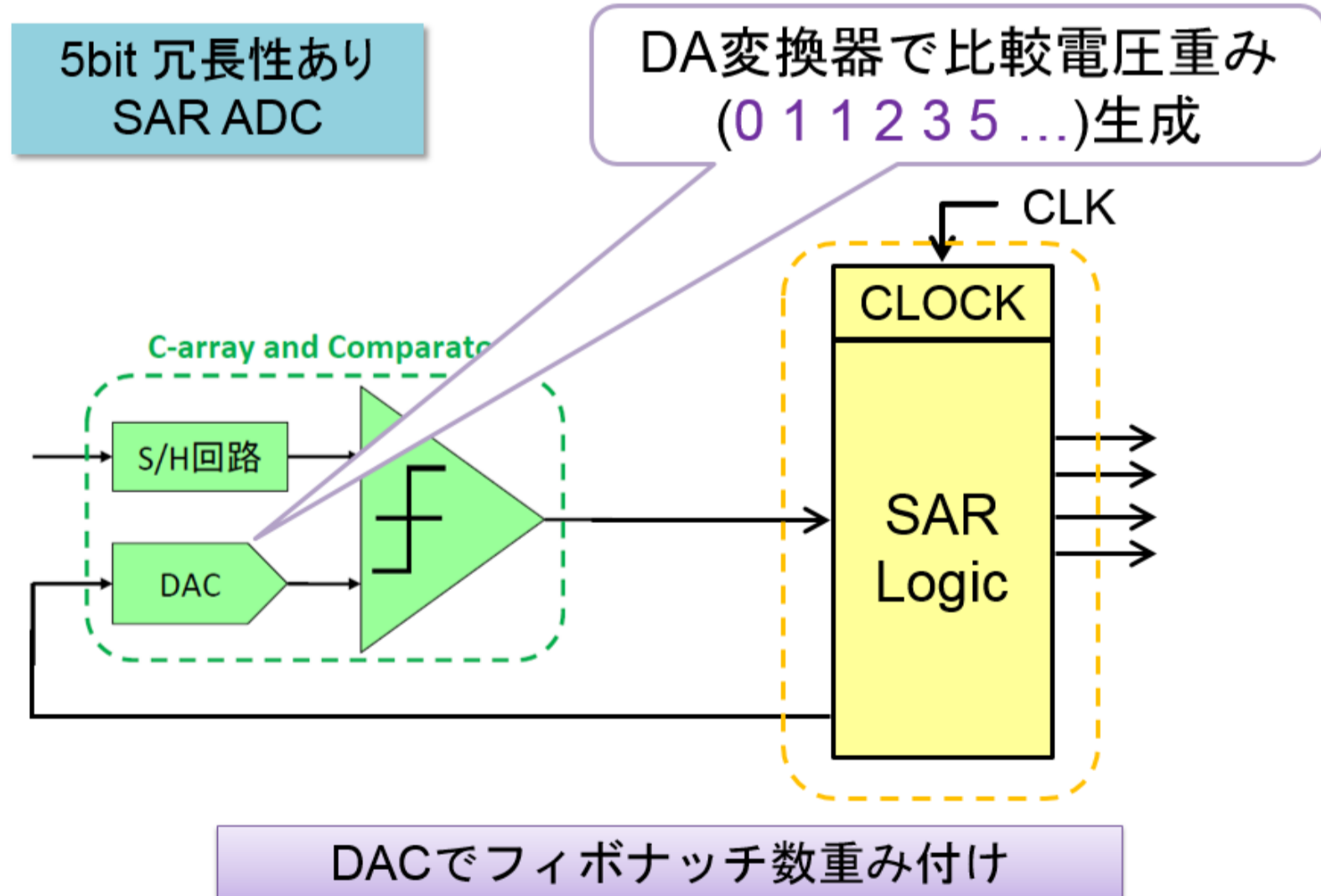
-不完全整定
⇒ 変換時間 短



固定クロックで
フィボナッチSAR ADCは
Radix SAR ADCよりも高速!

黄金比重み付けDA変換器の構成

SAR ADCにおける黄金比重みDAC



DA変換器の新提案回路

新しい発見!

R-2R抵抗ラダー回路

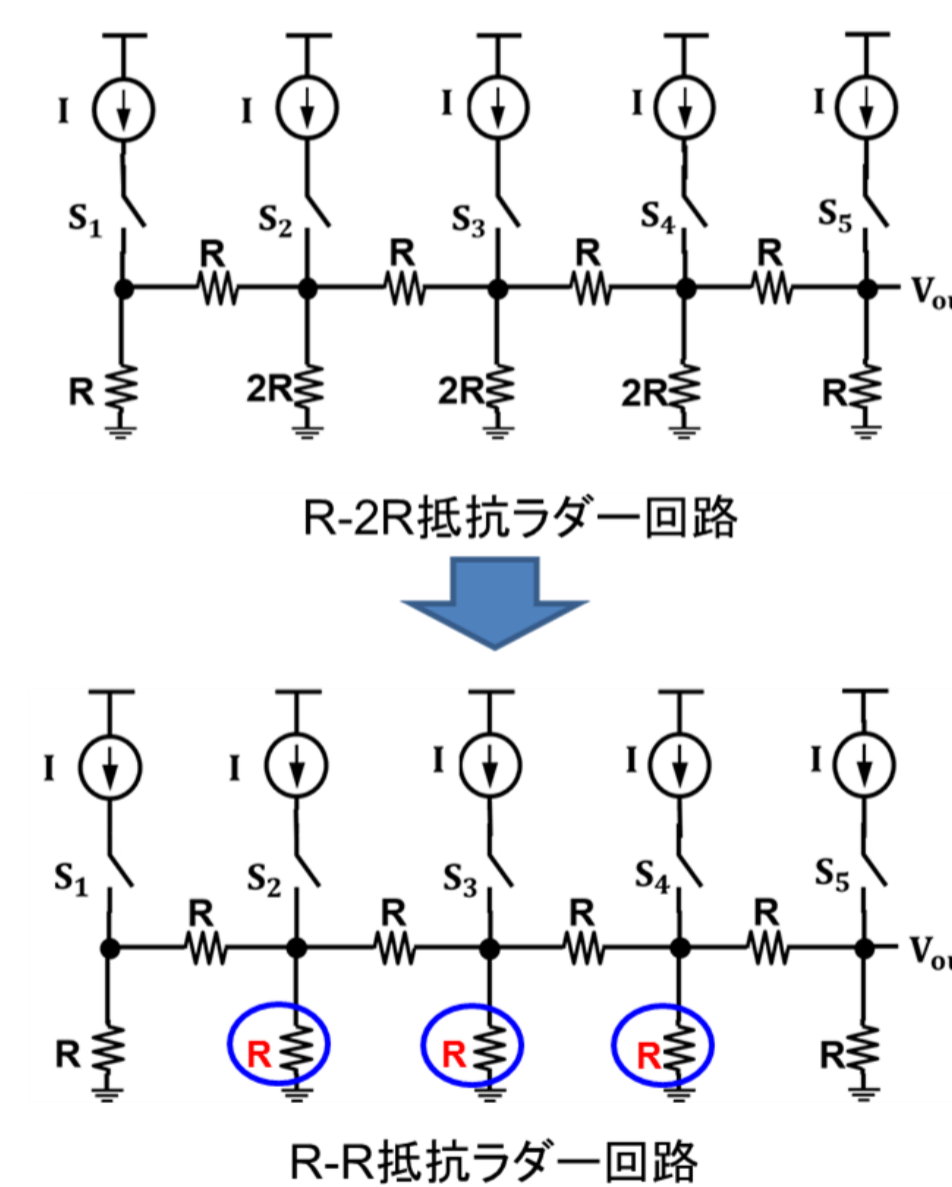
⇒ 2進重みの電圧発生

すべての抵抗がR

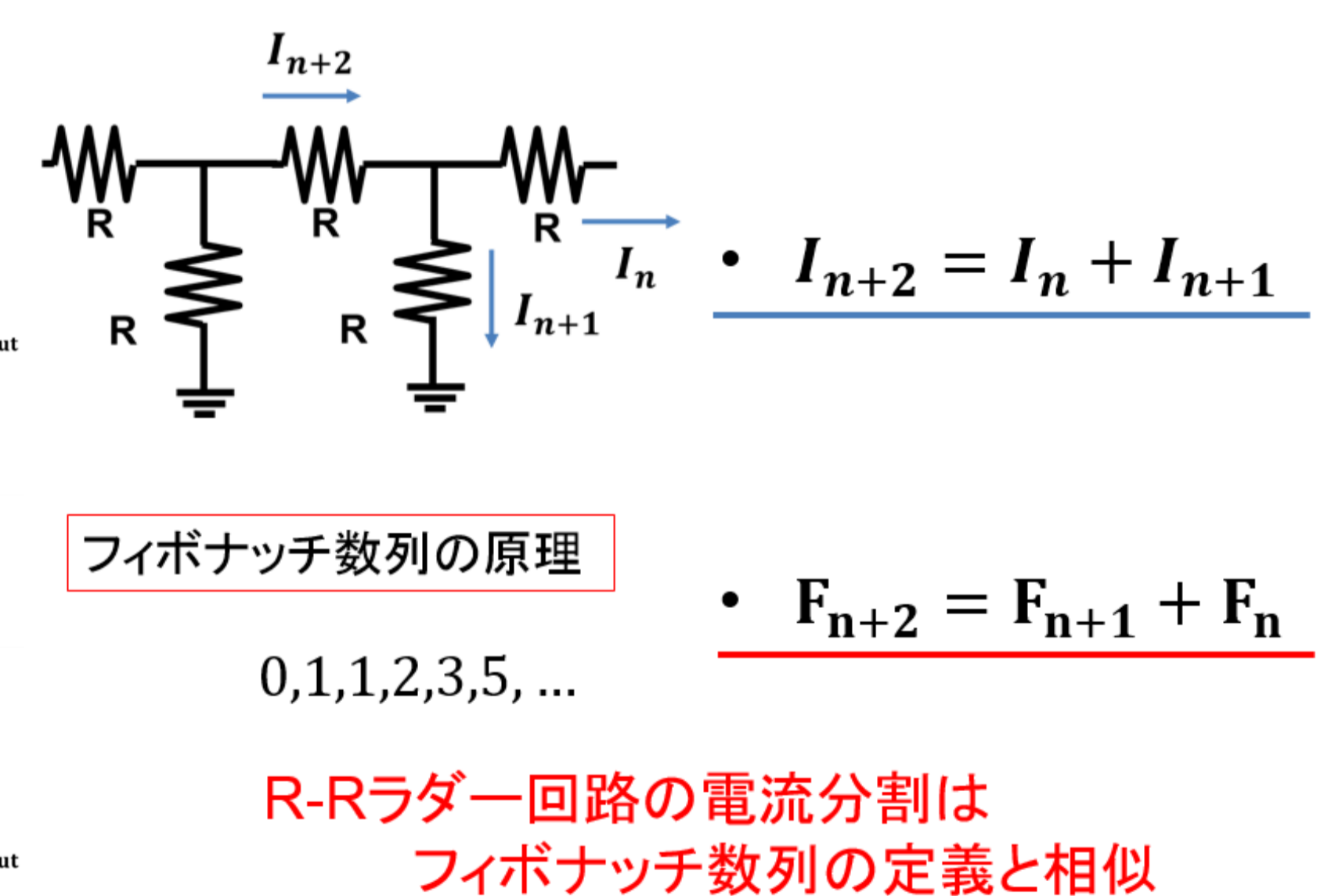
R-R抵抗ラダー回路

⇒ フィボナッチ重みの電圧発生

容易にフィボナッチ
対応DA変換器実現可!



フィボナッチ数列重み付けの原理



フィボナッチ数列を出力する回路

R終端回路

$$V_{out}(m) = \left(\frac{F_{2(n-m)+1}}{F_{2n}} \right) IR$$

フィボナッチの
奇数項の出力 = 1,2,5,13 ...

R//R終端回路

$$V_{out}(m) = \left(\frac{F_{2(n-m)}}{F_{2n+1}} \right) IR$$

フィボナッチの
偶数項の出力 = 1,3,8,21 ...

両端の回路を R → R//R

フィボナッチ重み付けR-RラダーDAC

奇数番目の
フィボナッチ出力

Vout1

フィボナッチ重み

Vout2

偶数番目の
フィボナッチ出力

フィボナッチ重み付けDACの実現!

まとめ

まとめ

- ◆フィボナッチ冗長設計対応
 - > 冗長設計による補正力がUP
 - > 整定時間の短縮
 - ◆DACで重み付け可能
 - > SAR ロジック回路の簡略・小規模化
- ⇒ 簡単な回路構成で実現可能!!

参考文献

[1].小林佑太朗、小林春夫
「逐次比較近似ADCの整数論に基づく冗長アルゴリズム設計」
電気学会、電子回路研究会、島根(2014年7月)

[2].Y. Kobayashi, H. Kobayashi
"SAR ADC Algorithm with Redundancy Based on Fibonacci Sequence"
International Conference on Analog VLSI Circuits,
Ho Chi Minh,Vietnam (Oct.,2014)