

# レベルシフト回路の解析

群馬大学 工学部 電気電子工学科  
通信処理システム工学第二研究室

96305033 黒岩 伸幸

指導教官 小林 春夫 助教授

# —発表内容—

1. 研究の目的
2. レベルシフト回路の原理
3. レベルシフト回路の動作条件
4. レベルシフト回路のダイナミクスの解析
5. まとめ

# 1. 研究の目的

# 研究の目的

→信号レベルを変換するレベルシフト回路の  
設計法を確立する。

このために、次の事を行う。

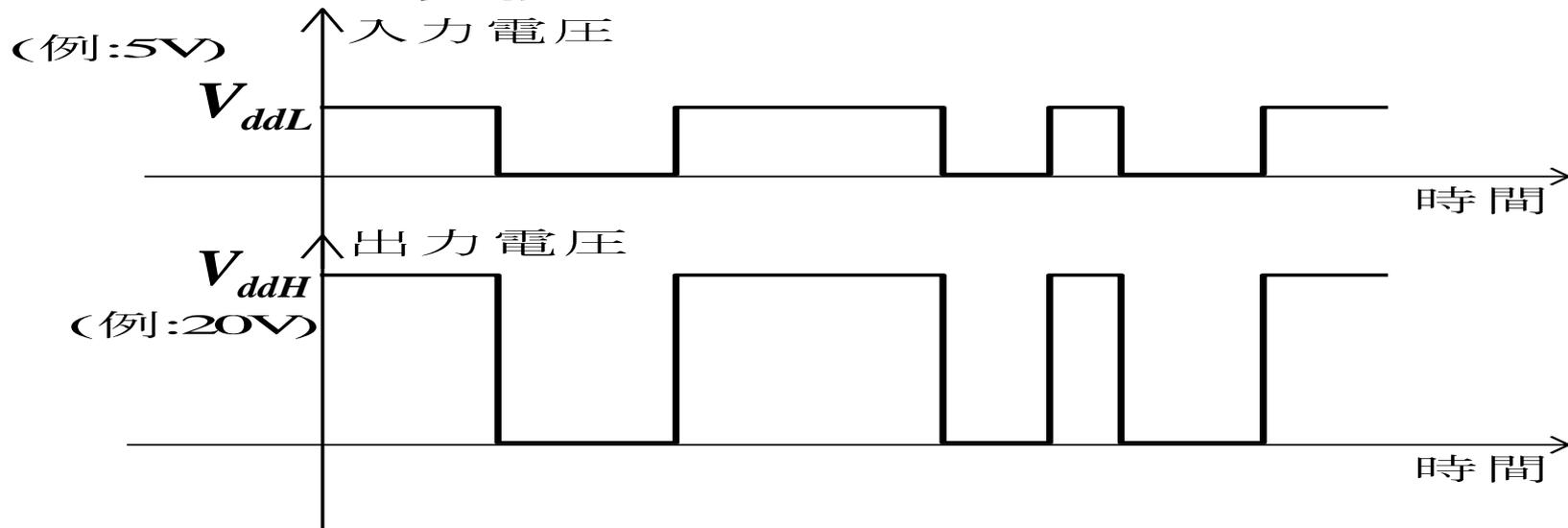
- レベルシフト回路の動作条件式の導出
- レベルシフト回路のダイナミクスの理論  
およびシミュレーションによる解析

## 2. レベルシフト回路の原理

# レベルシフト回路とは

- 入力波形と相似で
  - 振幅レベルが異なる
- 信号を出力する回路

⇒DCレベル変換回路

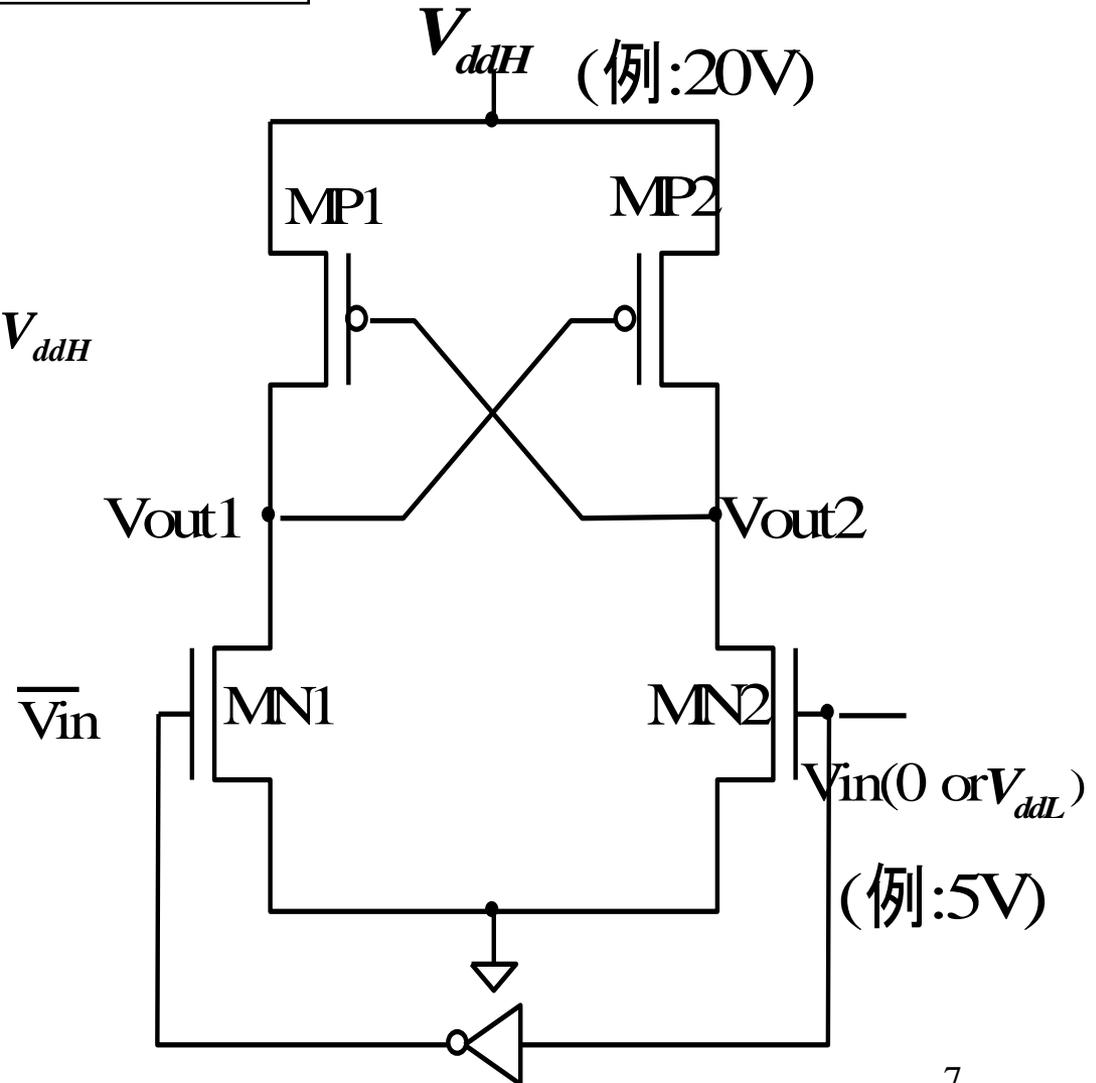


●実際の回路への使用例

→チャージポンプ回路等

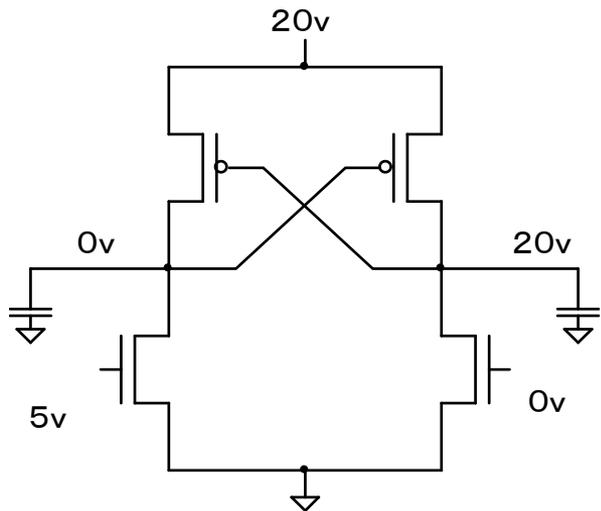
# レベルシフト回路の実現法

- 入力  $V_{in}$ : 0 or  $V_{ddL}$
- 出力  $V_{out1}$ 、 $V_{out2}$ : 0 or  $V_{ddH}$
- MP1、MP2の  
ポジティブフィードバック

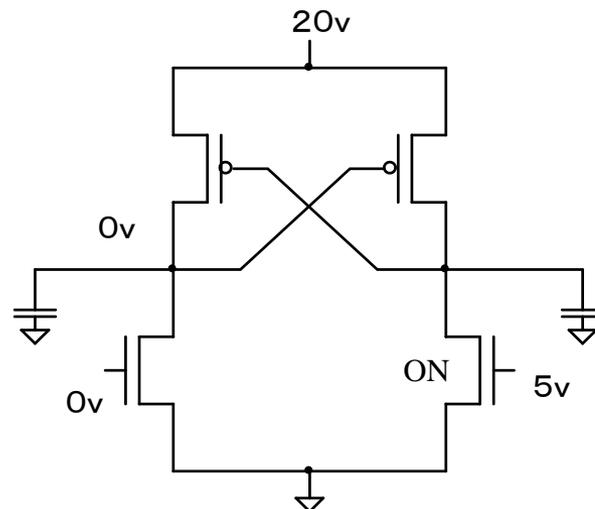


# 回路の動作説明

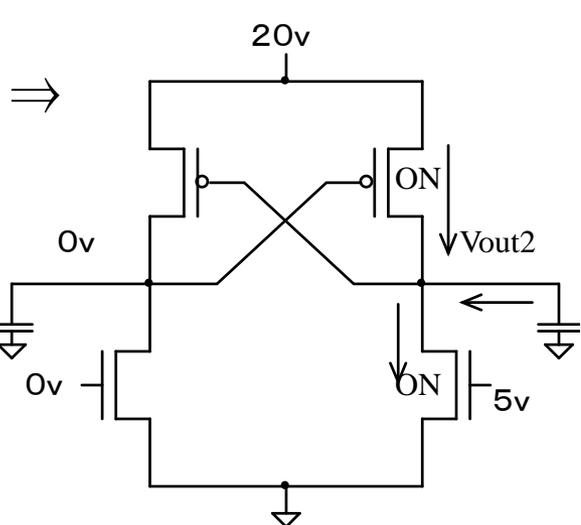
$V_{ddL} = 5\text{v}$ 、 $V_{ddH} = 20\text{v}$ とする



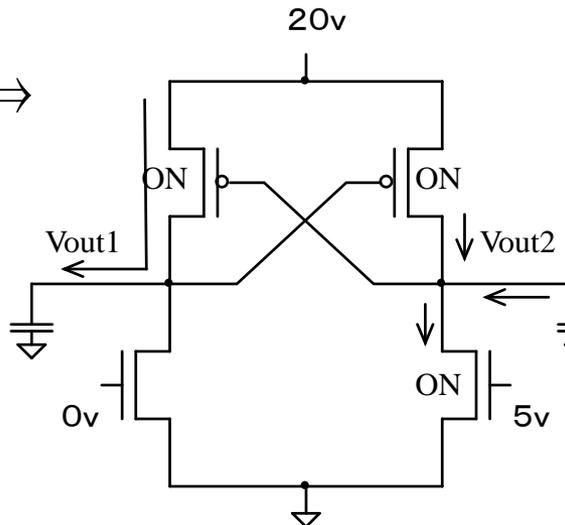
①初期状態



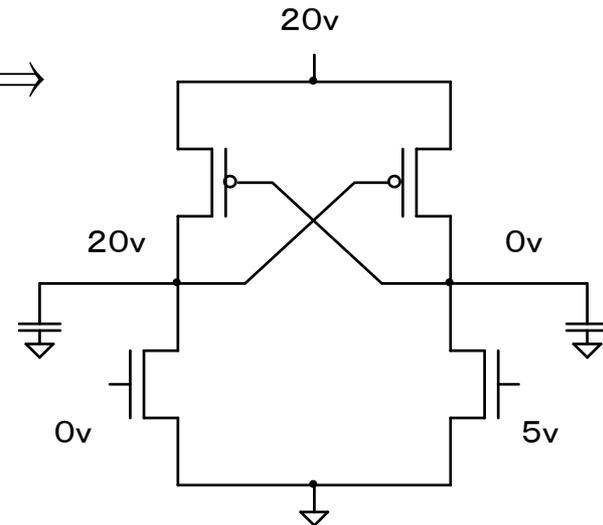
②入力を反転



③Vout2の電位が下がる



④Vout1の電位が上がる



⑤最終状態

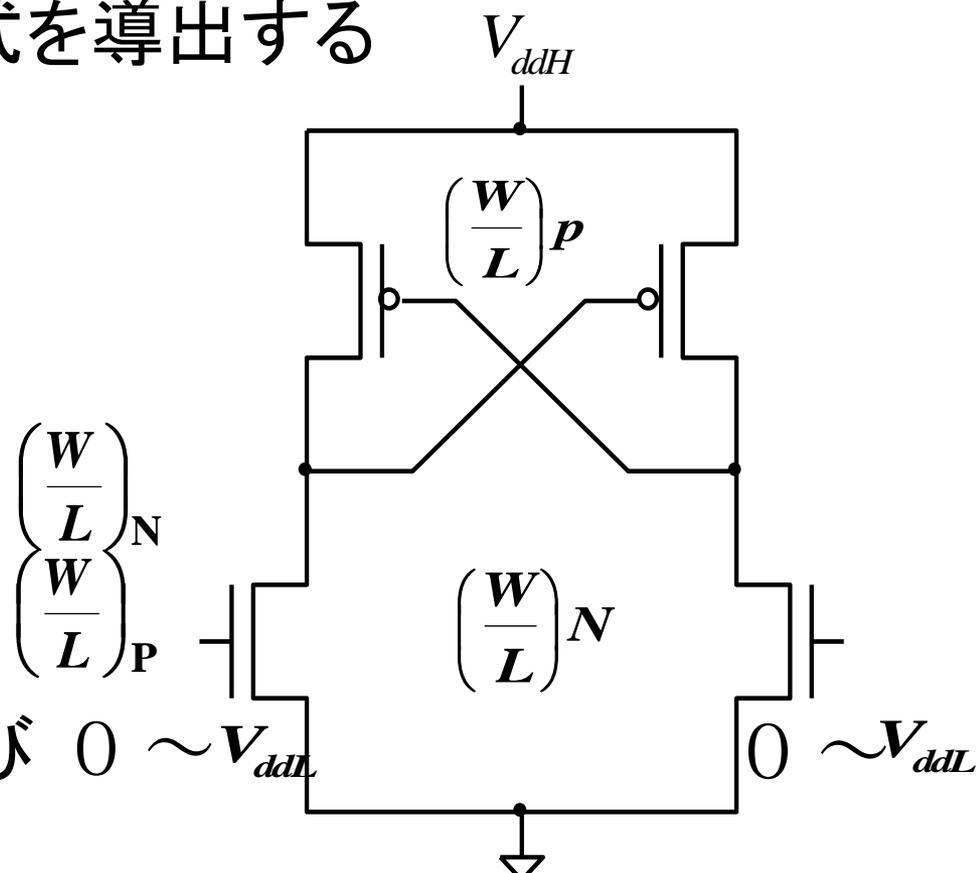
### 3. レベルシフト回路の動作条件

## ～問題設定～

⇒レベルシフト回路が動作するための

次のパラメータの関係式を導出する

- 出力電圧  $V_{ddH}$
- 入力電圧  $V_{ddL}$
- NMOSのデバイスサイズ  $\left(\frac{W}{L}\right)_N$
- PMOSのデバイスサイズ  $\left(\frac{W}{L}\right)_P$
- NMOS, PMOSのモデル及びデバイスパラメータ値



# ～レベルシフト回路の動作条件～

→十分な時間の後に

$$V_{ddH} - V_{out2} \equiv V_{gs} \geq |V_{thp}| \quad \text{が動作条件}$$

$$V_{out2} = V_{ddH} - |V_{thp}| \quad \text{のとき}$$

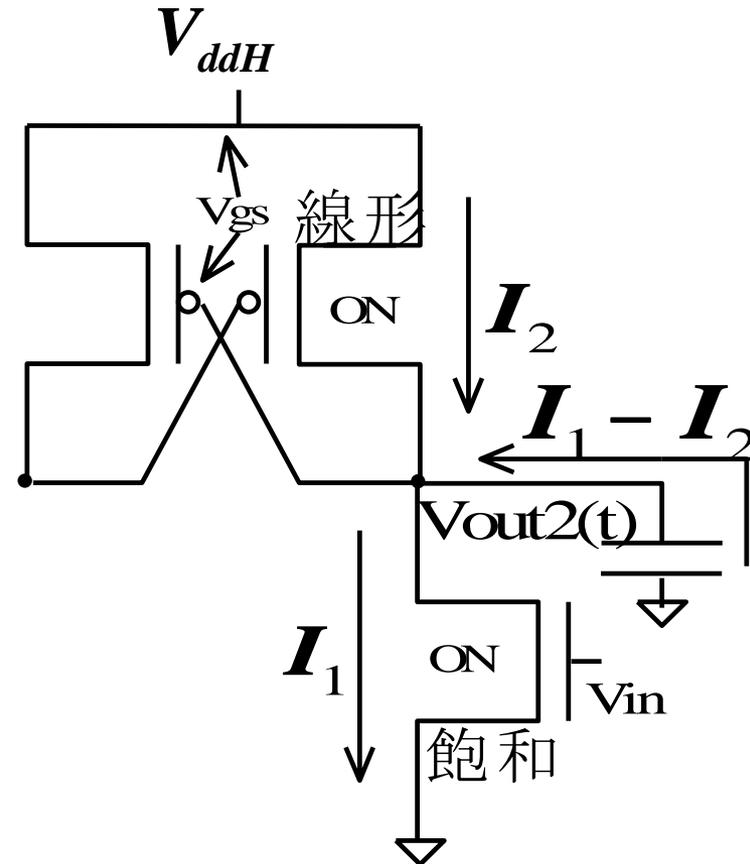
$$I_1 - I_2 \geq 0 \quad \dots \textcircled{1}$$

PMOS: 線形、NMOS: 飽和

MOSの電流式を適用

$$I_1 = K_n \left( \frac{W}{L} \right)_n (V_{in} - V_{thn})^2 \quad \dots \textcircled{2}$$

$$I_2 = 2K_p \left( \frac{W}{L} \right)_p \left[ (V_{dd} - |V_{thp}|) \cdot |V_{thp}| - \frac{1}{2} |V_{thp}|^2 \right] \quad \dots \textcircled{3}$$



Vout2の電位が下降中

②、③→①より、

## レベルシフト回路の動作条件

$$V_{in} \geq \sqrt{\frac{K_p \left(\frac{W}{L}\right)_p}{K_n \left(\frac{W}{L}\right)_n} |V_{thp}| (2V_{dd} - 3|V_{thp}|) + V_{thn}}$$

回路の最低駆動入力電圧  $(V_{in})_{\min}$  は

$$(V_{in})_{\min} = \sqrt{\frac{K_p \left(\frac{W}{L}\right)_p}{K_n \left(\frac{W}{L}\right)_n} |V_{thp}| (2V_{dd} - 3|V_{thp}|) + V_{thn}}$$

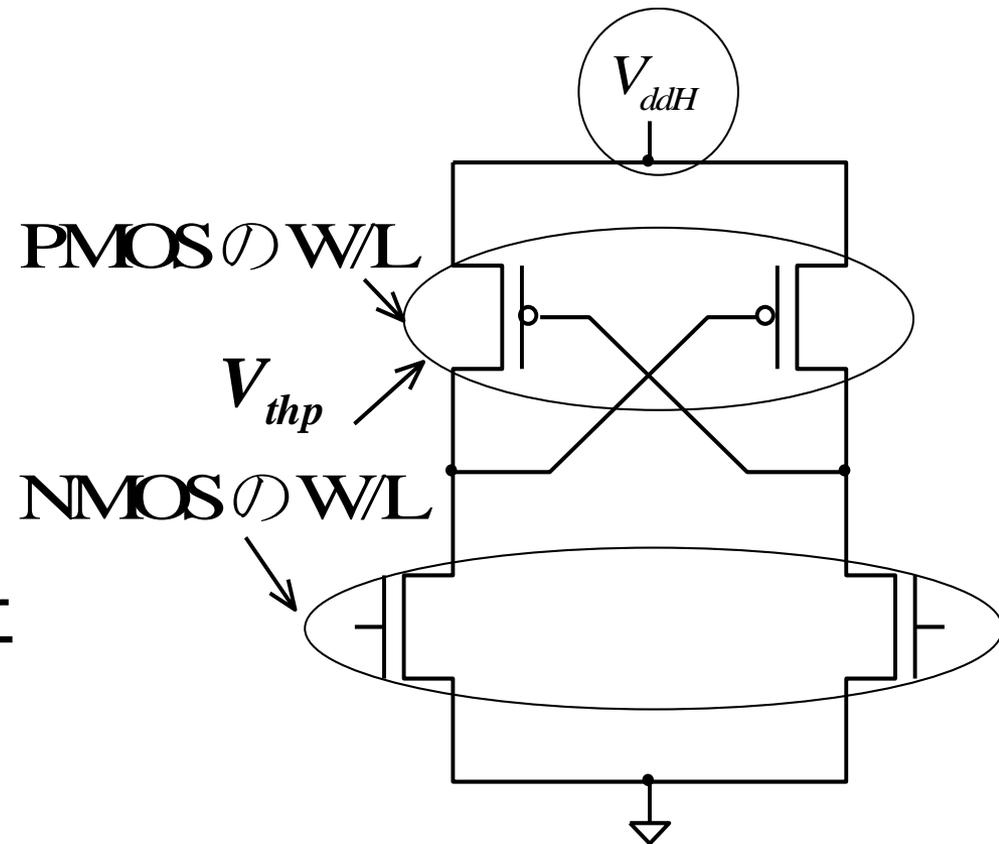
# 最低駆動電圧とパラメータとの関係

～シミュレーション値の求め方～

PMOS、NMOSの  
 $W/L$ 、 $V_{thp}$ 、  
をそれぞれ変える



SPICEシミュレーションに  
より最低駆動電圧の  
変化をみる



～理論値の求め方～

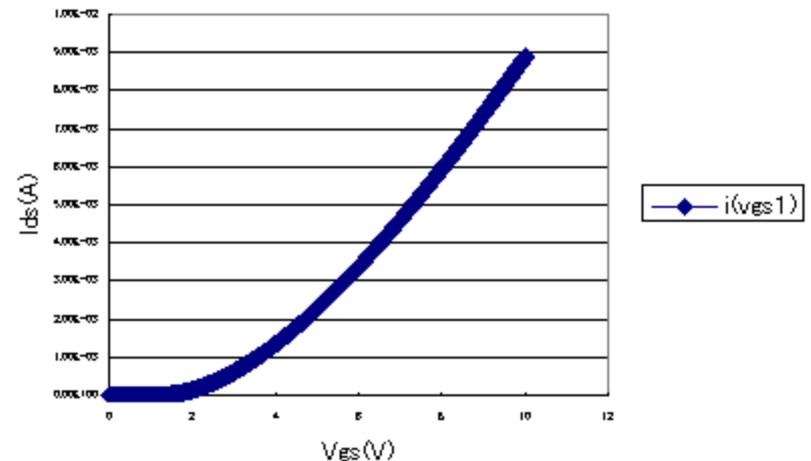
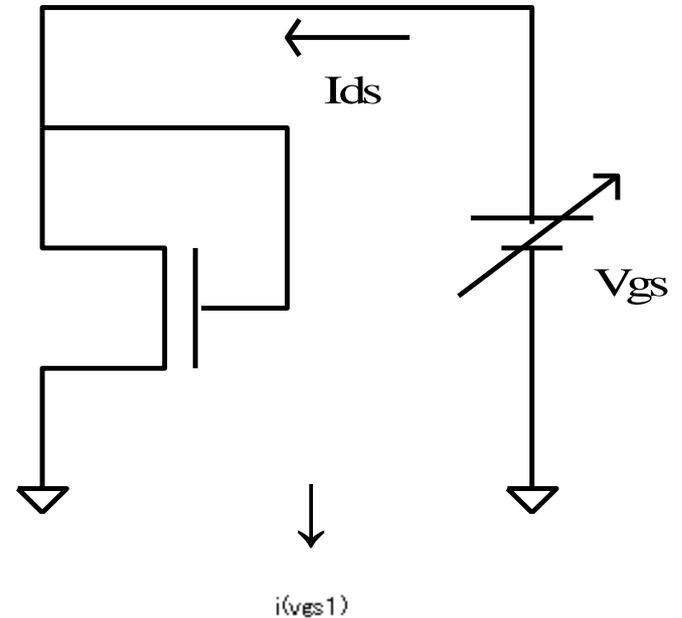
回路に使用したMOSの  
 $V_{gs}$ - $I_{ds}$ 曲線を求める



MOSの関係式に代入し、  
 $K_p$ 、 $K_n$ を算出



導入式に各パラメータ値を  
代入



## 導入式の検証方法

① PMOSのW

② 電源電圧  $V_{ddH}$

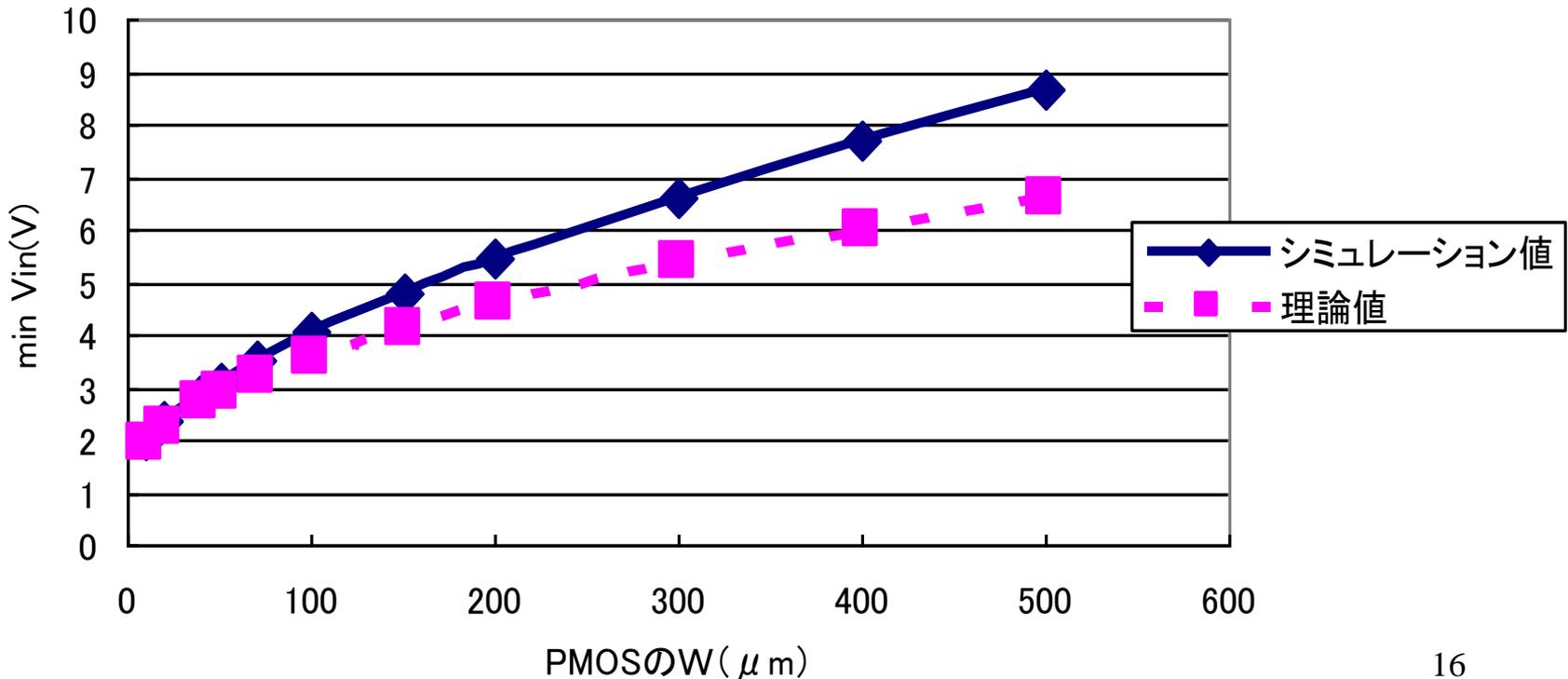
③ PMOSのスレシヨルド電圧  $V_{thp}$

それぞれ変化させて理論値とシミュレーション値を比較

# ①. PMOSのWと最低駆動電圧の関係

- PMOSのWを変化

→シミュレーション値・理論値共に  $(V_{in})_{\min} \propto \sqrt{W_p}$  の傾向が一致。



## ②. $V_{ddH}$ と最低駆動電圧との関係

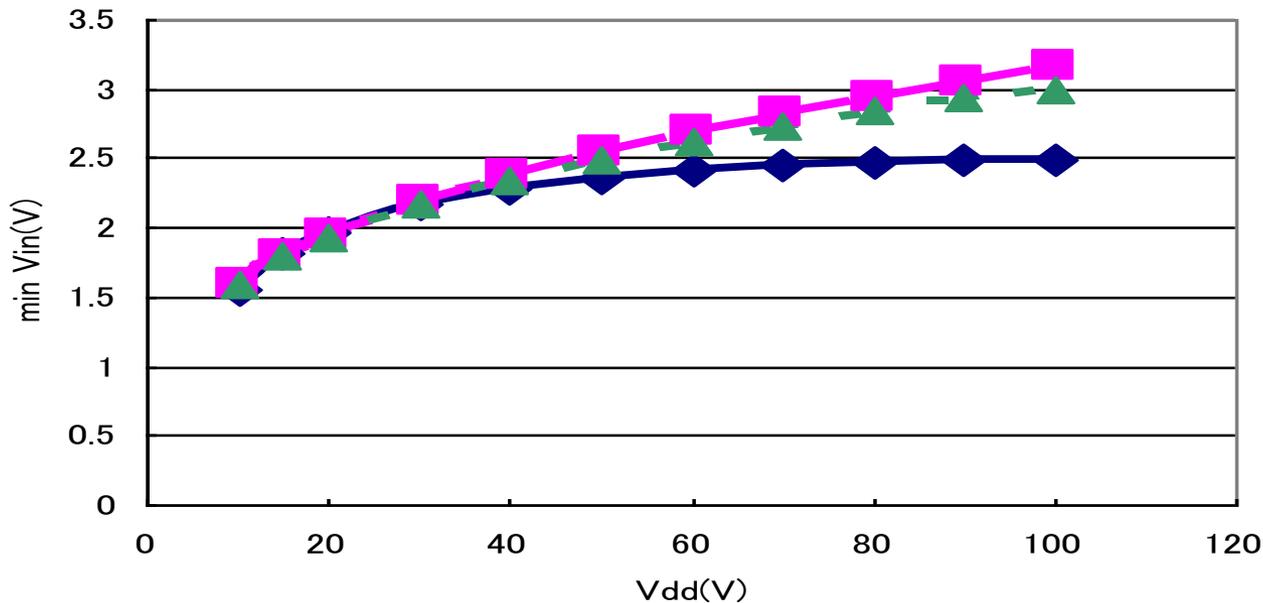
•電源電圧  $V_{ddH}$  を変化

→理論値とシミュレーション値にずれ

⇒NMOSの電流式を

$$I_1 = K_n \left( \frac{W}{L} \right)_n (V_{in} - V_{thn})^2 [1 + \lambda \cdot V_{ds}] \text{に変更}$$

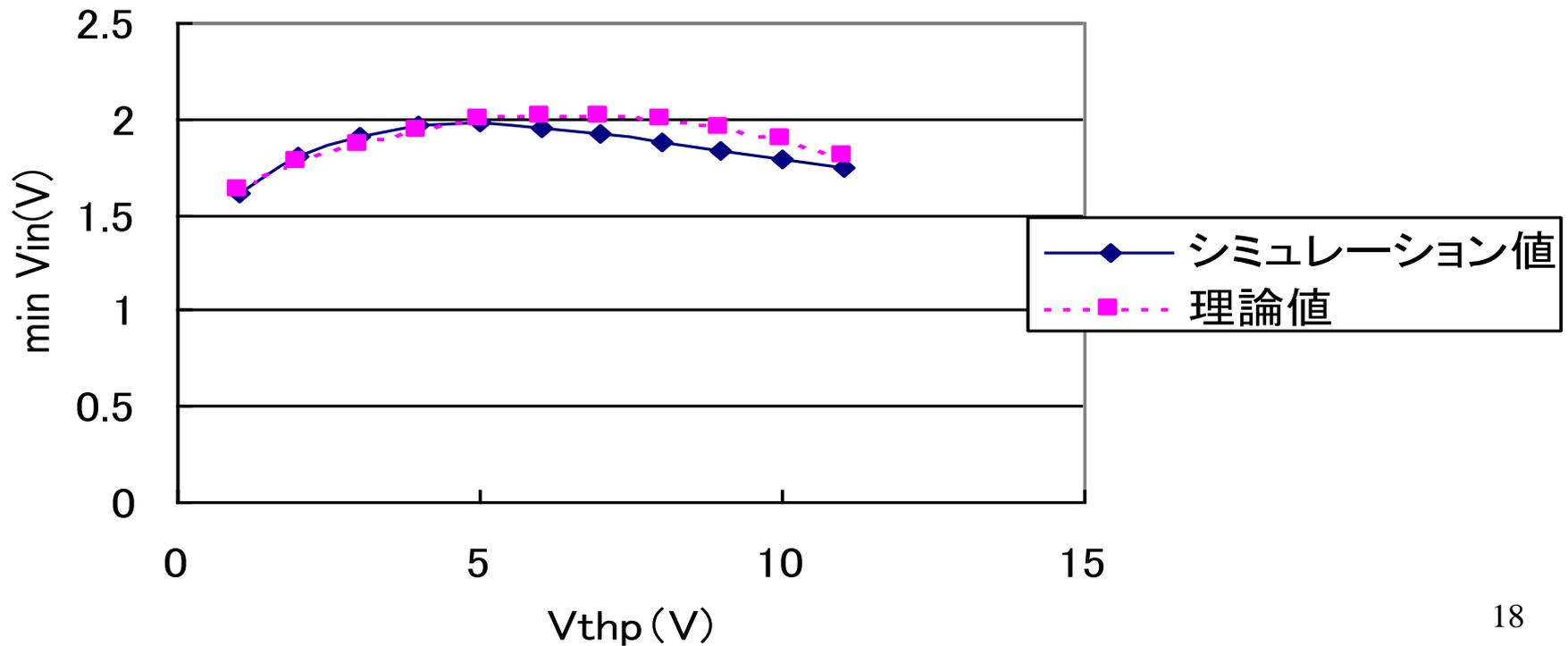
→シミュレーション値の傾向に近づく



### ③. スレシヨルド電圧 $V_{thp}$ と最低駆動電圧の関係

•PMOSの $V_{thp}$  を変化

→ほぼ一致



## ～導入式の検証についてのまとめ～

①.PMOSのW

②.電源電圧  $V_{ddH}$

③.スレシヨルド電圧  $V_{thp}$

の三点について、  
導入式の正当性を確認

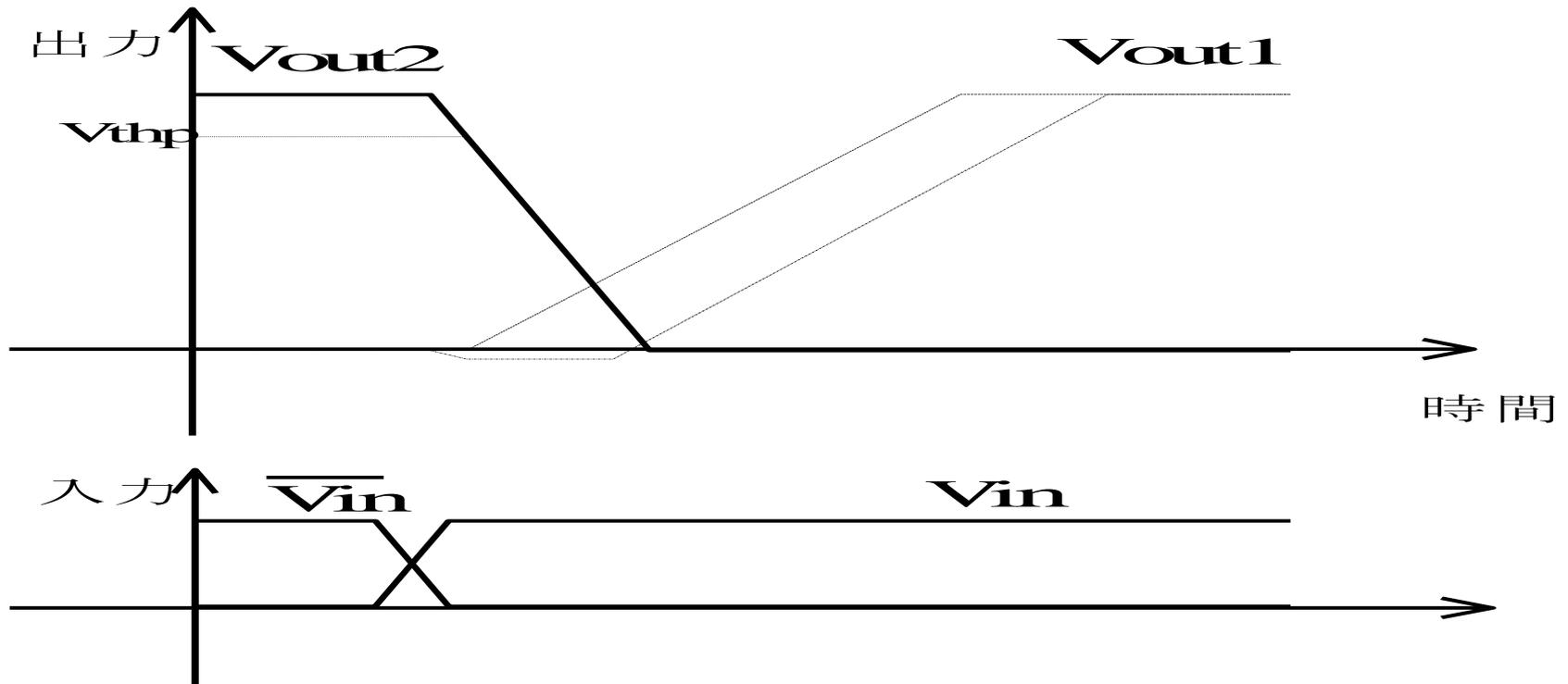
精度の向上⇒厳密なMOSの電流式が必要

# 4. レベルシフト回路のダイナミクスの解析

# ～レベルシフト回路のダイナミクスの解析点～

→回路を過渡解析したときの出力の遅延時間が問題

⇒遅延の原因を究明、モデル式を立てる



SPICEシミュレーション波形

# ～解析方法～

## ①. t1～t3をSPICEで測定する

•Vout2の遅延時間

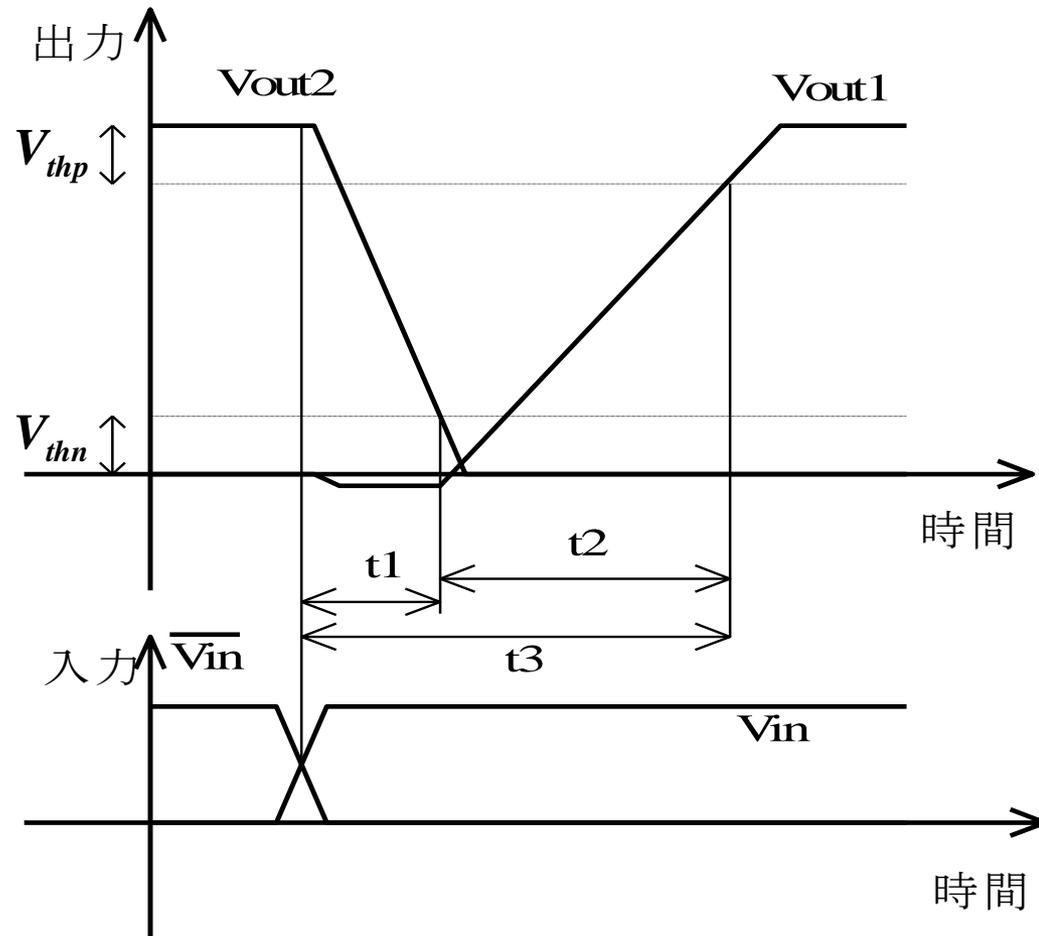
$$t1: V_{ddH} \rightarrow V_{thn}$$

•Vout1の遅延時間

$$t2: V_{thn} \rightarrow V_{ddH} \text{ } V_{thp}$$

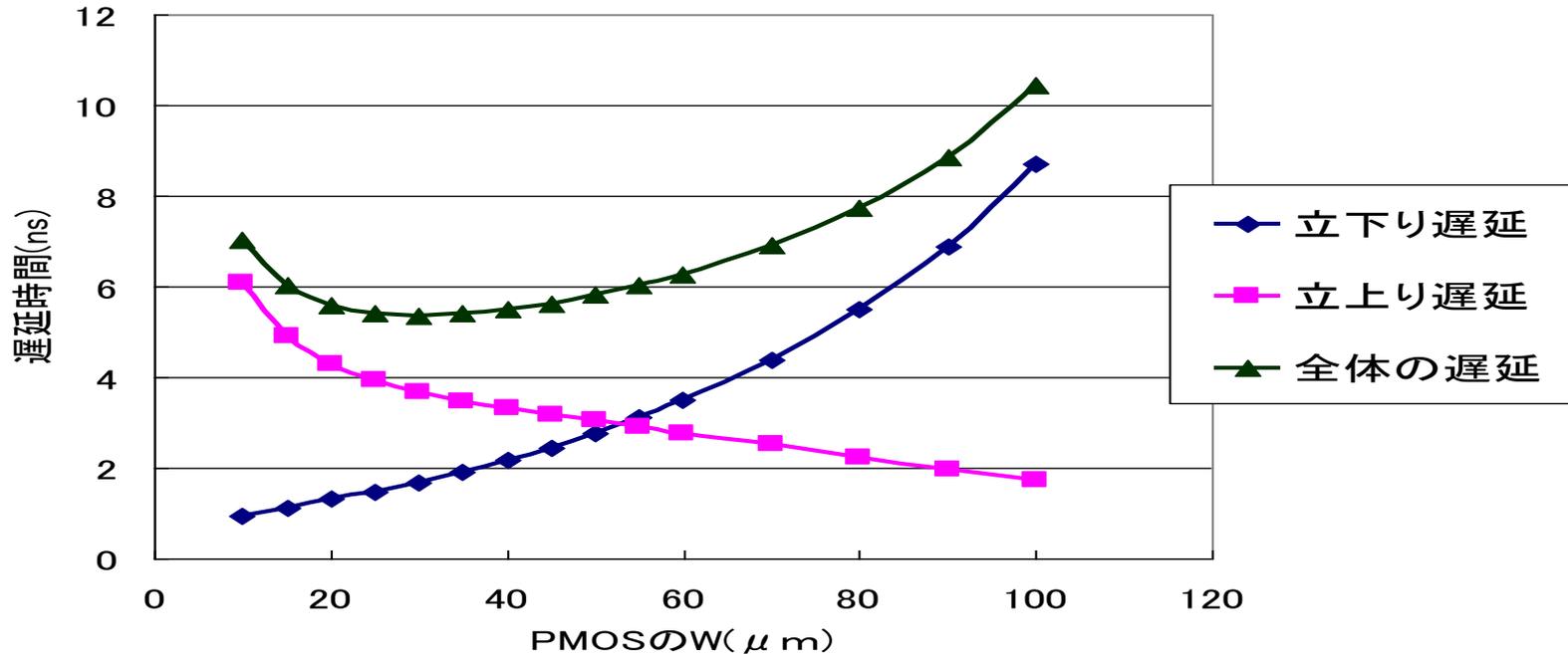
•全体遅延時間

$$t3: \text{入力が反転} \rightarrow V_{ddH} \text{ } -V_{thp}$$



# PMOSのWと遅延時間の関係

( $V_{ddH}=20\text{v}$ ,  $V_{ddL}=5\text{v}$ ,  $W_N=50\mu\text{m}$ ,  $L_P=16\mu\text{m}$ ,  $\epsilon=4.2\mu\text{m}$ )



PMOSのW→小: $V_{out2}$ の立下りが早い

→大: $V_{out1}$ の立上りが早い

⇒最適なWが存在

## ②差動出力ノード間の寄生容量の影響

Vout1の立ち上がり開始が遅い

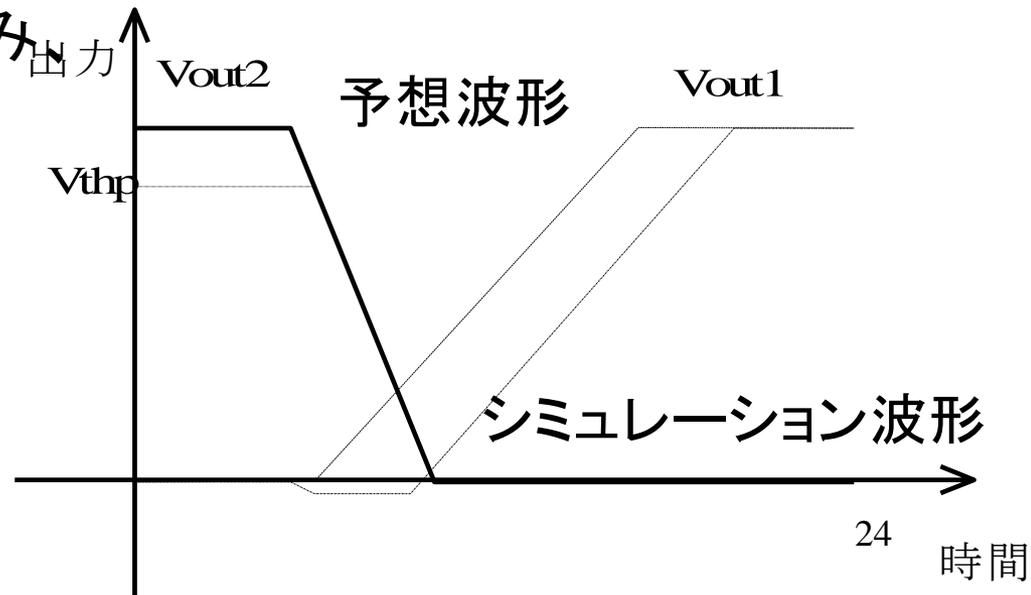
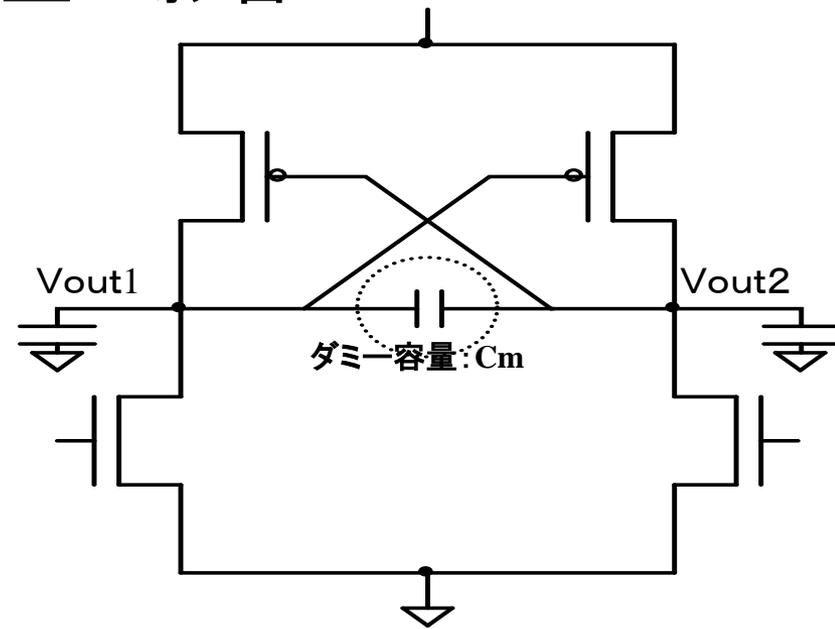


Vout1、Vout2間の寄生容量が原因？



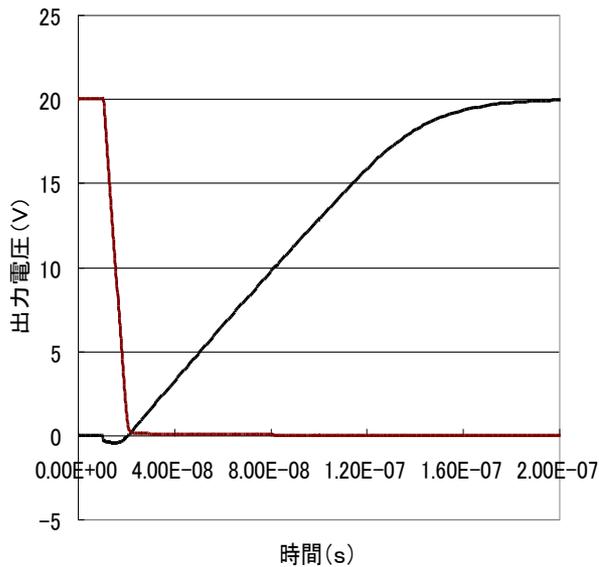
ダミー容量:Cmを回路に組み

その効果を見る

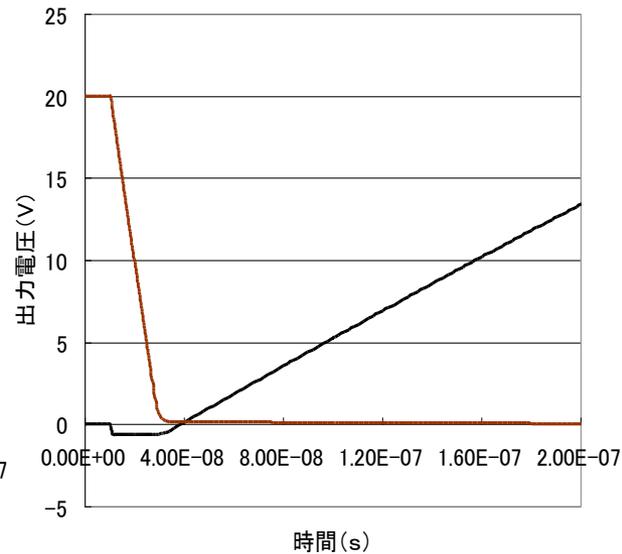


# ダミー容量: $C_m$ を取り付けた時の出力

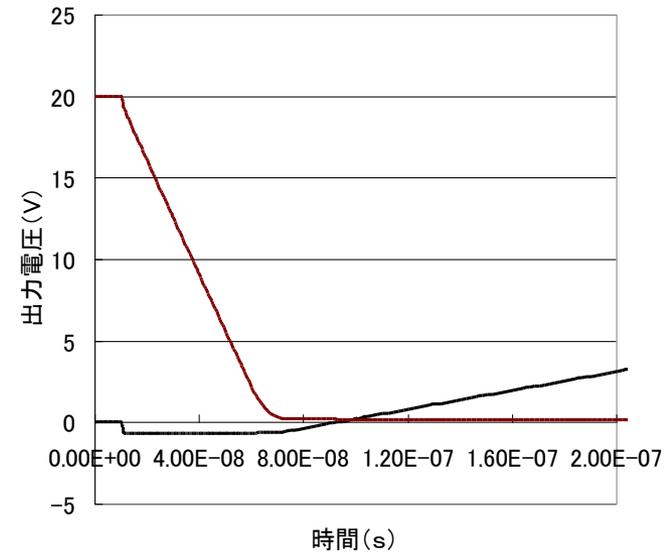
(  $V_{ddH}=20\text{v}$ 、 $V_{ddL}=5\text{v}$ 、 $W_P = 10\mu\text{m}$ 、 $W_N=50\mu\text{m}$ 、 $L_P=16\mu\text{m}$ 、 $L_N=4.2\mu\text{m}$ )



$C_p=0$



$C_p=1\text{p}$



$C_p=5\text{p}$

• $C_m \rightarrow$ 大:  $V_{out1}$ の立ち上がり開始が遅くなる

# ～ダイナミクスのモデル式の導出～

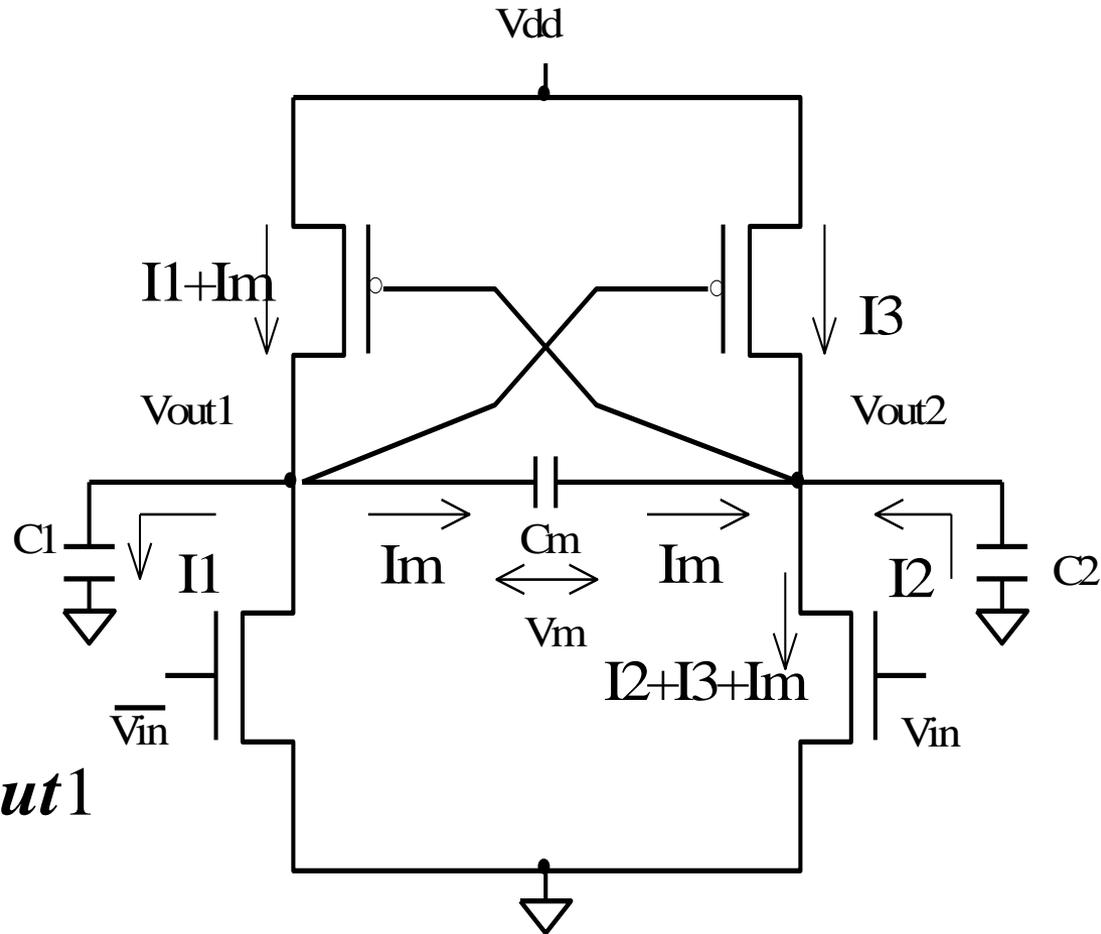
今までの結果を踏まえてモデル式を導く

$$I_1 = C_1 \frac{dV_{out1}}{dt}$$

$$I_2 = -C_2 \frac{dV_{out2}}{dt}$$

$$I_m = -C_m \frac{dV_m}{dt}$$

$$V_m = V_{out2} - V_{out1}$$



## 4. まとめ

# まとめ

## ○研究成果

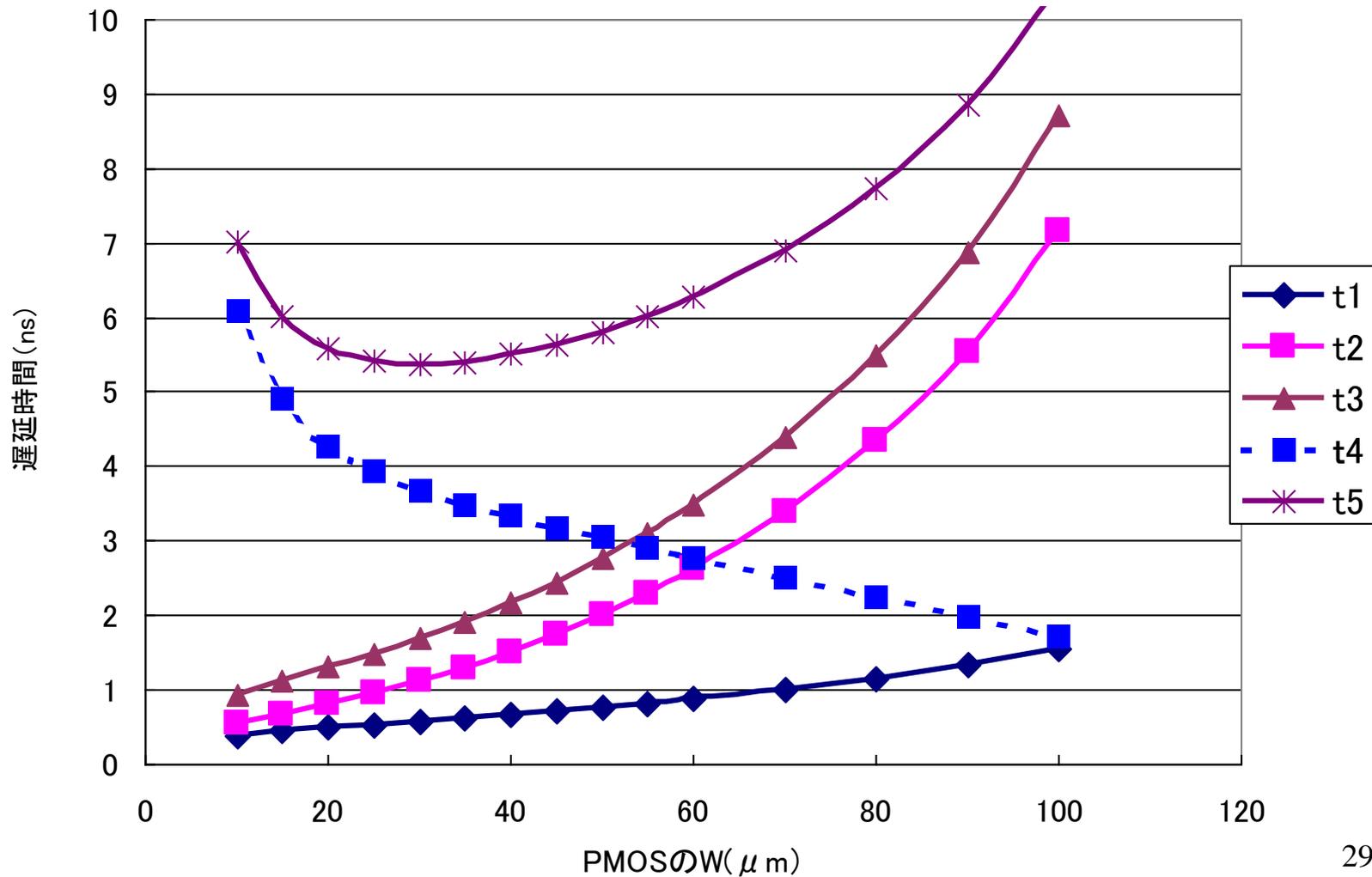
- レベルシフト回路の動作条件式を導出した
- レベルシフト回路のダイナミクスの微分方程式を導出した

## ○今後の課題

- MOSの厳密モデル式を用いて  
より高精度な動作条件式の導出
- ダイナミクスを表す微分方程式の解析

# PMOSのWと遅延時間の関係

( $V_{ddH}=20\text{v}$ 、 $V_{ddL}=5\text{v}$ 、 $W_N=50\mu\text{m}$ 、 $L_P=16\mu\text{m}$ 、 $L_N=4.2\mu\text{m}$ )

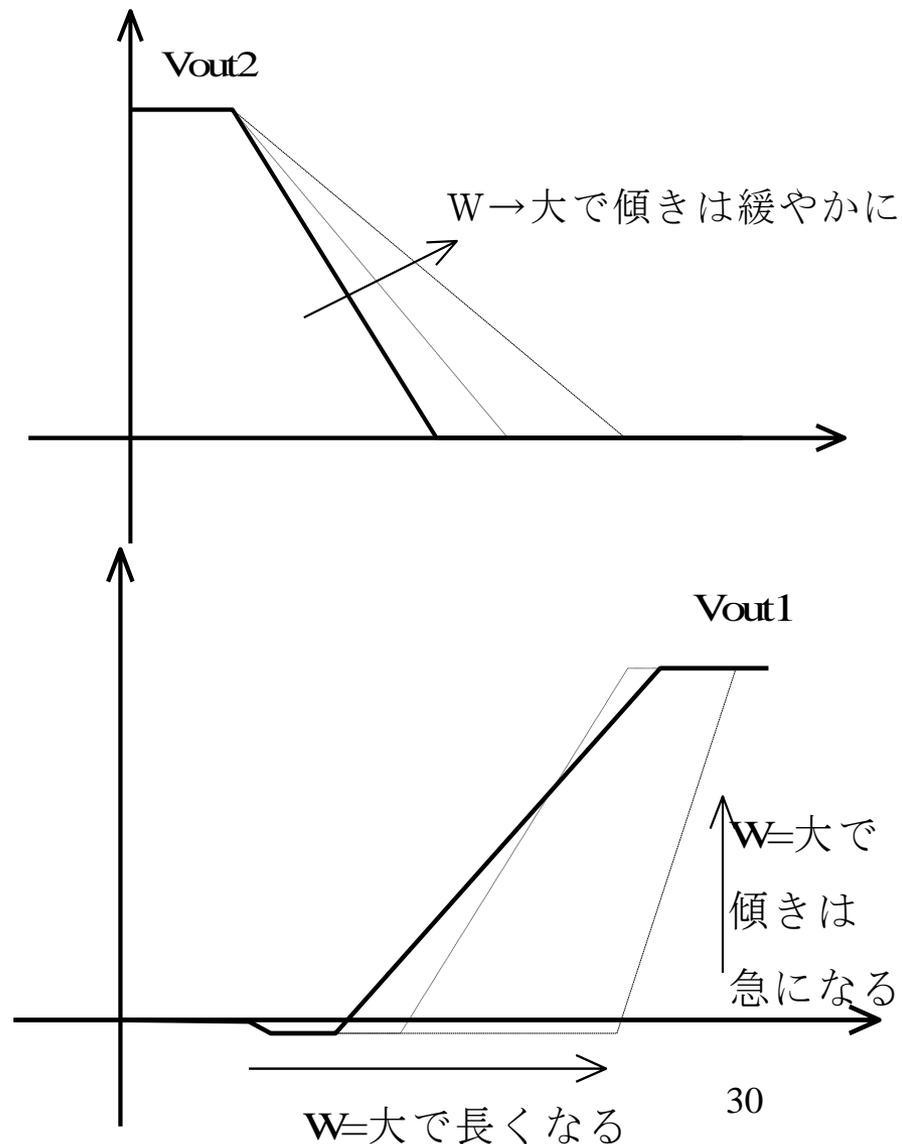


# シミュレーション結果

PMOSのWが小さければ小さいほど早いわけではない



最適なWの設計が必要。



## ～シミュレーション結果～

ダミー容量と遅延時間の関係を証明



寄生容量がレベルシフト回路の  
スピードを遅くしている原因の一つと  
いえる

まず、回路の片側だけについて、考えてみる。

図1の、抵抗についての  
等価回路

→図2のようになる。

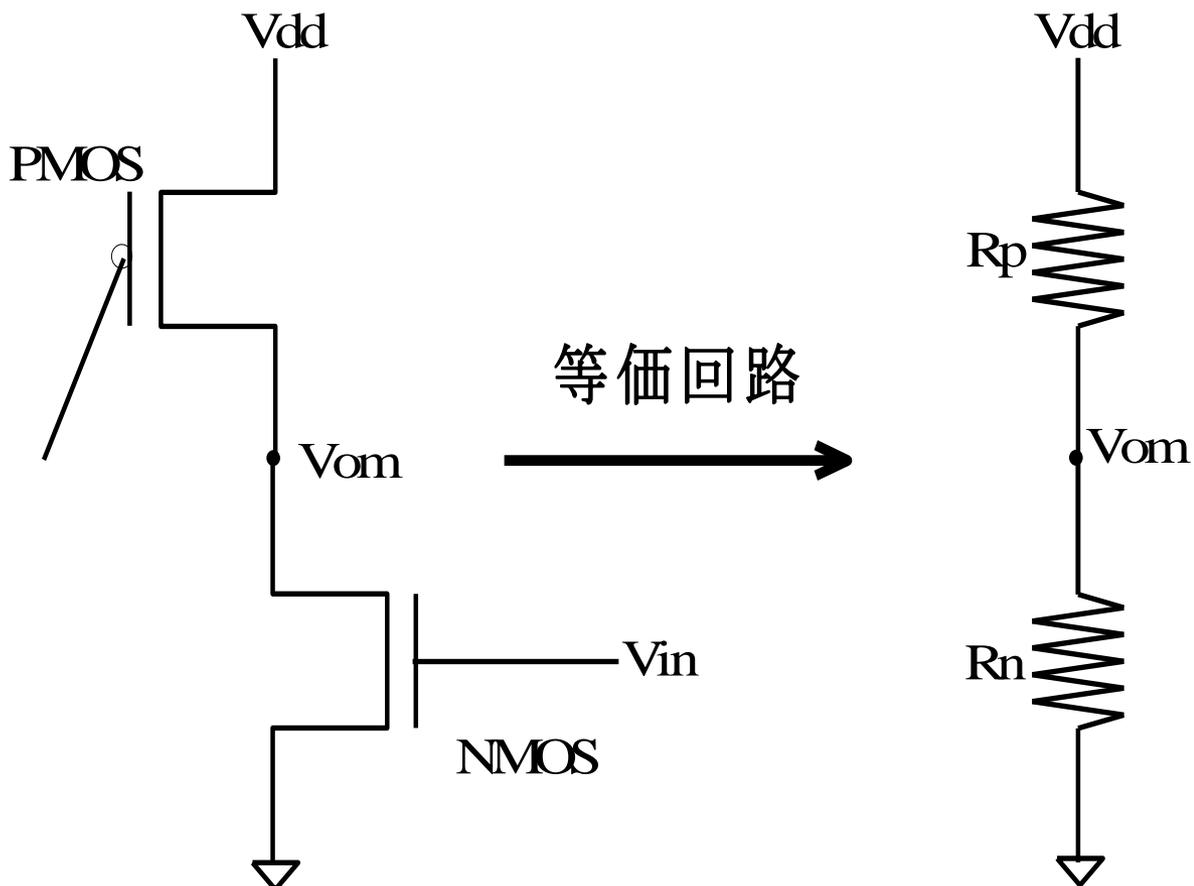


図1

32 図2

# レベルシフト回路の動作条件

→右図で十分時間がたったとき、

$V_{dd} - V_{om} \geq |V_{thp}| \dots \textcircled{1}$ を満たすことである。

$t_1 < t_2$  とすると、 $V_{om}(t_1) \geq V_{om}(t_2)$  であるから

$I_1(t_1) \leq I_2(t_2)$  である。

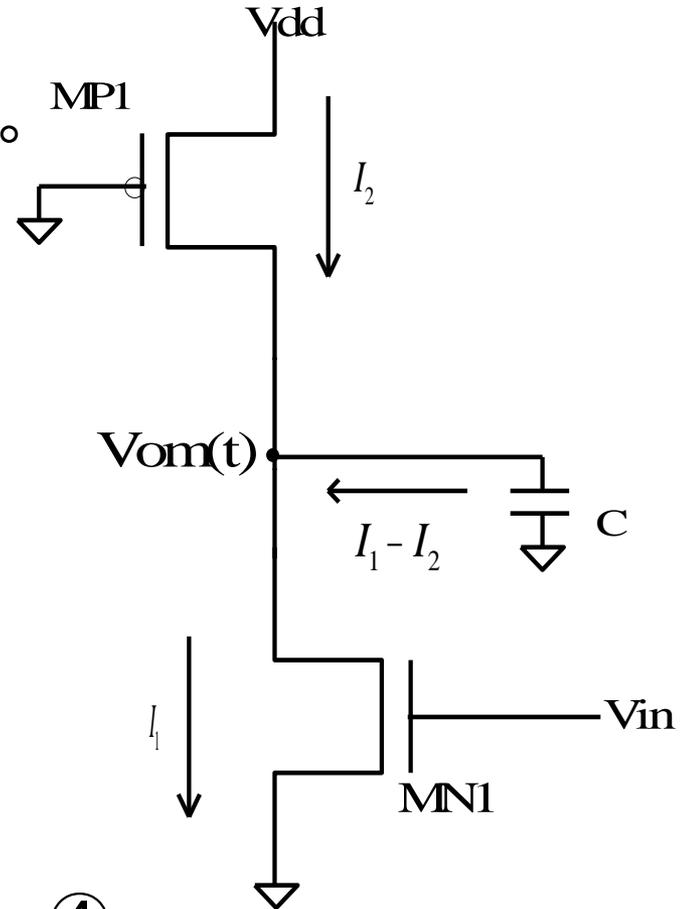
$\therefore V_{om} = V_{dd} - |V_{thp}|$  のとき  $I_1 \geq I_2 \dots \textcircled{2}$

が満たされていれば成り立つ。

MN1は飽和、MN2は線形領域

$$I_1 = K_n \left( \frac{W}{L} \right) (V_{in} - V_{thn})^2 \dots \textcircled{3}$$

$$\rightarrow I_2 = 2K_p \left( \frac{W}{L} \right)_p \left[ (V_{dd} - |V_{thp}|) \cdot |V_{thp}| - \frac{1}{2} |V_{thp}|^2 \right] \dots \textcircled{4}$$





## 回路の動作条件について

(1)  $V_{in}$ がLoからHiに反転すると、MN1はONからOFFに、MN2はOFFからONになる。

(2) MP1がOFF からONになるためには

$$V_p \equiv V_{dd} - V_{out2}$$

とすると、

$$V_p > |(V_{th})_{PMOS}| \quad \text{を満たせばMP1は反転する。}$$

(3)  $V_{out1}$ が反転すればMP2もONからOFFに反転。

# レベルシフト回路の実際の回路への使用例

- チャージポンプ回路に使用

③、④→②

$$K_n \left( \frac{W}{L} \right)_n (V_{in} - V_{thn})^2 \geq 2K_p \left( \frac{W}{L} \right)_p \left[ (V_{dd} - |V_{thp}|) \cdot |V_{thp}| - \frac{1}{2} |V_{thp}|^2 \right]$$

$$\therefore V_{in} - V_{thn} \geq \sqrt{\frac{K_p \left( \frac{W}{L} \right)_p}{K_n \left( \frac{W}{L} \right)_n} |V_{thp}| (2V_{dd} - 3|V_{thp}|)} \quad \dots \textcircled{5}$$

∴ 回路の最低駆動電圧  $(V_{in})_{\min}$  の一時近似式は

$$(V_{in})_{\min} = \sqrt{\frac{K_p \left( \frac{W}{L} \right)_p}{K_n \left( \frac{W}{L} \right)_n} |V_{thp}| (2V_{dd} - 3|V_{thp}|)} + V_{thn} \quad \dots \textcircled{6}$$