

インターフェーストラップと移動度変動による, n チャネル MOSFET の 1/f ノイズプロセスばらつきモデリング

1/f Noise Process Variability Modeling of n-channel MOSFETs

Based on Interfacial Traps and Mobility Fluctuations

青木均† 戸塚拓也† 香積正基† 新井薫子† 轟俊一郎† 小林春夫†

†群馬大学 大学院理工学府 電子情報部門

Hitoshi AOKI† Takuya TOTSUKA† Masaki KAZUMI† Yukiko ARAI†

Shunichiro TODOROKI† Haruo KOBAYASHI†

† Electronics and Information Division, Graduate School of Gunma University

1 はじめに

現在、RF アナログ回路は様々なアプリケーションで使用されており、中でも発振回路を用いた集積回路は基幹回路モジュールである。発振回路における重要な電気特性の一つに位相雑音特性があるが、多用される場合に、その耐久性や特性の劣化を事前に予想することは、最終製品の耐久性、寿命を考慮した製造に重要である。これを EDA ツール上でシミュレートすることが出来れば、設計コスト、時間の低減に貢献できる。

本研究では、発振回路の位相雑音特性に大きく影響する、MOSFET の 1/f ノイズモデルを開発している。本モデルは、2つの 1/f ノイズの発生原理、インターフェーストラップと移動度変動を物理的に解析して、モデル式を導出し、SPICE 3 上の BSIM4 モデルソースコードに、コンパクトモデルとして搭載した。1/f ノイズ特性は様々な要因によりばらつきを持つため、現在までに使用されている理想特性シミュレーションではなく、プロセスばらつきを想定した、ガウス分布乱数アルゴリズムによる、統計モデルを取り入れて開発したため、実際の回路での特性ばらつきを持ったノイズ特性、さらには経時劣化後のノイズ特性も予想が可能となっている。

本稿では、1/f ノイズモデルの導出、測定との比較、経時劣化特性の解析等を実施、VCO 回路での位相雑音特性への影響を検証する。

2 あらまし

MOSFET で発生する 1/f ノイズはアナログ回

路設計において重要な特性の一つであり、集積回路で基幹モジュールとなる発振回路の位相ノイズ特性劣化を引き起こす。発振回路は様々なアプリケーションで使われており、耐久性や経時、温度劣化の信頼性解析も重要となる。

本研究では、温度/経時劣化について n-MOSFET における 2つの現象、つまり、Positive Bias Temperature Instability (PBTI) と Hot Current Injection (HCI) のうち、最も影響の大きい HCI に着目した。この HCI により n-MOSFET で電子の Interface Traps が生じ、その振動から 1/f ノイズがゲート電圧に依存して、ばらつくことを調査した[1-2]。HCI による直流ドレイン電流特性劣化については、DC HCI モデル[3] を使用して求めた。既存の 1/f ノイズモデルはこれらの原理を含んでいなかったため、強反転領域から飽和領域、弱反転領域において n-MOSFET のゲート電圧に応じた新たな 1/f ノイズモデルを開発した。

開発した 1/f ノイズモデルは SPICE3 回路シミュレータ、MDW-SPICE を用いて BSIM4 モデルに搭載した。強反転領域から飽和領域ではシミュレーション結果と測定結果を比較した。弱反転領域では 1/f ノイズレベルが非常に小さく測定が不可能なのでシミュレーションを行い、特性を検証した。

次に、開発した 1/f モデルの市販シミュレータにおける、アップコンバージョンアルゴリズムによる、発振回路モジュールでの位相雑音シミュレーションの妥当性と実測との誤差を検証する。

3 HCI による劣化式の検討とモデル化

HCIのモデルについては、多くのモデルが検討されている。[4-5] その中で今回使用するモデルは、RDモデル [3] と呼ばれ、トランジスタのドレイン近傍で発生するホットキャリア効果を、修復されることなくモデル化する事が出来る。RDモデルはチャンネル/酸化膜界面及びゲートの接合部分付近の水素拡散粒子の生成を方程式で表しており、劣化を単純化することができる。RDモデルでは N_{it} すなわち界面トラップ数、チャンネル/酸化膜界面での水素反応式は以下のように表す事が出来る。

$$N_{H(0)}N_{it} \approx \frac{k_F}{k_R} N_0 \quad (1)$$

$N_{H(0)}$ は界面における水素濃度の初期値、 N_{it} は界面トラップ数、 k_F は酸化物電界依存フォワード解離速度定数、 k_R はアニーリング速度定数、 N_0 はSi-H結合の初期値を示している。

$$N_{H_x} = k_H N_H^{n_x} \quad (2)$$

N_H は体積あたりの水素粒子の濃度、 k_H は反応定数、 n_x は水素粒子あたりの水素原子数を示している。

界面トラップの数も破線のSi-H結合の数を積算することにより算出することができ、水素粒子は、ゲート酸化膜にそれらが作成されドレインから拡散する。したがってH原子は界面トラップ数の平均数として計算で以下のように表せる。

$$\begin{aligned} N_{it} &= \frac{\pi W}{2A_{tot}} n_x \int_0^{\sqrt{D_{H_x}t}} \left(N_{H_x(0)} \left[r - \frac{r^2}{\sqrt{D_{H_x}t}} \right] \right) dr \\ &= N_{H_x(0)} \frac{\pi n_x}{12L} D_{H_x}t \end{aligned} \quad (3)$$

D_{H_x} は N_H の密度、 A_{tot} ゲート下の総面積、 L はn-MOSFETの長さ、 W は幅を示している。

(1)(2)(3)式を組み合わせると以下ようになる。

$$N_{it} = \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \quad (4)$$

容量特性から、界面トラップによる電荷の電圧依存特性は、しきい値電圧近傍のSub-threshold特性カーブのずれとして表され、以下ようになる。

$$\Delta V_{thDEGRADATION} =$$

$$C_{HCI} \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \quad (5)$$

D_H は水素原子の密度、 t は時間、 C_{HCI} は技術依存なパラメータである。式(5)のしきい値電圧のずれを移動度モデルの式に代入できれば、移動度劣化現象もモデル化できる。RDモデルは回路シミュレータ用コンパクトモデルとしては、そのままでは使用できない。このため、改造を加えたDC HCIモデルを用いる。本モデルをBSIM4モデル[6]に取り込んで、主要な劣化パラメータとして、しきい値電圧と実効移動度に反映される。

BSIM4モデルの実効移動度モデル式は、(MOBMOD=2)

$$\begin{aligned} \mu_{eff} &= \frac{U0}{1 + (UA + UC * V_{bseff})} \\ &\times \frac{1}{\left[\frac{V_{gsteff} + C_0(V_{TH0} - V_{FB} - \phi_s)}{TOXE} \right]^{EU}} \end{aligned} \quad (6)$$

しきい値電圧モデル式概念式は、

$$\begin{aligned} V_{th} &= V_{TH0} + \Delta V_{th, body_effect} \\ &\quad - \Delta V_{th, charge_sharing} - \Delta V_{th, DISL} \\ &\quad + \Delta V_{th, reverse_short_cannel} + \Delta V_{th, narrowwidth} \\ &\quad + \Delta V_{th, small_size} - \Delta V_{th, pocket_implant} \\ &\quad + \Delta V_{th_DEGRADATION} \end{aligned} \quad (7)$$

となる。

式(6)と(7)について、BSIM4モデルに導入し、劣化前のn-MOSFET直流電流特性を測定し、モデルパラメータを抽出・最適化を行った。本研究のために90nmプロセスを用いたn-MOSFETを作成し、測定を行った。また、長時間(1,000時間)劣化後の測定は困難であったため、DC HCIモデルのパラメータは、文献[3]に掲載されていた60nmプロセスでの実験値を、90nmプロセスに換算して使用した。

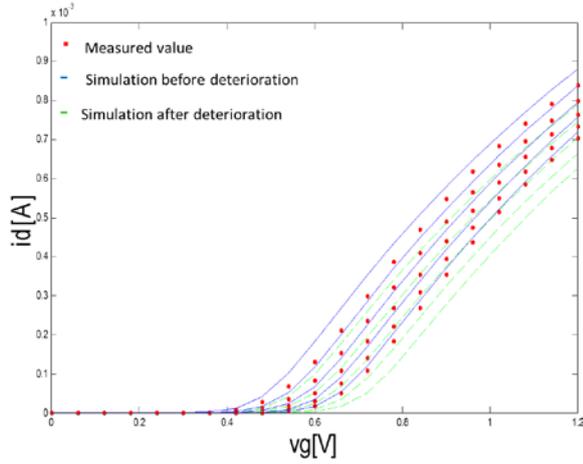


図1. n-MOSFETの劣化前, 劣化後の I_{DS} - V_{GS} 特性

Fig. 1. I_{DS} vs. V_{DS} characterizations of fresh and degraded n-MOSFET. Here $L=0.1\mu\text{m}$, $W=10\mu\text{m}$, $V_{ds}=0.01\text{ V}$, and $V_{BS}=0 \sim -1.2\text{ V}$.

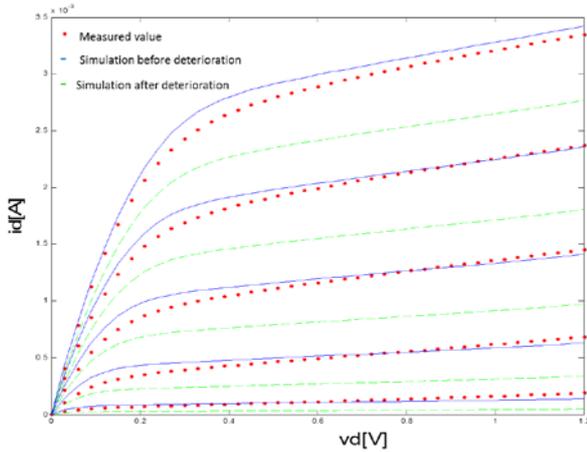


図2. n-MOSFETの劣化前, 劣化後の I_{DS} - V_{DS} 特性

Fig.2. I_{DS} vs. V_{DS} characterizations of fresh and degraded n-MOSFET. Here $L=0.1\mu\text{m}$, $W=10\mu\text{m}$, $V_{GS}=0.3 \sim 1.0\text{ V}$, and $V_{BS}=0\text{ V}$.

図1、2を比べて、 V_{th} のパラメータのみを劣化させているのだが、図1の I_{DS} - V_{GS} 特性ではしきい値だけでなく、傾きも変化していることがわかる。これは、主に移動度のモデル式にも V_{TH0} のパラメータが用いられているからであり、移動度の劣化が起きていることを示す。図2の I_{DS} - V_{DS} 特性では、電流量の減少がある。これは、 HCl がドレイン端の高電界によってチャネル内の電子がホットエレクトロンとなり、ゲート酸化膜への注入、基板でのイオン化が起こりドレインチャネルに到達する電子が減少するという理論[2]に一致している。

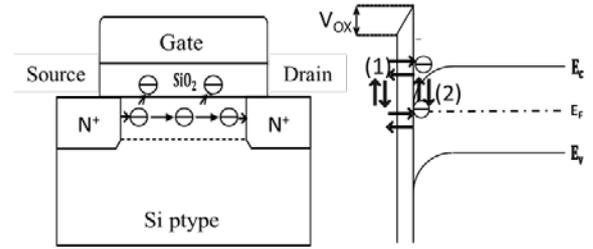


図3 エネルギー準位による電子のトラップ

Fig. 3 Electron Traps depend on energy level.

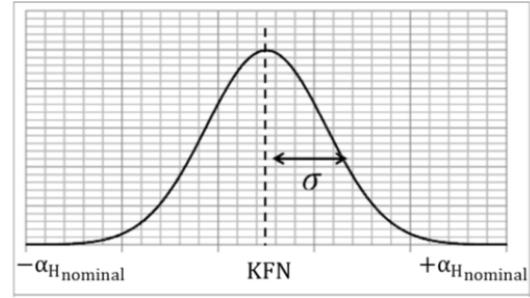


図4 KF の中心値 KFN 、標準偏差 σ のガウシアン分布関数

Fig. 4 Gaussian random number (Center of KF , KFN and standard deviation, σ)

4 n-MOSFET 1/f ノイズモデルの導出

MOSFETで発生する1/fノイズは、図3のように電子がシリコンの界面からゲート酸化膜へトラップすることで発生する。ノイズパワーが周波数に反比例し、低周波帯で支配的となる。

McWortherは電子の界面トラップによるエネルギー準位に基づき1/fノイズ発生モデル式(8)を提案した[7]。

$$S_{I_D} = S_V \left(1 + \frac{\alpha_H \cdot \mu_{eff} \cdot C_{OX} \cdot I_D}{g_m} \right)^2 g_m^2. \quad (8)$$

μ_{eff} は実効移動度、 C_{OX} は酸化膜容量、 I_D はドレイン電流、 g_m はトランスコンダクタンスである。 α_H はPhonon Scattering(光子散乱)により生じる移動度の係数である。

一方Hodgeは移動度の変動に考慮した1/fノイズ発生モデル式(9)、(10)を提案した[8]。

$$\frac{S_{I_D}}{I_D^2} = \frac{\alpha_H \cdot \mu_{eff} \cdot 2KT}{f \cdot L_{eff}^2 \cdot I_D}. \quad (9)$$

$$S_{I_D} = \frac{\alpha_H \cdot \mu_{eff} \cdot 2KT \cdot I_D}{f \cdot L_{eff}^2}. \quad (10)$$

α_H がばらつくことで $1/f$ ノイズもばらつく。 K はボルツマン定数、 T は温度、 f は周波数、 L_{eff} は実効チャネル長である。

MOSFET の SPICE2 タイプモデルは、McWorther の $1/f$ ノイズ発生原理に基づいた式(11)が使われている。

$$S_{I_D}(f) = \frac{KF \cdot I_D^{AF}}{C_{OX} \cdot L_{eff}^2 \cdot f^{EF}} \quad (11)$$

AF と EF はドレイン電流と周波数の係数である。

4.1 強反転領域から飽和領域のモデル

本領域での $1/f$ ノイズの発生要因は、移動度と界面トラップ数の変動である。Hodge のモデル式にある移動度の変動を SPICE2 タイプモデルに追加するため、式(9)(10)を比較すると式(12)が得られる。

$$\alpha_H \cdot \mu_{eff} \cdot 2KT = \frac{KF}{C_{OX}} \quad (12)$$

ここでは理想的な $1/f$ ノイズとして、 $AF=EF=1$ とした。よって KF は

$$KF = C_{OX} \cdot \alpha_H \cdot \mu_{eff} \cdot 2KT. \quad (13)$$

となり、SPICE2 モデル式に移動度変動の要素を取り入れた。

α_H はゲート・ソース間の実効電圧に比例して減少するので

$$\alpha_H \propto e^{-(V_{gs}-V_{th})}, \quad (14)$$

と表せる。 V_{gs} は実効ゲート・ソース電圧、 V_{th} はしきい値電圧である。

$1/f$ ノイズはデバイスプロセスによりばらつくので、 KFN を中心に、一定の幅で分散するように考慮し、0 から 1 の間でばらつく Gaussian normalized random number、 D (図 4)を用いた。 $D=0.5$ とすると -0.5 から 0.5 までの分散を表せるので、 α_H を式(15)とする。

$$\alpha_H = (2 \cdot \alpha_{H_{nominal}} \cdot (D - 0.5) + KFN) \cdot e^{-(V_{gs}-V_{th})}. \quad (15)$$

式(15)は $-\alpha_{H_{nominal}}$ から $\alpha_{H_{nominal}}$ の間でばらつき、中心は KFN となる。式(15)を式(13)に代入すると

$$KF = C_{OX} \cdot \mu_{eff} \cdot 2KT \cdot (2 \cdot \alpha_{H_{nominal}} \cdot (D - 0.5) + KFN) \cdot e^{-(V_{gs}-V_{th})}. \quad (16)$$

となる。式(16)を式(11)に代入することで、エネルギー準位と移動度の変動の要素が含まれた、 $1/f$ ノイズばらつきモデルとなった。 KFN はゲート・ソース間電圧を増加することで変更される。

4.2 弱反転領域のモデル

本領域ではドレイン電流は流れないが、非常に低いレベルの $1/f$ ノイズが発生している。界面トラップ数 N_{it} の変化に伴うノイズの発生が支配的となるため、McWorther モデル(17)を元にモデルを導出する。

$$S_{I_D}(f) = \frac{q^2 \cdot K \cdot T \cdot \lambda \cdot N_{it}}{C_{OX}^2 \cdot L_{eff} \cdot W_{eff} \cdot f^\gamma} \cdot \frac{I_D^2}{(V_{gs} - V_{th})^2}. \quad (17)$$

q は電荷、 W_{eff} は実効チャネル長、 λ は電子がチャネルを通る際の平均自由行程長、 γ は周波数の定数である。

理想的な $1/f$ ノイズとして $AF=EF=\gamma=1$ とし、McWorther モデル(17)と SPICE2 タイプモデル(11)を比較すると、

$$\begin{aligned} & \frac{q^2 \cdot K \cdot T \cdot \lambda \cdot N_{it}}{C_{OX}^2 \cdot L_{eff} \cdot W_{eff} \cdot f^\gamma} \cdot \frac{I_D^2}{(V_{gs} - V_{th})^2} \\ &= \frac{KF \cdot I_D}{C_{OX} \cdot L_{eff}^2 \cdot f} \end{aligned} \quad (18)$$

したがって KF は、

$$KF = \frac{L_{eff}}{W_{eff}} \cdot \frac{q^2 \cdot K \cdot T \cdot \lambda \cdot I_D}{C_{OX} \cdot (V_{gs} - V_{th})^2} \cdot N_{it}. \quad (19)$$

となる。 N_{it} は HCI による界面トラップ数で、ばらつきがあるため Gaussian normalized random number、 D を用いる。また HCI は MOSFET の経時劣化を引き起こす。 P_{HCL} を MOSFET のストレス状態に依存する定数とすると、界面トラップ数 N_{it} は、

$$N_{it} = P_{HCL} \cdot t^{\frac{1}{1+nx}} \cdot D. \quad (20)$$

となる。 t は劣化時間、 nx は水素粒子あたりの水

素原子数である。よって式(19)の KF は、

$$KF = \frac{L_{eff}}{W_{eff}} \cdot \frac{q^2 \cdot K \cdot T \cdot \lambda \cdot I_D}{C_{ox} \cdot (V_{gs} - V_{th})^2} \cdot P_{HCL} \cdot t_{i+nx} \cdot D. \quad (21)$$

となり、 $1/f$ ノイズの提案モデル式に、経時劣化を含めることができた。弱反転領域の $1/f$ モデル式は式(11)に式(21)を代入することで得られる。

4.3 しきい値電圧の劣化

N_{it} の劣化は n-MOSFET のしきい値電圧にも影響する。式(13)をしきい値電圧の変化で表すと、

$$\Delta V_{TH} = A_{HCL} \cdot t_{i+nx} \cdot D. \quad (22)$$

となる。 A_{HCL} は MOSFET のストレスによるしきい値電圧変化の定数である。 V_{TH} が劣化の影響で変化したとき、 $V_{TH} + \Delta V_{TH}$ を式(16)または式(21)に代入することで $1/f$ ノイズ式が得られる。

4.4 $1/f$ ノイズ測定とシミュレーション

強反転領域から飽和領域のモデルでは $1/f$ ノイズ測定システムでゲート電圧に依存した $1/f$ ノイズの測定を行った[9]。チャンネル長 90 nm、チャンネル幅 10 μ m、等価酸化膜厚 (EOT) 5nm の n チャンネル MOSFET を DC 電流ストレス条件下で測定した。

図 5 はシミュレーション結果と測定結果である。シミュレーション結果は測定結果の $1/f$ ノイズのばらつき範囲を正確に示している。またゲート電圧が増加するにつれて、 $1/f$ ノイズのばらつき幅が減少することも示している。本領域における提案モデル式は $1/f$ ノイズを正確にシミュレーションできる。

弱反転領域のモデルにおいては、引用文献[9]で本領域の $1/f$ ノイズ測定を行い、飽和領域のように V_{gs} に依存して周波数が増加すると $1/f$ ノイズが減少することが分かっている。しかし出力レベルが非常に小さいため、正確に測定することはできない。

図 6 で本領域のシミュレーション結果を示す[10]。 N_{it} が増加するとノイズの電圧、ばらつき幅が増加している。式(20)により N_{it} の劣化もシミュレーションできる。

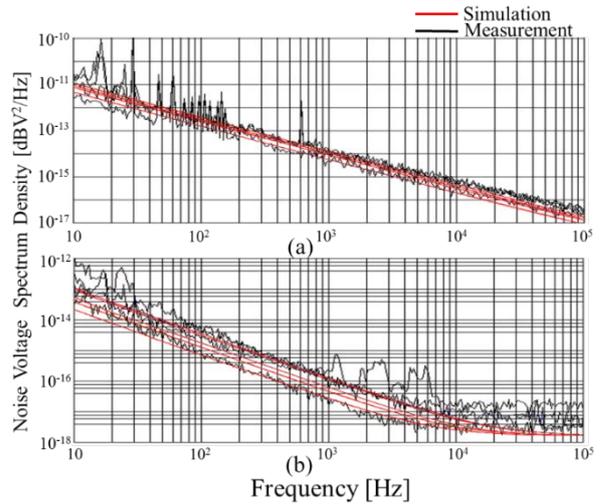


図 5 線形領域の $1/f$ ノイズのシミュレーション結果と測定結果

Fig. 5 $1/f$ noise characterization in linear region

($V_{DS}=1.0$ V, $AF=0.3$, $EF=1.45$, $KF=2.0 \times 10^{-3}$, $\alpha_H=8.0 \times 10^{-4}$, $KFN=4.0 \times 10^{-3}$) (a) $V_{gs}=1.41$ V (b) $V_{gs}=0.45$ V

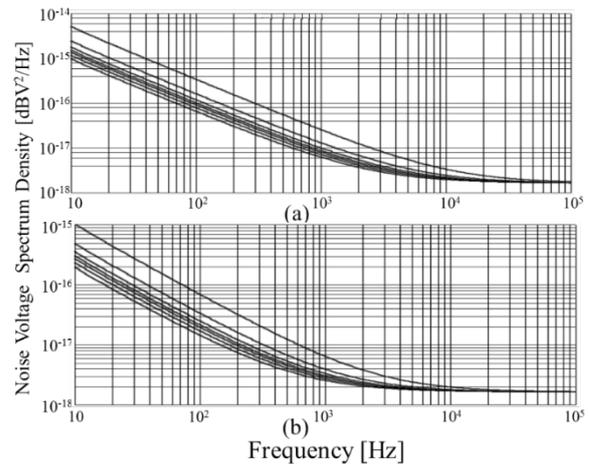


図 6 弱反転領域の $1/f$ ノイズシミュレーション結果

Fig. 6 $1/f$ noise characterization in weak inversion region

($V_{DS}=1.0$ V, $V_{gs}=0.1$ V, $AF=0.3$, $EF=1.45$, $KF=2.0 \times 10^{-3}$,

(a) $N_{it} = 5.0 \times 10^{20}$ (b) $N_{it} = 1.0 \times 10^{20}$)

5 VCO 回路の位相雑音測定とシミュレーション

位相雑音について 位相雑音の主な原因は $1/f$ ノイズと熱雑音(ホワイトノイズ)である。他の原因としてランダムテレグラフノイズもあるが、評価が困難のため今回は除外する。実際の使用環境において、絶対零度で製品を使用することはない

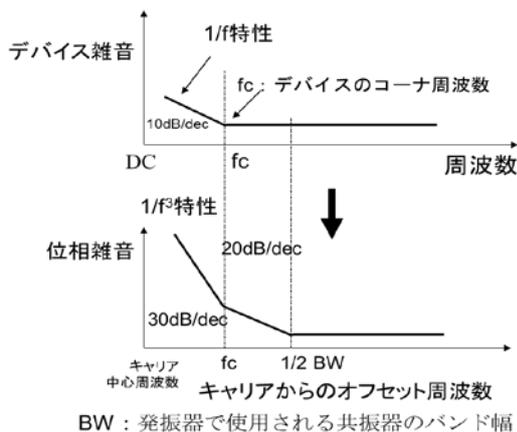


図 7 位相雑音と $1/f$ ノイズの関係

Fig. 7 Relationship between $1/f$ noises and phase noises

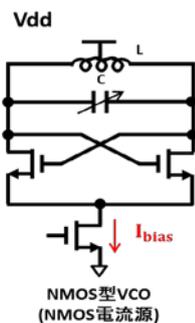


図 8 被測定・シミュレーション用 VCO 回路

Fig. 8 A sample VCO circuit to be characterized

ので、熱雑音は発生してしまう。また、 $1/f$ ノイズと位相雑音の関係を図 7 に示す。

VCO(Voltage Controlled Oscillator)回路をモジュール設計して、劣化前後の位相雑音特性に及ぼす影響を検証した。シミュレーションには、Cadence 社の SPECTRE を用いた。

4 章で用いたモデルパラメータを用いて、劣化前後の位相雑音特性について比較した。図 9 から劣化後の方が、10[dB]程ノイズ密度が高い事が分かる。また周波数が高くなるほど、劣化前後の位相雑音に差がない。これは低周波数帯域の $1/f^3$ の傾き部分(図 9 の破線の四角形部分)に、 $1/f$ ノイズの影響が顕著である事が理由であり、アップコンバージョン理論に合致している[11]。また、シミュレーションと測定は非常に高精度で合致している。

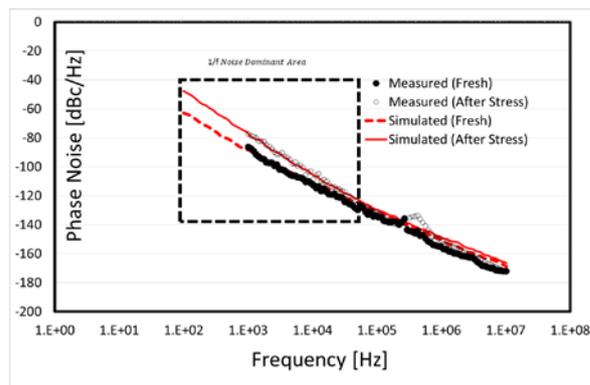


図 9 劣化前後の VCO 位相雑音測定とシミュレーション

Fig. 9 Phase noise measurement and simulation of a VCO circuit.

4 まとめ

本稿では、HCI による経時・温度劣化によるしきい値電圧、移動度モデルを検証し、 $1/f$ ノイズモデルの導出、測定との比較、経時劣化特性の解析を実施、VCO 回路での位相雑音特性への影響を検証した。作成した $1/f$ ノイズモデルは VCO においても高精度に測定と合致し、十分実用化が可能と考えられる。

参考文献

- [1] Y. Tsvividis, K. Suyama "MOSFET Modeling for Analog Circuit CAD: Problems and Prospects" IEEE Journal, Solid-State circuits, 29(3), 210 – 246, 1994,
- [2] C. Hu, et al, "Hot-electron induced MOSFET degradation model, monitor, and improvement," IEEE Trans. Electron Devices, 32(2), 375-385, 1985.
- [3] E. Maricaud and G. Gielen, Analog IC Reliability in Nanometer CMOS, Springer Science+Business Media, New York, 2013.
- [4] X. Federspiel, M. Rafik, D. Angot, F. Cacho, D. Roy "Interaction between BTI and HCI degradation in High-K devices" IEEE International, 14-18, 2013.
- [5] X. Federspiel, F. Cacho, D. Roy "Experimental characterization of the interactions between HCI, off-state and BTI degradation modes" IEEE International, 16-20, 2011
- [6] Information on <http://www-device.eecs.berkeley.edu/bsim/>
- [7] A. L. McWorther, Semiconductor Surface Physics, University of Pennsylvania Press, Philadelphia (1957).
- [8] F. N. Hooge, "1/f Noise Sources", IEEE Trans. Electron Devices 41, 1926-1935 (1994).
- [9] H. Aoki, "Bias and Geometry Dependent Flicker Noise Characterization for n-MOSFETs", IEICE Trans. Electronics, vol. E85-C, no. 2, pp.408-414, 2002.
- [10] Y. Arai, H. Aoki, F. Abe, S. Todoroki, R. Khatami, M. Kazumi, T. Totsuka, T. Wang, H. Kobayashi, "Gate Voltage Dependent 1/f Noise Variance Model Based on Physical Noise Generation Mechanisms in n-Channel Metal-Oxide-Semiconductor Field-Effect Transistors," Japanese Journal of Applied Physics, Mar. (2015)
- [11] Michael Kraemer, Daniela Dragomirescu, Robert Plana, "A High Efficiency Differential 60 GHz VCO in a 65 nm CMOS Technology for WSN Applications" Microwave and Wireless Components Letters, IEEE vol. 21.