

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開2001-211637

( P2001-211637A )

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 2 M 3/07  
// H 0 3 K 5/02

H 0 2 M 3/07  
H 0 3 K 5/02

C

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2000-12705 ( P2000-12705 )

(22) 出願日 平成12年1月21日 (2000.1.21)

(71) 出願人 598145875  
小林 春夫  
群馬県桐生市相生町 2-620-12 相生住  
宅 1-202

(71) 出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通 2丁目 5番 5号

(72) 発明者 小林 春夫  
群馬県桐生市相生町 2丁目 620番地 12号  
相生住宅 1の 202

(74) 代理人 100107906  
弁理士 須藤 克彦

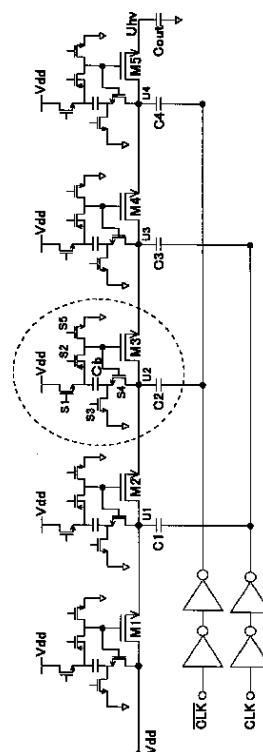
最終頁に続く

(54) 【発明の名称】 チャージポンプ回路

(57) 【要約】

【課題】 高い効率と大電流出力を実現したチャージポンプ回路を提供する。

【解決手段】 直列接続された MOS トランジスタ M 1 ~ M 5 と、これらの MOS トランジスタ M 1 ~ M 5 の各接続点に一端が接続された第 1 コンデンサ C 1 ~ C 4 と、これらの第 1 コンデンサ C 1 ~ C 4 の他端に交互に逆相のクロックパルス C L K、 / C L K を供給するクロックドライバとを具備し、さらに MOS トランジスタ M 1 ~ M 5 毎に、第 2 コンデンサ C b を含むブートストラップ回路を備え、ブートストラップ回路はクロックパルスが L レベルの時に、MOS トランジスタをオフに設定すると共に第 2 コンデンサ C b を充電し、クロックパルスが L レベルの時に、充電された第 2 コンデンサ C b を MOS トランジスタのゲート・ドレイン間に接続する。



## 【特許請求の範囲】

【請求項1】 直列接続された複数のMOSトランジスタと、これらのMOSトランジスタの各接続点に一端が接続された複数の第1コンデンサと、これらの第1コンデンサの他端に交互に逆相のクロックパルスを供給するクロックドライバーとを具備し、前記MOSトランジスタの最終段から昇圧電圧を得るチャージポンプ回路であって、さらに前記MOSトランジスタ毎に、第2コンデンサを含むブートストラップ回路を備え、前記ブートストラップ回路は前記クロックパルスが第1の状態の時に、前記MOSトランジスタをオフに設定すると共に第2コンデンサを充電し、第2の状態の時に、充電された前記第2コンデンサを前記MOSトランジスタのゲート・ドレイン間に接続することを特徴とするチャージポンプ回路。

【請求項2】 請求項1に記載のチャージポンプ回路において、前記ブートストラップ回路は複数のスイッチを含み、これらのスイッチは前記クロックパルスが第1の状態の時に前記MOSトランジスタのゲートに該MOSトランジスタをオフにする電位を供給すると共に前記第2コンデンサを前記MOSトランジスタから切り離して充電し、前記クロックパルスが第2の状態の時に充電された第2コンデンサを前記MOSトランジスタのゲート・ドレイン間に接続することを特徴とするチャージポンプ回路。

【請求項3】 請求項2に記載のチャージポンプ回路において、前記ブートストラップ回路は2以上の第2コンデンサを含み、前記複数のスイッチは前記クロックパルスが第1の状態の時に前記2以上の第2コンデンサを並列に充電し、前記クロックパルスが第2の状態の時に、充電された2以上の第2コンデンサを直列に接続して前記MOSトランジスタのゲート・ドレイン間に接続することを特徴とするチャージポンプ回路。

【請求項4】 請求項1に記載のチャージポンプ回路において、前記ブートストラップ回路は前記クロックパルスが第1の状態の時に前記第2コンデンサを電源電位と接地電位間に接続するための第1、第2のスイッチと、前記MOSトランジスタをオフに設定するための第3のスイッチと、前記クロックパルスが第1の状態の時に前記第2コンデンサを前記MOSトランジスタのゲート・ドレイン間に接続するための第4、第5のスイッチを備えることを特徴とするチャージポンプ回路。

【請求項5】 請求項4に記載のチャージポンプ回路において、前記MOSトランジスタのゲートは前記第2コンデンサの高電位側の端子に接続されていることを特徴とするチャージポンプ回路。

【請求項6】 請求項4に記載のチャージポンプ回路において、前記第1～第5のスイッチはMOSトランジスタから成り、前記クロックパルスによって制御されていることを特徴とするチャージポンプ回路。

【請求項7】 請求項6に記載のチャージポンプ回路において、前記第4のスイッチは、前記第2コンデンサと前記MOSトランジスタのドレインとの間に接続され、かつゲートが前記MOSトランジスタのゲートに接続されていることを特徴とするチャージポンプ回路。

【請求項8】 請求項6に記載のチャージポンプ回路において、前記第1のスイッチは電源電位と前記第2コンデンサの間に接続され、前記クロックパルスをレベル変換した電源電圧以上の振幅のクロックパルスによって制御されることを特徴とするチャージポンプ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電源電圧より高い電圧を供給するチャージポンプ回路に関し、特に高効率で大電流を供給することが可能なチャージポンプ回路に関する。

## 【0002】

【従来技術】EEPROM (Electrically Erasable Programmable Read Only Memory) やフラッシュメモリ (Flash Memory) の書き込み/消去システム、LCD (Liquid Crystal Display) システム、アナログスイッチを駆動するシステムなどにおいては、電源電圧より高い電圧を供給する必要がある。このために、多種類の電源を独立に提供するとはシステムとして複雑化、大規模化、高コスト化となり、単一電源化が望まれる。

【0003】そこで、MOS集積回路においてはチャージポンプ回路を内蔵する方法が幅広く用いられている。チャージポンプ型昇圧回路は簡単な回路で電源電圧を昇圧できる回路であり、システムの単一電源で、より高い電圧を提供することができる。

【0004】以下、最も基本的なチャージポンプ型昇圧回路の例について図10を参照しながら説明する。

【0005】この回路はディクソン (Dickson) チャージポンプ回路と呼ばれるものであって、技術文献「John F. Dickson On-chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier Technique IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-11, NO. 3 pp. 374-378 JUNE 1976.」に詳しく記載されている。

【0006】図10において、ダイオードD1、D2が直列接続され、その接続点にコンデンサC1が接続されている。Vddは直流電源電位、C2は出力コンデンサ、Voは出力電圧である。CLKはコンデンサC1 (容量値C1) に印加されるクロックパルスであり、電源電位Vddと接地電位 (0V) との間の振幅を有する。ダイオードD1、D2は電荷転送用のスイッチとして使われる。ここで、ダイオードの閾値電圧をVdとし、コンデンサC2の初期電荷をQ<sub>0</sub>とするとチャージポンプ回路の動作は以下のように記述される。

【0007】CLK = 0の時、コンデンサC1には次式で表

される電荷が蓄積される。

【0008】

【数1】

$$Q_{10} = C_1(V_{DD} - V_D) \quad (1-1)$$

【0009】CLK = Vddの時、ノードN<sub>2</sub>の電圧をVN<sub>2</sub>とすると、ノードN<sub>1</sub>の電圧VN<sub>1</sub>との関係は次式で表される。

【0010】

【数2】

$$V_{N1} - V_{N2} = V_D \quad (1-2) \quad *$$

$$Q_{C2} = C_2 V_{N2}$$

【0015】(1-4)ここで、電荷保存則より、次式が成り立つ。

【0016】

【数5】

$$Q_{C1} + Q_{C2} = Q_{10} + Q_{20} \quad (1-5)$$

【0019】

$$C_1(V_{N2} + V_D - V_{DD}) + C_2 V_{N2} = C_1(V_{DD} - V_D) + Q_{20} \quad (1-6)$$

$$V_{N2} = \frac{1}{C_1 + C_2} [2C_1(V_{DD} - V_D) + Q_{20}] \quad (1-7)$$

【0020】また、最初のパルスでC<sub>2</sub>に再配分される電荷Q<sub>21</sub>はVN<sub>2</sub>にC<sub>2</sub>を掛けることにより次式で与えられる。

$$Q_{21} = C_2 V_{N2} = \frac{C_2}{C_1 + C_2} [2C_1(V_{DD} - V_D) + Q_{20}] \quad (1-8)$$

【0022】したがって、最初のパルスでC<sub>2</sub>に再配分される電荷Q<sub>21</sub>は(1-1)式を用いると、次式で表される。

$$Q_{21} = \frac{C_2}{C_1 + C_2} (2Q_{10} + Q_{20}) \quad (1-9)$$

【0024】次に、2度目のパルスが入ると、C<sub>2</sub>に再配分される電荷Q<sub>22</sub>は次式で与えられる。

$$Q_{22} = \frac{C_2}{C_1 + C_2} (2Q_{10} + Q_{21}) \\ = \frac{C_2}{C_1 + C_2} \left[ \frac{C_2}{C_1 + C_2} (2Q_{10} + Q_{20}) + 2Q_{10} \right] \quad (1-10)$$

【0026】次に上記の結果に基づき、n回のパルスが到来した場合の一般式を求める。

$$x = \frac{C_2}{C_1 + C_2} \quad (1-11)$$

【0028】このように定義するとコンデンサC<sub>2</sub>に再配分される電荷Q<sub>2n</sub>は次式で表される。

$$Q_{2n} = x^n Q_{20} + 2Q_{10} (x + x^2 + \dots + x^n) \quad (1-12)$$

【0030】

$$Q_{2n} = x^n Q_{20} + 2Q_{10} \left( \frac{1 - x^{n+1}}{1 - x} - 1 \right) \quad (1-13)$$

【0031】ここで、(1-13)式に(1-11)式を代入することによりn回目のパルスが到来することによりC<sub>2</sub>に再配分される電荷Q<sub>2n</sub>は次式で与えられる。

\*【0011】したがってコンデンサC<sub>1</sub>の電荷は次式で与えられる。

【0012】

【数3】

$$Q_{C1} = C_1(V_{N1} - V_{DD}) = C_1(V_{N2} + V_D - V_{DD}) \quad (1-3)$$

【0013】また、コンデンサC<sub>2</sub>の電荷は次式のようになる。

【0014】

【数4】

$$(1-4)$$

【0017】したがって、(1-1)、(1-3)、(1-4)式より次式が導かれる。

【0018】

【数6】

【数7】

【0021】

【数8】

【0023】

【数9】

\*【0025】

【数10】

【0027】

【数11】

【0029】

【数12】

【数13】

【0032】

【数14】

$$Q_{2n} = \left(\frac{C_2}{C_1 + C_2}\right)^n Q_{20} + 2Q_{10} \frac{C_2}{C_1} \left[1 - \left(\frac{C_2}{C_1 + C_2}\right)^n\right] \tag{1-14}$$

【0033】ここで、n とすると定常状態において C<sub>2</sub> に再配分される電荷Q<sub>2</sub> が次式のように得られる。 \* 【0034】

$$Q_{20} = 2Q_{10} \frac{C_2}{C_1} \tag{1-15}$$

【0035】ここで、式(1-1)のQ<sub>10</sub> を式(1-15)に代入すると、次式が得られる。 【0036】

$$Q_{20} = 2C_2(V_{DD} - V_D) \tag{1-16}$$

【0037】したがって、昇圧電圧は次式で表される。 【数17】

$$V_{20} = 2(V_{DD} - V_D) \tag{1-17}$$

【0039】さらに、高い電圧が必要とする場合、図10の回路を縦続に接続し、CLKと共にCLKの逆相パルスを導入することによって得られる。同様な計算により、n段チャージポンプ回路の昇圧電圧は次式で表される。

【0040】

$$V_{out} = (n+1)(V_{DD} - V_D) \tag{2-1}$$

【0041】たとえば、図11に4段のチャージポンプ回路の概略回路図を示す。このチャージポンプ回路は5つのダイオードD1～D5が直列接続され、それらの各接続点にコンデンサC1～C4が接続されて構成されている。その出力電圧V<sub>o</sub>は次のように表される。

【0042】

$$V_o = 5(V_{DD} - V_D) \tag{2-2}$$

【0043】このチャージポンプ回路のMOS集積回路への搭載を考えるとプロセスへの適合性からpn接合のダイオードよりMOSトランジスタを使用する方が実現しやすい。

【0044】図12は電荷転送用のスイッチ素子としてダイオードの代わりにMOSトランジスタM1～M5を使用した4段ディクソン・チャージポンプ回路の概略回路図である。すなわち、この回路においては電荷が一つの方向にのみ押し出せるように、MOSトランジスタはゲートとドレインが接続され、ダイオードとして機能している。他の構成は図11に示した回路と基本的に同一である。

【0045】この種のn段チャージポンプ回路の昇圧電圧V<sub>out</sub>は図11に示した回路と同様に、V<sub>out</sub> = (n+1)(V<sub>DD</sub>-V<sub>th</sub>)となる。ここで、V<sub>th</sub>はMOSトランジスタの閾値電圧(Threshold Voltage)である。

【0046】

【発明が解決しようとする課題】しかしながら、上述した従来例のチャージポンプ回路には2つの問題点がある。第1に、MOSトランジスタの閾値電圧V<sub>th</sub>の(n+1)

倍だけ昇圧電圧が減少してしまい、高効率が実現できない。第2に、MOSトランジスタのゲート・ドレイン間電圧V<sub>gd</sub>がゼロのため、MOSトランジスタがオンの時でのオン抵抗が大きく、大きな出力電流が得られない。

【0047】そこで、本発明は、より高い効率(即ち各段のポンプゲイン)と大電流出力を実現したチャージポンプ回路を提供することを目的としている。

【0048】

【課題を解決するための手段】第1の発明のチャージポンプ回路は、直列接続された複数のMOSトランジスタと、これらのMOSトランジスタの各接続点に一端が接続された複数の第1コンデンサと、これらの第1コンデンサの他端に交互に逆相のクロックパルスを供給するクロックドライバーとを具備し、MOSトランジスタの最終段から昇圧電圧を得るチャージポンプ回路であって、さらに前記MOSトランジスタ毎に、第2コンデンサを含むブートストラップ回路を備え、ブートストラップ回路はクロックパルスが第1の状態の時に、MOSトランジスタをオフに設定すると共に第2コンデンサを充電し、第2の状態の時に、充電された第2コンデンサを前記MOSトランジスタのゲート・ドレイン間に接続するものである。

【0049】かかる手段によれば、上記のブートストラップ回路を設けたことにより高効率と大電流出力を実現したチャージポンプ回路を得ること可能になる。

【0050】第2の発明のチャージポンプ回路は、第1の発明において、ブートストラップ回路は複数のスイッチを含み、これらのスイッチはクロックパルスが第1の状態の時にMOSトランジスタのゲートにMOSトランジスタをオフにする電位を供給すると共に、第2コンデンサをMOSトランジスタから切り離して充電し、クロックパルスが第2の状態の時に、充電された第2コンデンサをMOSトランジスタのゲート・ドレイン間に接続するものである。

20

30

40

50

【0051】第3の発明のチャージポンプ回路は、第2の発明において、ブートストラップ回路は2以上の第2コンデンサを含み、複数のスイッチはクロックパルスが第1の状態の時に2以上の第2コンデンサを並列に充電し、クロックパルスが第2の状態の時に、充電された2以上の第2コンデンサを直列に接続してMOSトランジスタのゲート・ドレイン間に接続するものである。

【0052】かかる手段によれば、MOSトランジスタのゲートをより高い電位に設定できるのでオン抵抗を下げ、さらに大電流出力を得ることが可能になる。

【0053】第4の発明のチャージポンプ回路は、第1の発明において、ブートストラップ回路はクロックパルスが第1の状態の時に第2コンデンサを電源電位と接地電位間に接続するための第1、第2のスイッチと、MOSトランジスタをオフに設定する第3のスイッチと、クロックパルスが第1の状態の時に第2コンデンサをMOSトランジスタのゲート・ドレイン間に接続する第4、第5のスイッチを備えることを特徴とするものである。

【0054】第5の発明のチャージポンプ回路は第4の発明において、MOSトランジスタのゲートは第2コンデンサの高電位側の端子に接続されていることを特徴とするものである。

【0055】かかる手段によれば、MOSトランジスタの寄生容量Cgd、Cgsに充電された電荷の漏れがないので、出力電圧の低下がなく、効率的なチャージポンプ回路を得ることができる。

【0056】第6の発明のチャージポンプ回路は、第4の発明において、第1～第5のスイッチはMOSトランジスタから成り、クロックパルスによって制御されていることを特徴とするものである。

【0057】かかる手段によれば、第1～第5のスイッチはMOSトランジスタから成るのでMOS集積回路に集積化することができる。また、第1～第5のスイッチはMOSトランジスタを制御するクロックパルスを第1コンデンサに印加するクロックパルスと共用することで回路構成が簡便となる。

【0058】第7の発明のチャージポンプ回路は、第6の発明において、第4のスイッチは、第2コンデンサとMOSトランジスタのドレインとの間に接続され、かつゲートがMOSトランジスタのゲートに接続されていることを特徴とするものである。

【0059】かかる手段によれば、ブートストラップ回路の機能がより効果的に実現され、チャージポンプの昇圧機能も完全に実現される。すなわち、MOSトランジスタMのオン抵抗が小さく、より大きな出力電流が得られる。

【0060】第8の発明のチャージポンプ回路は、第6の発明において、第1のスイッチは電源電位と第2コンデンサの間に接続され、クロックパルスをレベル変換した電源電圧以上の振幅のクロックパルスによって制御さ

れることを特徴とするものである。

【0061】かかる手段によれば第2コンデンサを完全に電源電位まで充電することができる。

【0062】

【発明の実施の形態】次に本発明の実施形態について、図1～図9を参照しながら詳細に説明する。

【0063】図1は本発明の実施形態による4段チャージポンプ回路を示す概略回路図である。Nチャネル型MOSトランジスタM1～M5が直列接続されており、M1のドレインには電源電位Vddが印加され、M5のソースから昇圧電圧Voutが出力される。Coutは出力コンデンサである。電荷転送用のMOSトランジスタM1～M5の各接続点にはコンデンサC1～C4の一端が接続され、これらのコンデンサC1～C4の他端にはクロックパルスCLKと/CLK（CLKの逆相クロックパルス）がクロックドライバ（2段インバータ）から印加されている。

【0064】そして、MOSトランジスタM1～M5には夫々ブートストラップ回路が設けられている。このブートストラップ回路は、図1中破線で囲まれた部分で示すように、スイッチングMOSトランジスタS1～S5、コンデンサCbによって構成されている。スイッチングMOSトランジスタS1～S5は後述するように、クロックパルスCLK、/CLKによってオンオフが制御される。

【0065】次に、上記構成のチャージポンプ回路の動作について図2を参照しながら詳細に説明する。図2（A）は図1におけるブートストラップ回路の概略回路図であり、スイッチングMOSトランジスタS1～S5をスイッチで表している。

【0066】図2（B）に示すように、状態1（コンデンサCに供給されるクロックパルスがLレベル）の時、スイッチS1、S3、S5をオン、スイッチS2、S4をオフにする。これにより、MOSトランジスタMのゲートは接地電位に接続され、MOSトランジスタMはオフとなる。また、コンデンサCbはMOSトランジスタMから切り離され電源電位Vddまで充電される。

【0067】ここで、スイッチS1、S3はコンデンサCbを電源電位Vddと接地電位の間に接続するための一対のスイッチである（第1、第2のスイッチ）。また、スイッチS5はMOSトランジスタMをオフにするためのスイッチ（第3のスイッチ）である。

【0068】次に、図2（C）に示すように、状態2（コンデンサに供給されるクロックパルスがHレベル）の時には、状態1とは逆にスイッチS2、S4をオン、スイッチS1、S3、S5をオフにする。これにより、MOSトランジスタMのゲートはVddに充電されたコンデンサCbの一端に接続され、また、コンデンサCbの他端はMOSトランジスタMのドレインに接続される。すなわち、スイッチS2、S4は充電されたコンデンサCb

をMOSトランジスタMのゲート・ドレイン間に接続するための一対のスイッチ(第4、第5のスイッチ)である。

【0069】そうするとゲート・ドレイン電圧 $V_{gd}=V_{dd}$ となり、次式が成り立つ。

【0070】

【数20】

$$V_{gs} \geq V_{dd} \quad (3-1)$$

【0071】したがって、MOSトランジスタMが高い $V_{gs}$ 状態でオンする。このようなブートストラップ回路を用いることにより、以下に説明するように高いチャージポンプゲインが得られる。

【0072】図3は従来例と本実施形態のチャージポンプ回路において、MOSトランジスタの状態を比較した図である。図3(A)は従来例のチャージポンプ回路のMOSトランジスタ、図3(B)は本実施形態のチャージポンプ回路のMOSトランジスタがオンになった場合を示している。

【0073】すなわち、従来例において $V_{s1}$   $V_{d1}$ - $V_{th}$ と閾値電圧 $V_{th}$ 分の電圧ロスがあるのに対して、本実施形態においては $V_{s2}$   $V_{d2}$ となる。ただし、 $V_{s1}$ , $V_{s2}$ はソース電位、 $V_{d1}$ , $V_{d2}$ はドレイン電位である。このように、本実施形態のチャージポンプ回路において、 $V_{s1}$ と $V_{d1}$ はほぼ等しく、閾値電圧 $V_{th}$ の電位ドロップがないので、従来例の回路に比べて、同じチャージポンプ段数で高い電圧に昇圧することができる。

【0074】また、本実施形態のチャージポンプ回路は従来例の回路に比べ、MOSトランジスタのオン抵抗 $R_{on}$ は小さくなり、大電流の提供も可能になる。すなわち、MOSトランジスタのオン抵抗 $R_{on}$ は次式で表されるため、 $V_{gs}$ が大きい程オン抵抗 $R_{on}$ が小さくなるからである。ただし、 $\mu$ は電子移動度、 $C_{ox}$ はゲート容量、 $W$ はチャネル幅、 $L$ はチャネル長である。

【0075】

【数21】

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})} \quad (3-2)$$

【0076】次に、ブートストラップ回路の動作機能を実現するには、回路のスイッチ $S_1 \sim S_5$ をすべてMOSスイッチで構成することが適している。図4はブートストラップ回路の回路構成例を示す図である。図4(A)において、MOSスイッチ $S_1$ 、 $S_3$ 、 $S_4$ 、 $S_5$ はNチャネル型MOSトランジスタで、 $S_2$ はPチャネル型MOSトランジスタで実現されるスイッチである。これらのMOSスイッチ $S_1 \sim S_5$ のゲートにはコンデンサCに印加されるクロックパルスと逆相のクロックパルスCLKが印加される。クロックパルスCLKがHレベル/Lレベルの変化により、回路は次の二つの動

作状態に分かれる。

【0077】状態1(CLK=Hレベル)では、図4(B)に示すように、NMOSスイッチ $S_1$ 、 $S_3$ 、 $S_5$ がオンになる。MOSトランジスタMのゲートGの電位は接地電位(0V)となり、MOSトランジスタMはオフとなる。NMOSスイッチ $S_4$ はそのゲートがゲートGに接続されているのでオフである。PMOSスイッチ $S_2$ の基板がソースに接続されているので、PMOSスイッチ $S_2$ もオフになる。また、コンデンサ $C_b$ は $V_{dd}$ まで充電される。

【0078】状態2(CLK=Lレベル)では、図4(C)に示すように、NMOSスイッチ $S_1$ 、 $S_3$ 、 $S_5$ がオフになり、PMOSスイッチ $S_2$ がオンになる。これにより、コンデンサ $C_b$ に蓄えられた電荷がMOSトランジスタMのゲートGに注入される。すると、NMOSスイッチ $S_4$ がオンになり、MOSトランジスタMのゲートドレイン間の電圧 $V_{gd}$ は $V_{dd}$ になり、MOSトランジスタMがオンになる。

【0079】このブートストラップ回路は以下の特徴を有する。第1に、スイッチ $S_2$ はPMOSスイッチであり、図4(A)中、A点(コンデンサ $C_b$ の高電位側の端子)の電位は常に一番高いので、バックゲート電位(基板電位)をA点に接続させている。

【0080】第2に、スイッチ $S_1$ はNMOSスイッチであるが、このスイッチ $S_1$ をオンさせるために、振幅が $V_{dd}$ のクロックパルスCLKにより、NMOSスイッチ $S_1$ の動作を制御すると、閾値電圧分のロスがあるので、A点の電圧は $V_{dd}$ にならない。即ち、コンデンサ $C_b$ を完全に $V_{dd}$ まで充電することができない。そこで、コンデンサ $C_b$ を完全に電源電位 $V_{dd}$ まで充電するためNMOSスイッチ $S_1$ を制御するクロックパルスは振幅が $2V_{dd}$ のパルス信号CLKHを用いている。 $2V_{dd}$ のパルス信号CLKHはレベルシフト回路によって作成される。

【0081】図5はレベルシフト回路の構成例を示す回路図である。図5中、 $M_{10}$ と $M_{11}$ はゲートとドレインがクロス接続されたNチャネル型MOSトランジスタ、 $M_{12}$ と $M_{13}$ はNチャネル型MOSトランジスタ、 $M_{15}$ と $M_{16}$ はPチャネル型MOSトランジスタである。この回路によれば、正相と逆相のクロックパルスCLKが一対のコンデンサ $C_1$ , $C_2$ の一端に入力され、出力から振幅が $2V_{dd}$ のパルス信号CLKHが得られる。

【0082】第3に、図4(A)に示したように、NMOSスイッチ $S_4$ のゲートをMOSトランジスタMのゲートGに接続している点である。従来ブートストラップ回路では、すべてのMOSスイッチの動作がゲートに繋がっているクロックパルスCLKにより制御される。これに対して、この回路において、NMOSスイッチ $S_4$ に対して、ドレイン電位 $U_d$ の電圧がかなり高いが、ゲートにつなぐ正規CLK(電圧が $V_{dd}$ である)がHレベルになっても、B点の電圧が $V_{dd}$ 以上にならず、ドレイン電

位 $U_d$ は完全にB点につながっていない。即ち、NMOSスイッチS4はスイッチとしてオンになる時に完全に動作していないことがわかる。

【0083】このため、ゲートGの電位は $V_{dd}+U_d$ にならないので、 $U_s$ も $U_d$ にならないのである。するとMOSトランジスタMは完全にオンにならず、回路全体の昇圧機能にはならない。そこで、本実施形態はS4のゲートをゲートGに接続している。これにより、ゲートGの電位が $V_{dd}+U_d$ で、スイッチS4に対して、ドレインの電位 $U_d$ が上がる同時に、ゲート電位は常に $V_{dd}+U_d$ となる。即ちゲート・ソース間電圧 $V_{gs4}=V_{dd}$ であり、完全にスイッチとして機能している。この時、スイッチ素子Mに対しても、 $V_{gsm}=V_{dd}$ で、 $U_s=U_d$ である、電位のドロップを削減することができる。

【0084】このように、NMOSスイッチS4のゲートをMOSトランジスタMのゲートGに接続することにより、ブートストラップ回路の機能がより効果的に実現され、チャージポンプの昇圧機能も完全に実現される。そして、MOSトランジスタMのオン抵抗が小さく、より大きな出力電流が得られる。

【0085】次に、他のブートストラップ回路を用いたチャージポンプ回路について説明する。チャージポンプ回路の他の部分については上記と同様なので説明を省略し、ブートストラップ回路の特徴についてのみ説明する。

【0086】一般にMOSトランジスタにおいては、ゲート・ドレイン間寄生容量 $C_{gd}$ 及びゲート・ソース間寄生容量 $C_{gs}$ があるため、チャージポンプ回路のスイッチ素子であるMOSトランジスタMのゲート電圧を切換えるによりオンオフを制御する際に、同時に寄生容量 $C_{gd}$ 、 $C_{gs}$ への充電、放電の動作も繰り返される。図6はブートストラップ回路における問題点を説明するための回路図である。

【0087】図6(A)に示すブートストラップ回路において、MOSトランジスタMがオンの時に、コンデンサ $C_b$ に充電された電荷はゲートGに注入されると共に、図6(B)に示すように、寄生容量 $C_{gd}$ と $C_{gs}$ に電荷Qが蓄えられる。

【0088】しかしながら、MOSトランジスタMがオフの時には、図6(C)に示すように、寄生容量 $C_{gd}$ と $C_{gs}$ に蓄えられた電荷Qはグラウンド(接地電位)に放電されてしまう。このため、MOSトランジスタのゲート電圧が低くなり、チャージポンプの効率が劣化するだけでなく、この分の電力もロスしている。

【0089】図7は上記問題点を改善したブートストラップ回路を示す回路図である。図7(A)に示すように、改善した回路は、MOSトランジスタMのゲートはG点でなく、A点(コンデンサ $C_b$ の高電位側の端子)に接続する。MOSトランジスタMがオンの時には、改善前の図6(A)の回路と同様に、寄生容量 $C_{gd}$ 、 $C_{gs}$ に電

荷Qが蓄えられる(図7(B)を参照)。MOSトランジスタMがオフの時には、寄生容量 $C_{gd}$ 、 $C_{gs}$ に蓄えられた電荷Qがグラウンドではなく、コンデンサ $C_b$ に注入される(図7(C)を参照)。

【0090】そして、次にオンの時に、再び寄生容量 $C_{gd}$ 、 $C_{gs}$ が充電される。このように、改善されたブートストラップ回路では電荷の漏れがないので、この回路を図1のチャージポンプ回路に用いることにより、出力電圧の低下がなく、効率的なチャージポンプ回路を得ることができる。

【0091】図8は改善前後のチャージポンプ回路の出力電圧波形図である(4段、 $I_{out}=0$ の場合のSPICE Simulation結果)。この図から明らかなように、改善されたブートストラップ回路を搭載したチャージポンプ回路では、出力電圧が改善されていることがわかる。

【0092】ここで、上記改善後のブートストラップ回路におけるMOSトランジスタMのスイッチング特性について説明する。ドレイン電位 $U_d$ がHレベル、ソース $U_s$ がLレベルの時( $CLK=L$ レベル)、改善前と同様であり、MOSトランジスタMのゲート・ソース電圧は $V_{gs}=V_{dd}$ であり、トランジスタMはオンになる。

【0093】一方、ソース電位 $U_s$ がHレベル、ドレイン電位 $U_d$ がLレベルの時( $CLK=H$ レベル)、NMOSスイッチS5がオンするのでゲートG点の電圧は0Vであり、NMOSスイッチS4が完全にオフになる。このときMOSトランジスタMのゲート電圧は約 $V_{dd}$ であるが、 $V_{gs}<0$ なので、MOSトランジスタMはオフになる。

【0094】このように、MOSトランジスタMのゲートの接続点を変えることによって、S4のゲート電圧は0と $U_d+V_{dd}$ の間に変化することを維持し、MOSトランジスタMのスイッチング特性を保ちながら、寄生容量により生じる電荷漏れを解決したのである。

【0095】次に、もう1つ他のブートストラップ回路を用いたチャージポンプ回路について説明する。ただし、チャージポンプ回路の他の部分については同様なので説明を省略し、以下ではこのブートストラップ回路の特徴についてのみ説明する。

【0096】多くのチャージポンプ回路のアプリケーションでは、電圧を昇圧することが重要であり、出力電流は小さな電流で良い。しかし、最近のアプリケーションでは、電圧を昇圧すると共に、大きな出力電流を得ることがチャージポンプ回路で実現することが要求されてきている。

【0097】MOSトランジスタのオン抵抗 $R_{on}$ は既に述べたように(3-2)式で表される。したがって、デバイスサイズ $W/L$ の比が大きいほど、オン抵抗 $R_{on}$ が小さく、より大きな出力電流が取れる。しかし、デバイスのチャンネル長Lの最小値はプロセスにより定められ、Wのサイズを大きくすると、チップの面積を増大し、寄生

容量も大きくなる。上式により、高いゲート-ソース間電圧 ( $V_{gs}$ ) を提供する方法は大きな出力電流を取る有効な方法である。

【0098】図9は大電流出力対応のブートストラップ回路を示す回路図である。図9(A)に示すように、このブートストラップ回路は2つのコンデンサ $C_{b1}$ ,  $C_{b2}$ と8つのMOSスイッチ $S_1 \sim S_8$ を備えている。 $S_2$ 、 $S_8$ はPMOSスイッチ、他はNMOSスイッチである。MOSスイッチ $S_1 \sim S_8$ はクロックパルス $CLK$ によって制御されている。

【0099】状態1( $CLK = H$ レベル)では、図9(B)に示すように、NMOSスイッチ $S_1$ 、 $S_3$ 、 $S_5$ 、 $S_6$ 、 $S_7$ がオンになる。MOSトランジスタMのゲートGの電位は接地電位( $0V$ )となり、MOSトランジスタはオフとなる。NMOSスイッチ $S_4$ はそのゲートがゲートGに接続されているのでオフである。PMOSスイッチ $S_2$ 、 $S_8$ の基板がソースに接続されているので、 $S_2$ 、 $S_8$ もオフになる。また、2つのコンデンサは $C_{b1}$ ,  $C_{b2}$ は $V_{dd}$ まで充電される。

【0100】状態2( $CLK = L$ レベル)では、図9(C)に示すように、NMOSスイッチ $S_1$ 、 $S_3$ 、 $S_5$ 、 $S_6$ 、 $S_7$ がオフになり、PMOSスイッチ $S_2$ 、 $S_8$ がオンになる。これにより、コンデンサ $C_{b1}$ ,  $C_{b2}$ に蓄えられた電荷がMOSトランジスタMのゲートGに注入される。すると、NMOSスイッチ $S_4$ がオンになる。MOSトランジスタMのゲート・ドレイン間の電圧 $V_{gd}$ は2つの充電された直列コンデンサ $C_{b1}$ ,  $C_{b2}$ がゲートGに接続されるため、 $2V_{dd}$ になり、MOSトランジスタMがオンになる。

【0101】上記のブートストラップ回路は2つのコンデンサ $C_{b1}$ ,  $C_{b2}$ を並列に充電しているが、これに限定されることなく、3つ以上のコンデンサを並列に充電し、これらを直列接続して、MOSトランジスタMのゲート・ドレイン間に接続してもよい。これにより、さらに高いゲート・ドレイン間の電圧 $V_{gd}$ が得られ、オン抵抗をさらに下げることができる。

【0102】このように上記のブートストラップ回路を備えたチャージポンプ回路において、昇圧された電圧をスイッチ素子としてのMOSトランジスタMのゲートGに接続し、より高いゲート-ソース間電圧( $V_{gs} = 2V_{dd}$ )を提供し、より大きい出力電流が得られる。

【0103】また、上記構成において、スイッチ $S_1$ 、 $S_6$ を制御するクロックパルス $CLK$ は振幅 $V_{dd}$ であるが、これに代えて、振幅が $2V_{dd}$ のパルス信号 $CLKH$ を用いてもよい。これにより、閾値電圧分のロスが無くなり、A点、C点の電圧は $V_{dd}$ にしてコンデンサ $C_{b1}$ ,  $C_{b2}$ を完全に $V_{dd}$ まで充電することができる。 $2V_{dd}$ のパルス信号 $CLKH$ は、例えば図5に示したレベルシフト回路によって作成することができる。

【0104】

【発明の効果】本願において開示された発明のうち、代表的なものによって得られる効果を説明すれば、以下の通りである。

【0105】本発明はMOSトランジスタを使用したディクソン・チャージポンプ回路にブートストラップ回路を設けたことにより、高効率・大電流出力の昇圧回路を実現することができる。すなわち、ブートストラップ回路を用いてディクソン・チャージポンプ回路のMOSトランジスタがオンになる場合のゲート・ドレイン電圧 $V_{gd}$ を高い電圧に設定し(従来例ではこの電圧はゼロ)、MOSトランジスタの閾値電圧による昇圧電圧の減少を無くしているので高効率を実現することができる。また、ゲート・ドレイン電圧 $V_{gd}$ がゼロではなく高い電圧に設定されるので、MOSトランジスタのオン抵抗が小さくなり、大きな出力電流を得ることができる。これにより、高電圧・大電流を必要とする負荷のドライブが可能になる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るチャージポンプ回路を示す概略回路図である。

【図2】本発明の実施形態に係るチャージポンプ回路の動作を説明するための図である。

【図3】従来例と本実施形態のチャージポンプ回路において、MOSトランジスタの状態を比較した図である。

【図4】本発明の実施形態に係るブートストラップ回路の回路構成例を示す図である。

【図5】本発明の実施形態に係るレベルシフト回路の構成例を示す回路図である。

【図6】ブートストラップ回路における問題点を説明するための回路図である。

【図7】本発明の実施形態に係る他のブートストラップの回路構成例を示す回路図である。

【図8】本発明の実施形態に係るチャージポンプ回路の出力電圧波形図である。

【図9】本発明の実施形態に係る大電流出力対応のブートストラップ回路を示す回路図である。

【図10】従来例に係るディクソン・チャージポンプ回路を示す概略回路図である。

【図11】従来例に係る4段チャージポンプ回路の概略回路図を示す概略回路図である。

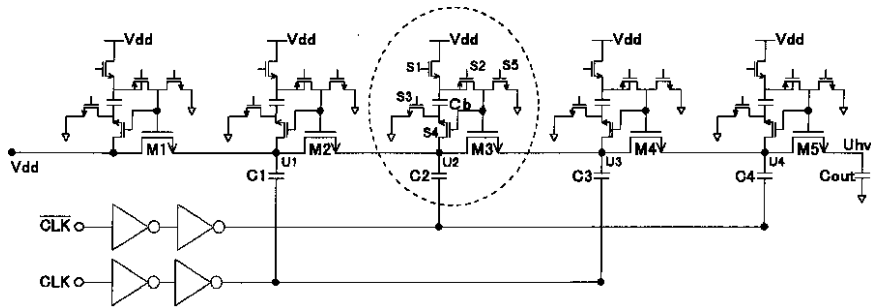
【図12】従来例に係るMOSトランジスタを使用した4段ディクソン・チャージポンプ回路を示す概略回路図である。

【符号の説明】

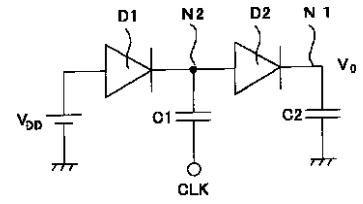
M1 ~ M5	MOSトランジスタ
C1 ~ C4	コンデンサ
S1 ~ S5	スイッチ
CLK	クロックパルス
Cb	コンデンサ
50 Cout	出力コンデンサ



【図1】

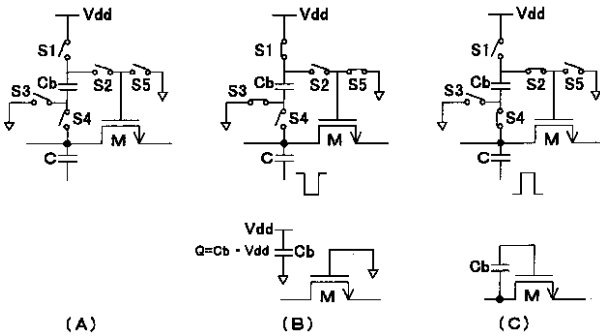


【図10】

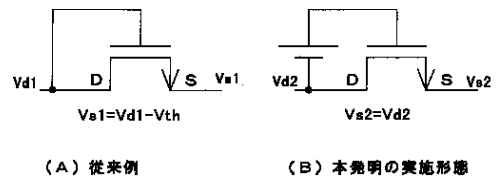


【図2】

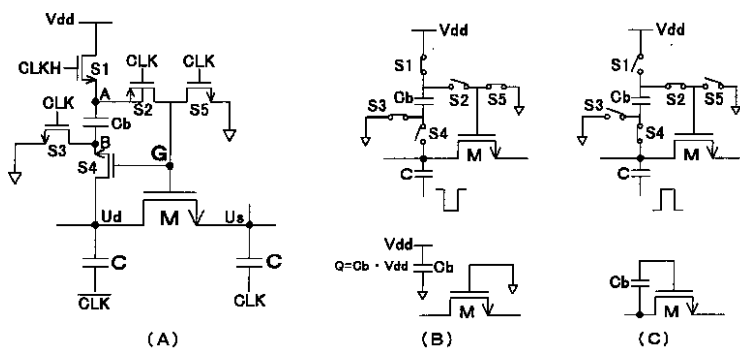
ブートストラップ回路の構成



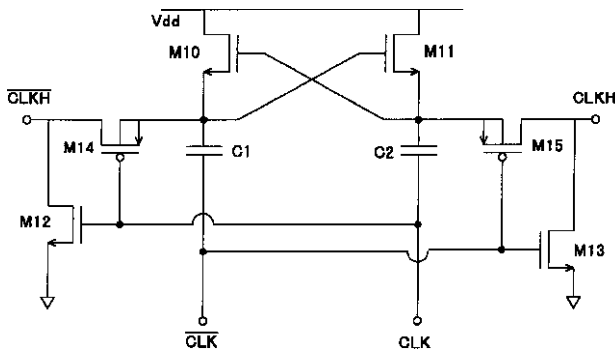
【図3】



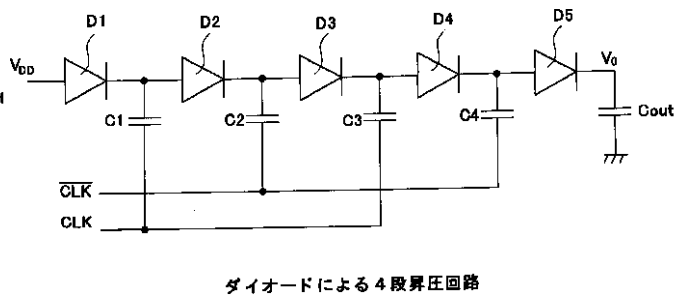
【図4】



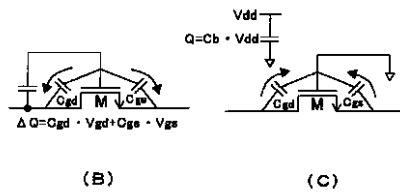
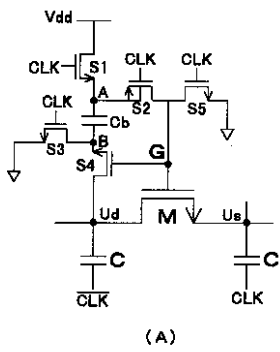
【図5】



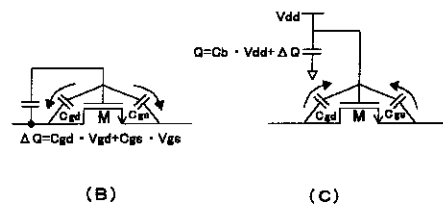
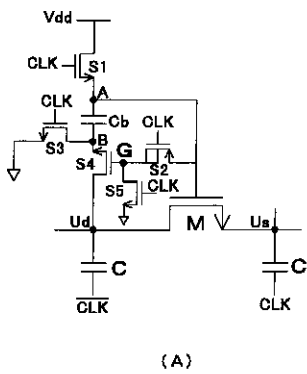
【図11】



【図6】

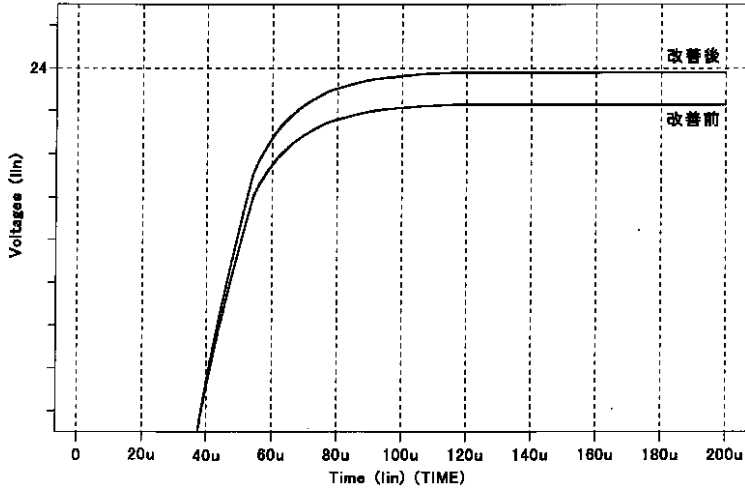


【図7】

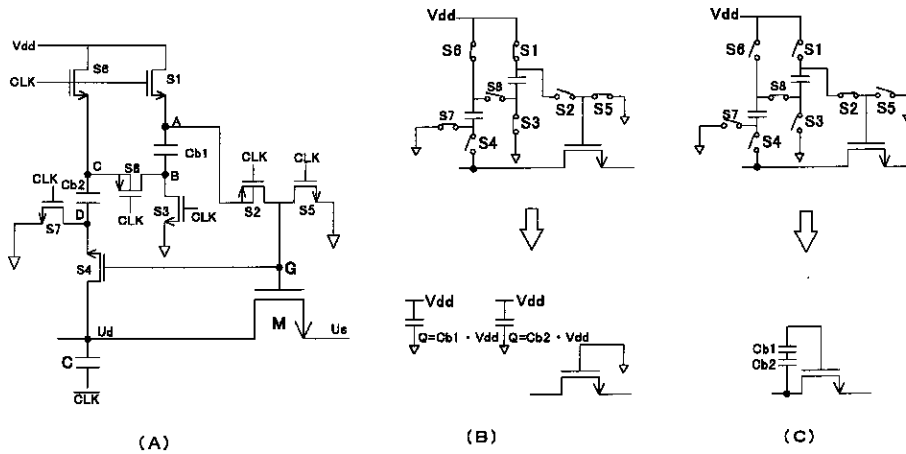


【図8】

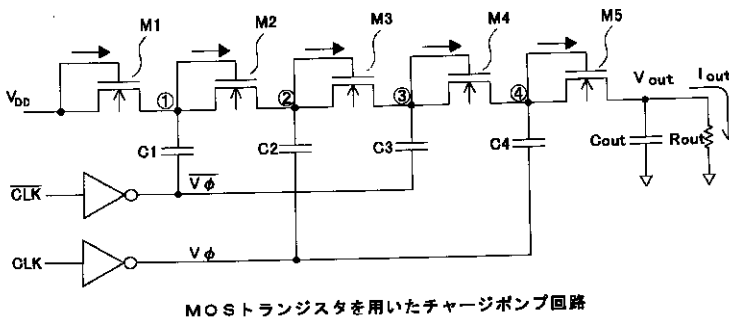
チャージポンプ回路のシミュレーション結果



【図9】



【図12】



フロントページの続き

(72)発明者 傘 コウ  
群馬県桐生市平井町3丁目20番地 平井八  
イツ 303号

(72)発明者 名野 隆夫  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内