

デルタシグマ型時間デジタイザ回路設計と アナログFPGA実現

群馬大学大学院理工学府電子情報部門
小林研究室 博士前期課程2年

○中條剛志 平林大樹 小林春夫

アウトライン

- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- まとめ

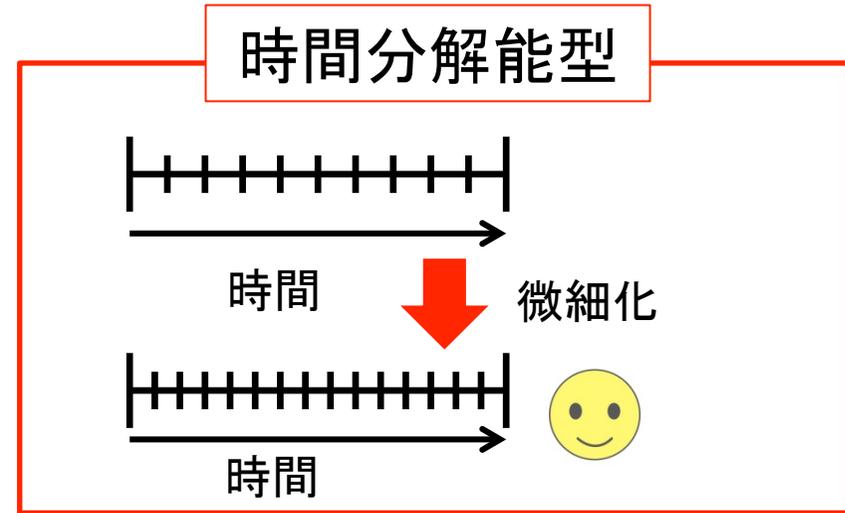
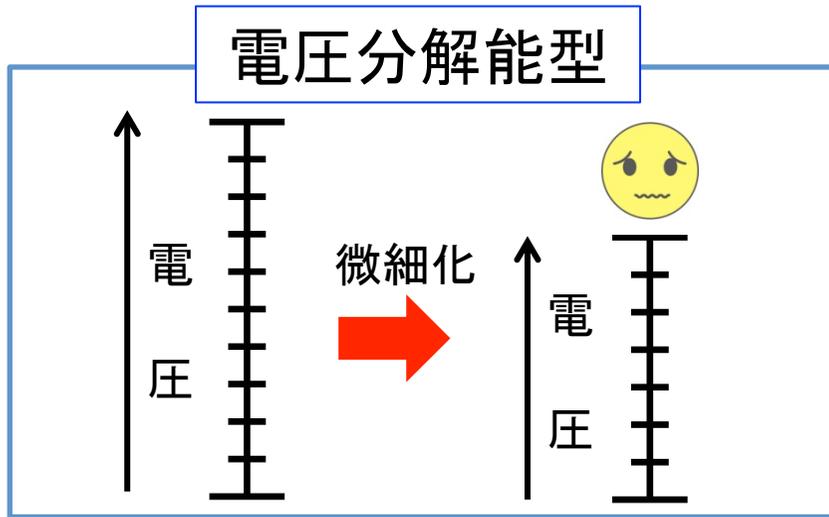
- **研究背景**
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- まとめ

研究背景

微細化CMOS LSI



電源電圧の低下
動作スイッチングスピードの向上

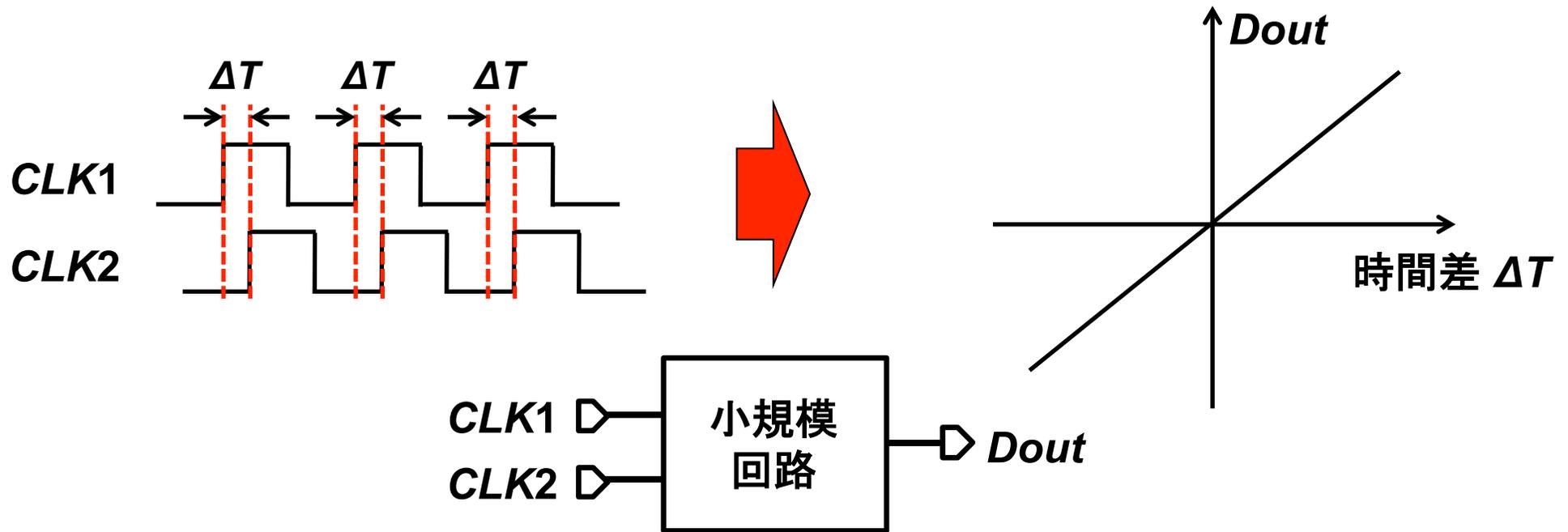


TDC (Time-to-Digital Converter) は2つのデジタル信号の時間差をデジタル値に変換



微細化CMOS LSIにおいて、TDCは時間領域アナログ回路のカギとなる
(センサ回路, All-Digital PLL, ADC, 変調回路,
高速インターフェイス回路のテスト等)

研究目的



- クロック間の時間差を
高時間分解能、高線形性
比較的短時間、デジタル値で計測する
小規模回路を開発・実機検証

アプローチ

Data Weighted Averaging(DWA) を
用いたマルチビット $\Delta\Sigma$ TDC回路を検討

-  **$\Delta\Sigma$ TDC 回路**
 - 高時間分解能
 - 小規模回路
 - デジタル値計測
-  **マルチビット**
 - 測定時間短縮
-  **DWAアルゴリズム**
 - 線形性向上

アウトライン

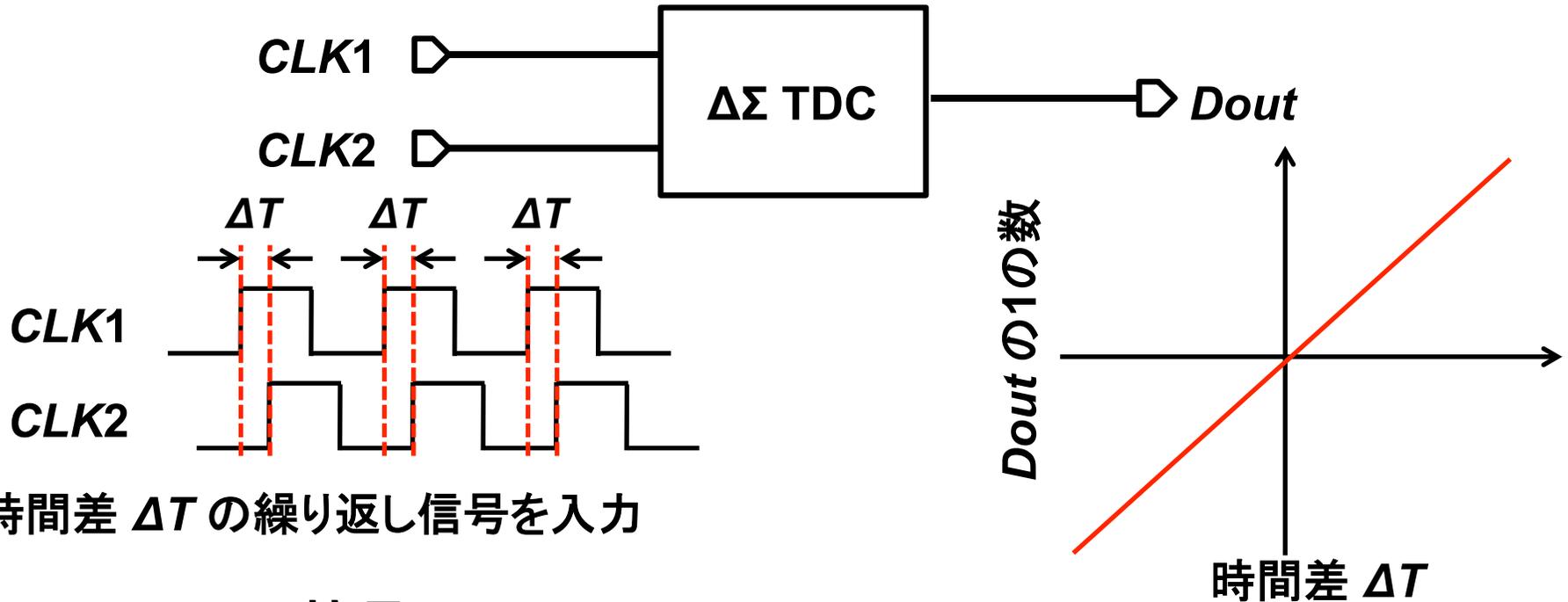
- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- まとめ

時間計測と $\Delta\Sigma$ TDC

繰り返し信号の時間差 ΔT の測定



デルタシグマ型TDC ($\Delta\Sigma$ TDC)



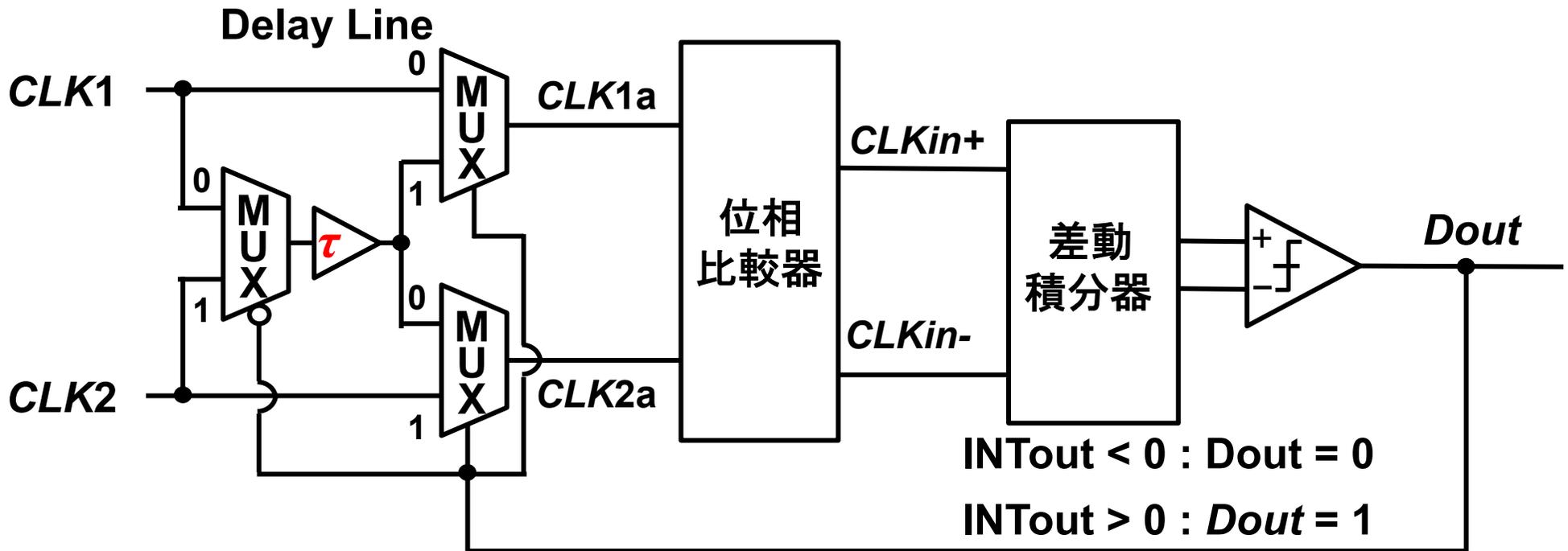
時間差 ΔT の繰り返し信号を入力

$\Delta\Sigma$ TDCの特長

- 簡単な回路構成で回路量が少ない
- 高線形性
- 測定時間に比例して時間分解能が向上

時間差 $\Delta T \propto$ Dout の1の数

シングルビット $\Delta\Sigma$ TDCの構成



時間分解能 : $\frac{2\tau}{Doutの全体の数N_{DATA} (0と1の合計)}$

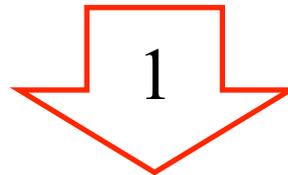
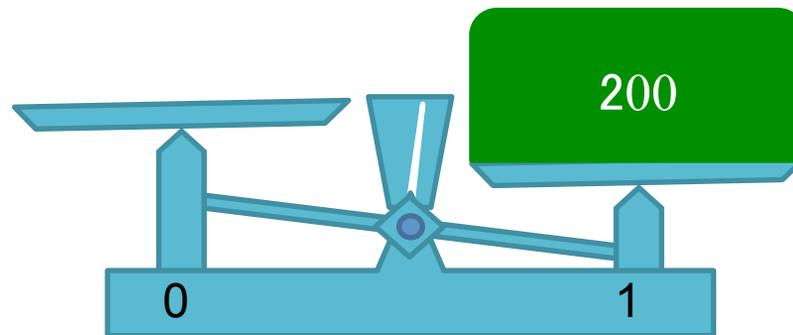
測定可能範囲 : $-\tau < \Delta T < +\tau$

遅延時間 τ によって時間分解能と測定可能範囲が変化

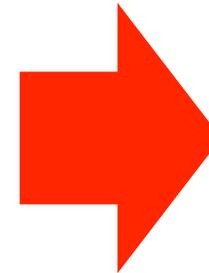
デルタシグマTDCの動作概念1

例: 入力時間差+50ns, 遅延素子150ns

入力1回目  遅延素子: 150ns  入力時間差: +50ns



メモリ: 「1」



次回入力で左側に遅延素子を乗せる

デルタシグマTDCの動作概念2

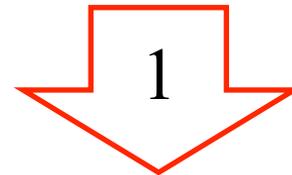
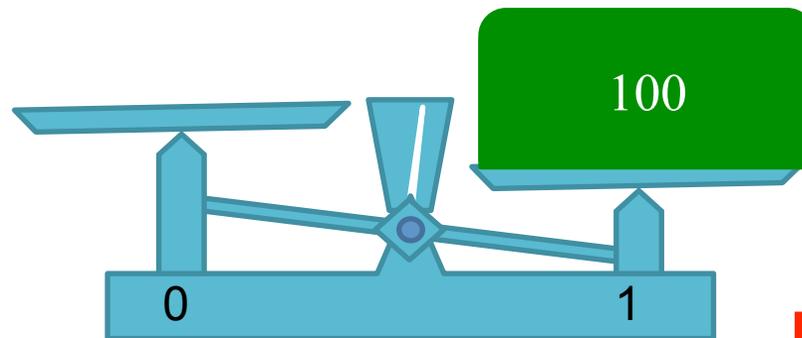
入力2回目

150

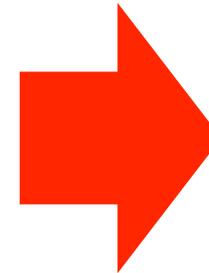
遅延素子: 150ns

50

入力時間差: +50ns



メモリ: 「1」1



次回入力で左側に遅延素子を乗せる

デルタシグマTDCの動作概念3

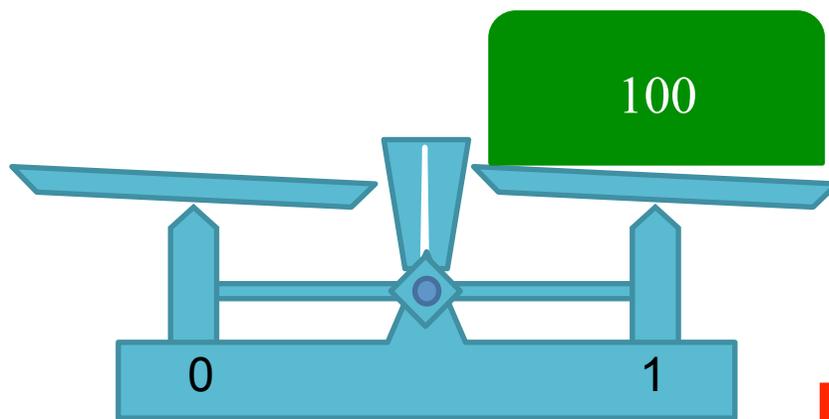
入力3回目

150

遅延素子: 150ns

50

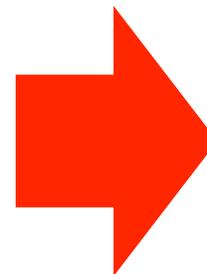
入力時間差: +50ns



コンパレータにより0と判定された場合

0

メモリ: 「0」11



次回入力で右側に遅延素子を乗せる

デルタシグマTDCの動作概念1

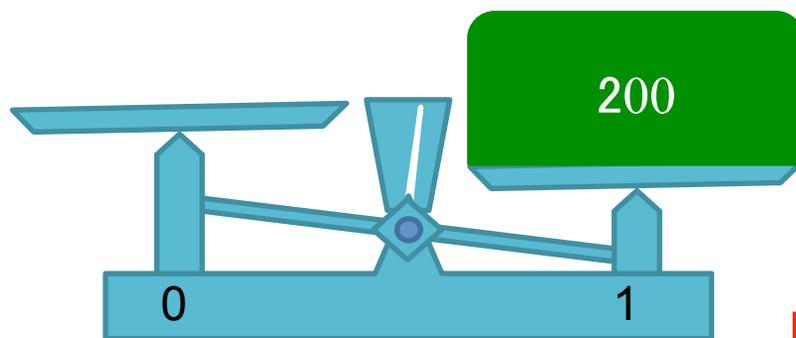
入力4(≒1)回目

150

遅延素子: 150ns

50

入力時間差: +50ns



左右の遅延の差が1回目入力終了時と等しい

次回入力で左側に遅延素子を乗せる

メモリ: 「1」011

デルタシグマTDCの動作概念5

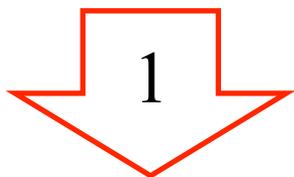
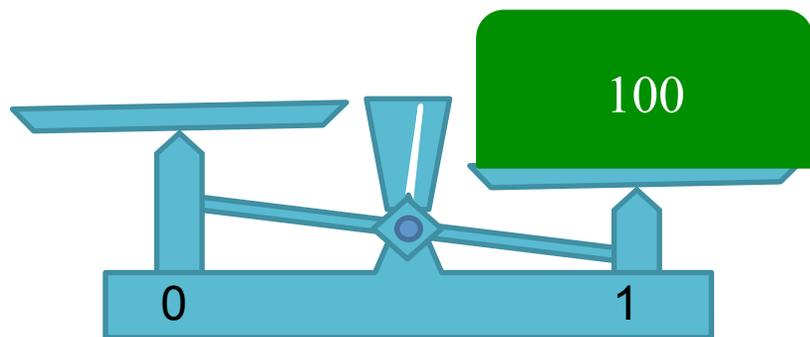
入力5(≒2)回目

150

遅延素子: 150ns

50

入力時間差: +50ns



メモリ: 「1」011

以降、2~4回目の天秤の状態を繰り返す

...「011」「011」「011」「011」



パルス列は1と0が2:1の比率

入力時間差が $1/3\tau = 50\text{ns}$ と計測

デルタシグマTDCの動作概念3`

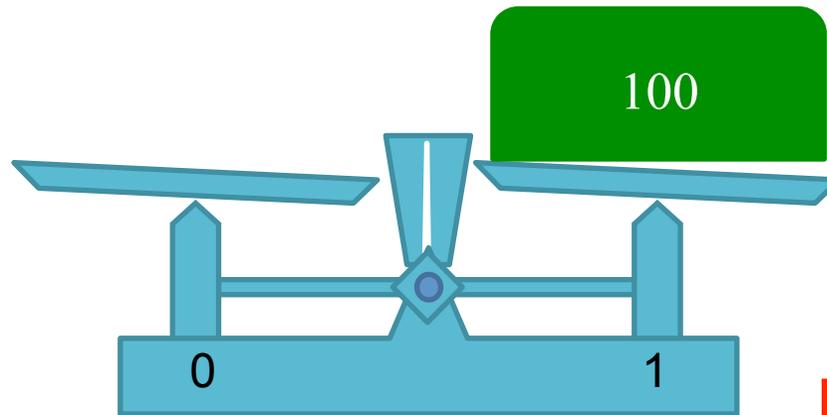
入力3回目

150

遅延素子: 150ns

50

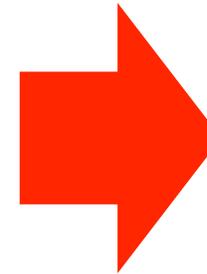
入力時間差: +50ns



コンパレータにより1と判定された場合

1

メモリ: 「1」11



次回入力で左側に遅延素子を乗せる

デルタシグマTDCの動作概念4`

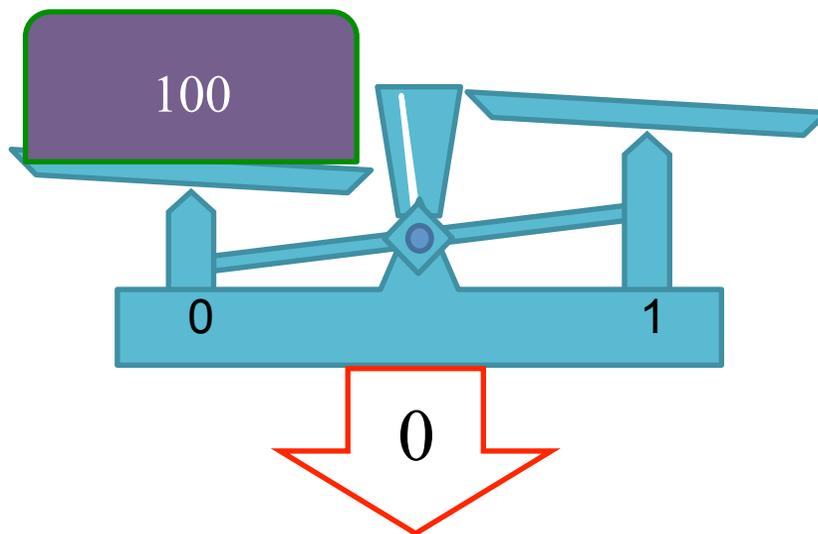
入力4回目

150

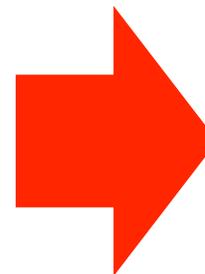
遅延素子: 200ns

50

入力時間差: +100ns



メモリ: 「0」111



次回入力で右側に遅延素子を乗せる

デルタシグマTDCの動作概念5`

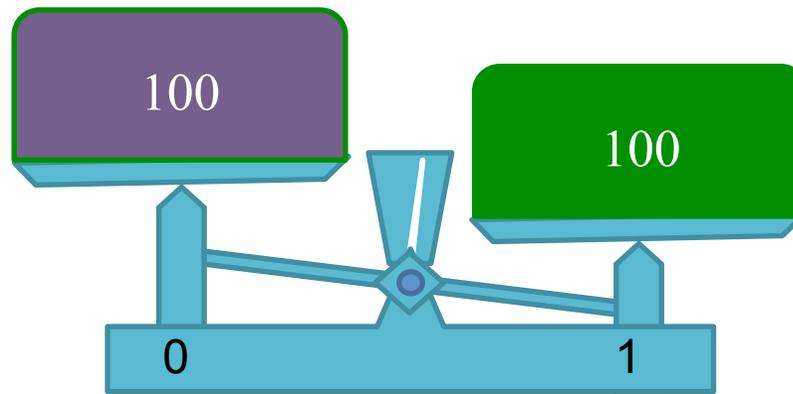
入力5回目

150

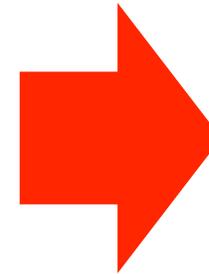
遅延素子: 150ns

50

入力時間差: +50ns



メモリ: 「1」0111



次回入力で左側に遅延素子を乗せる

デルタシグマTDCの動作概念6`

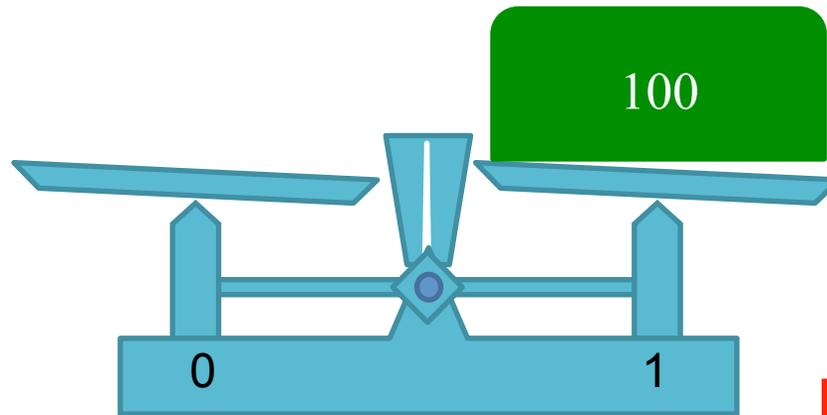
入力6回目

150

遅延素子: 150ns

50

入力時間差: +50ns



コンパレータにより1と判定された場合

1

メモリ: 「1」10111

左右の遅延の差が0ns
3回目入力終了時と等しい

次回入力で左側
に遅延素子を乗せる

デルタシグマTDCの動作概念7`

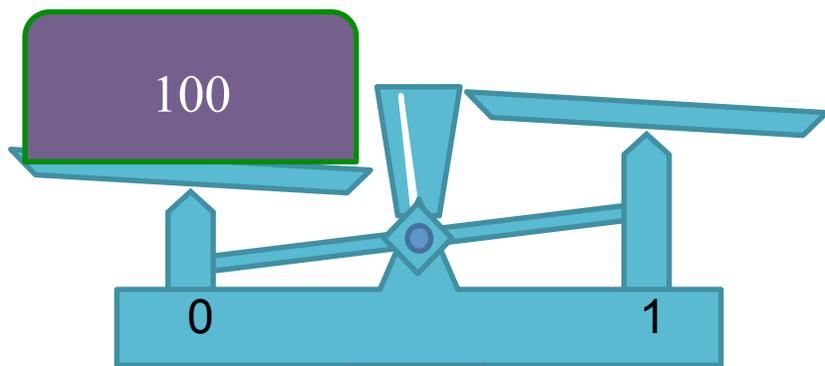
入力7(≒4)回目

150

遅延素子: 200ns

50

入力時間差: +100ns



0

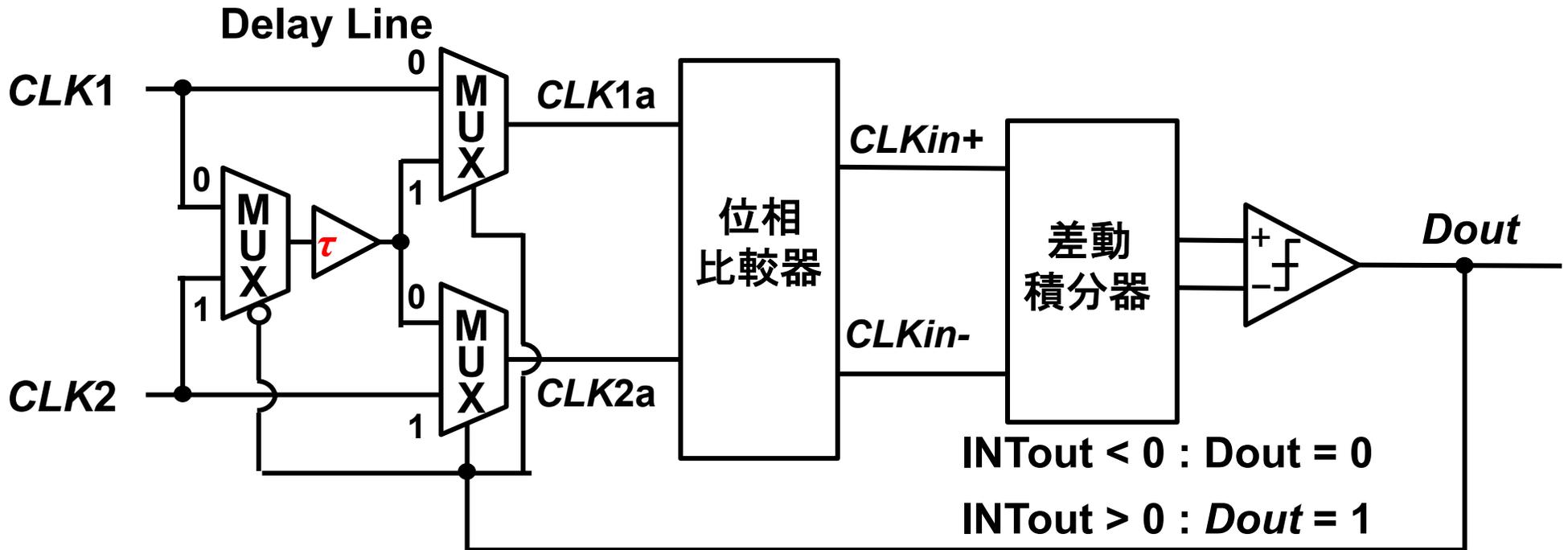
メモリ: 「0」110111

以降、5~7回目の天秤の状態を繰り返す

...「011」「011」「011」「011」1

入力時間差が $1/3\tau=50\text{ns}$
と計測

シングルビット $\Delta\Sigma$ TDCの特徴



利点

- 測定時間を十分に取ることにより,高時間分解能
- 高線形性
- 簡単な回路

欠点

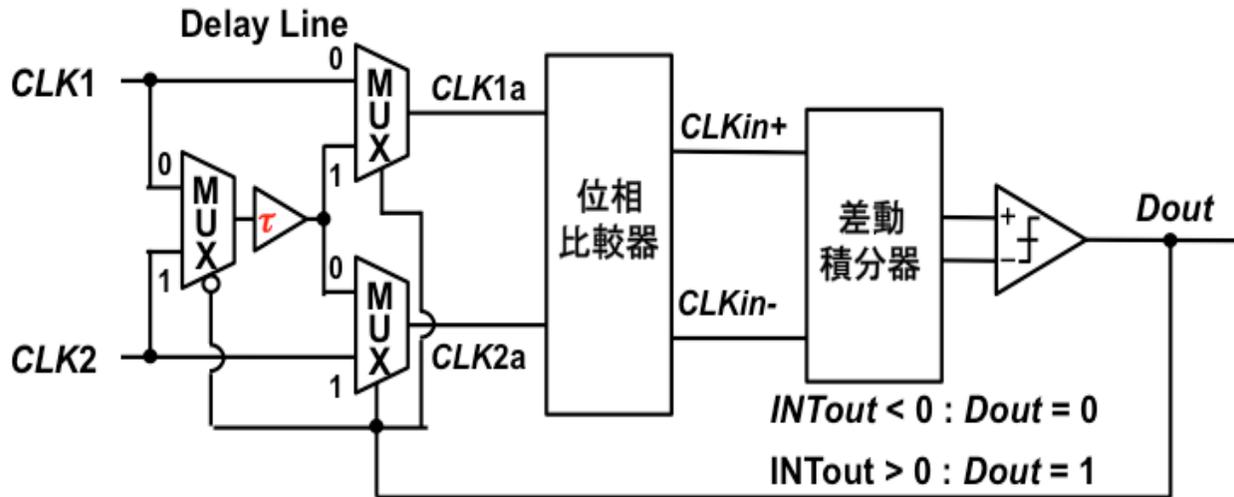
ややテスト時間が長い

アウトライン

- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- まとめ

TDCのマルチビット化

シングルビット $\Delta\Sigma$ TDC

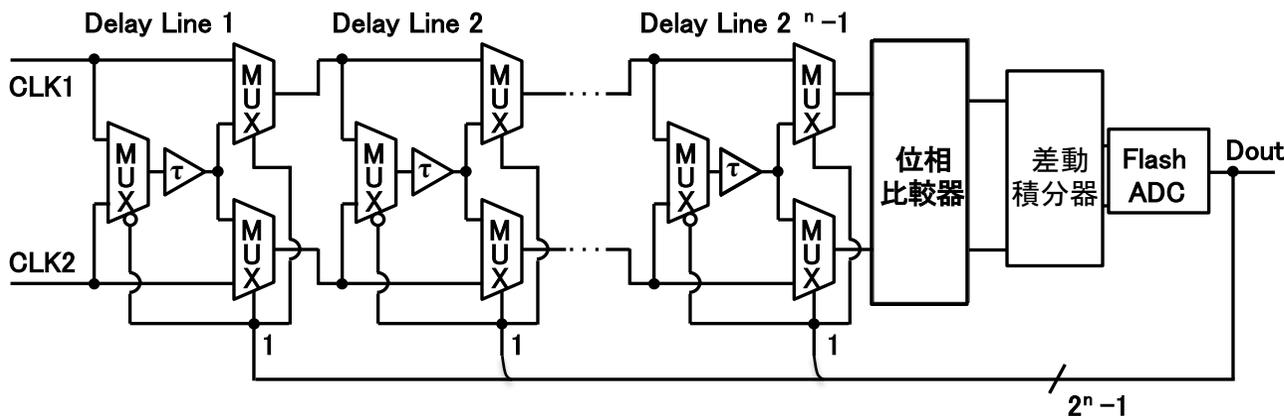


シングルビット $\Delta\Sigma$ TDC

- 簡単な回路
- 高時間分解能
- 高線形性
- ややテスト時間が長い

マルチビット化

マルチビット $\Delta\Sigma$ TDC



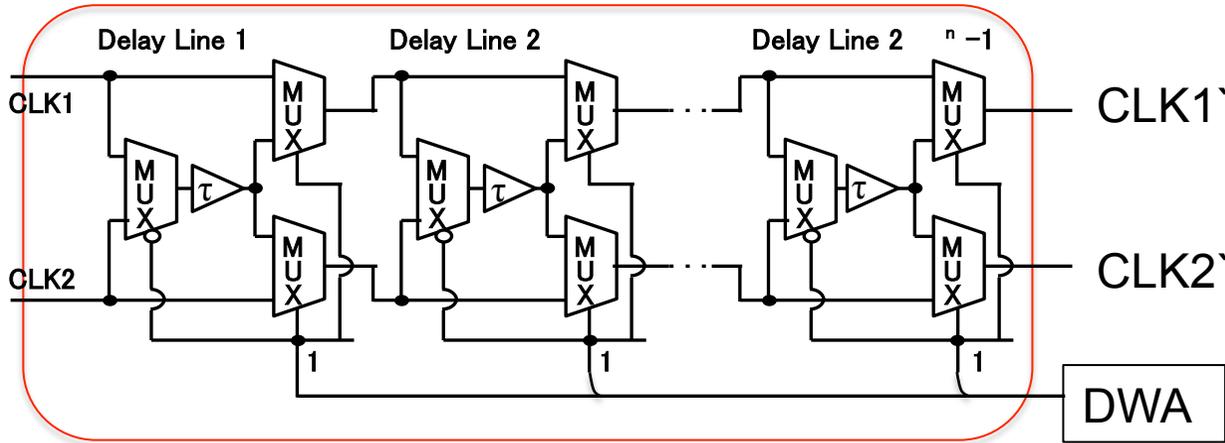
マルチビット $\Delta\Sigma$ TDC

- 簡単な回路
- 高時間分解能
- 短時間化(低コスト試験)
- 遅延素子のばらつきによる非線形性

PSoCで実現、評価を行う

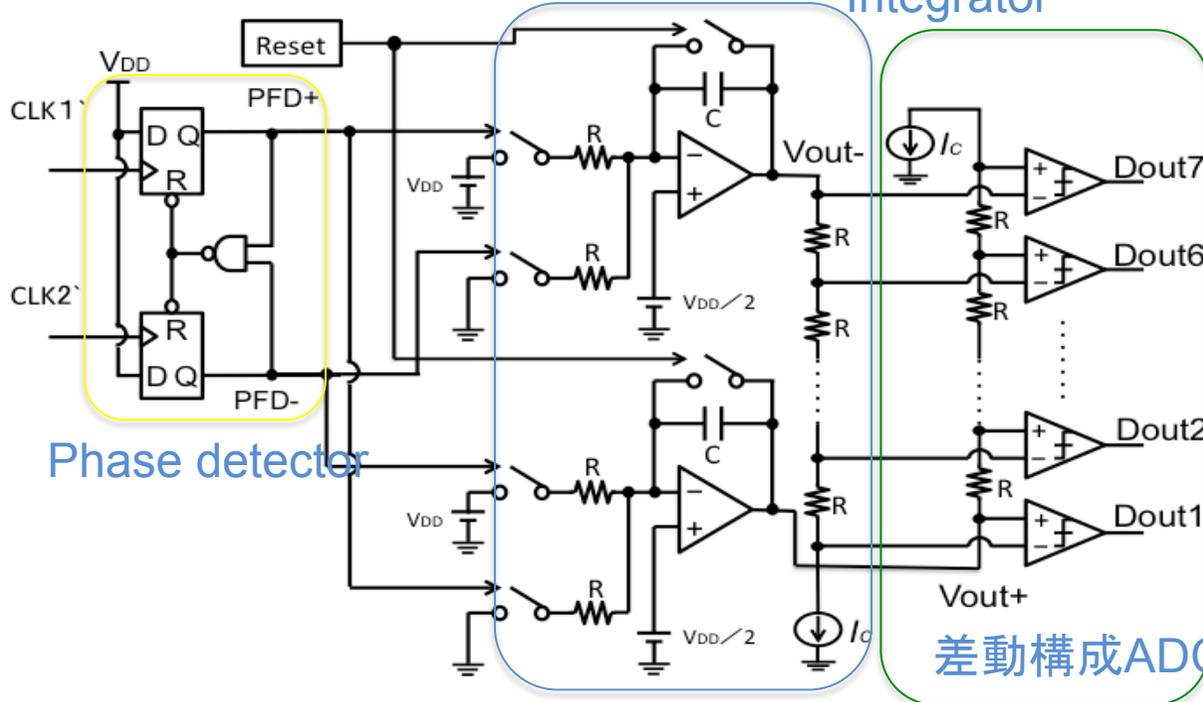
実装マルチビット $\Delta\Sigma$ TDC回路図

遅延線



- 3bitで実装
- 遅延素子は7個
- A/D変換機は7bit温度計コード出力の差動構成A/Dコンバータ

Integrator



Phase detector

差動構成ADC

測定可能範囲:

$$-7\tau < \Delta T < +7\tau$$

時間分解能:

$$14\tau$$

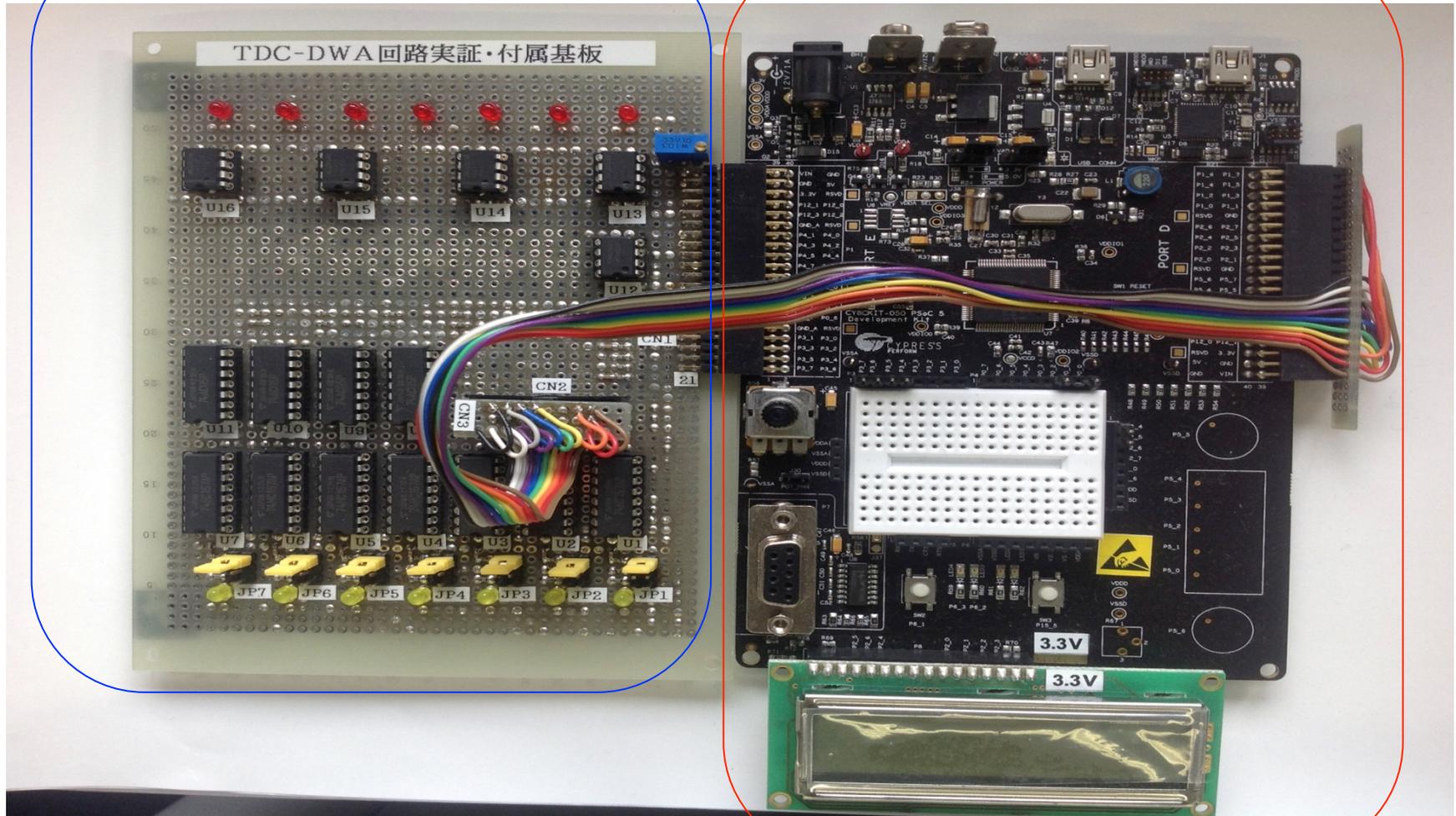
7×出力された0と1の合計

R=1k Ω
C=0.1 μ F
Vdd=5V
Ic=720 μ A

製作した $\Delta\Sigma$ マルチビットTDC

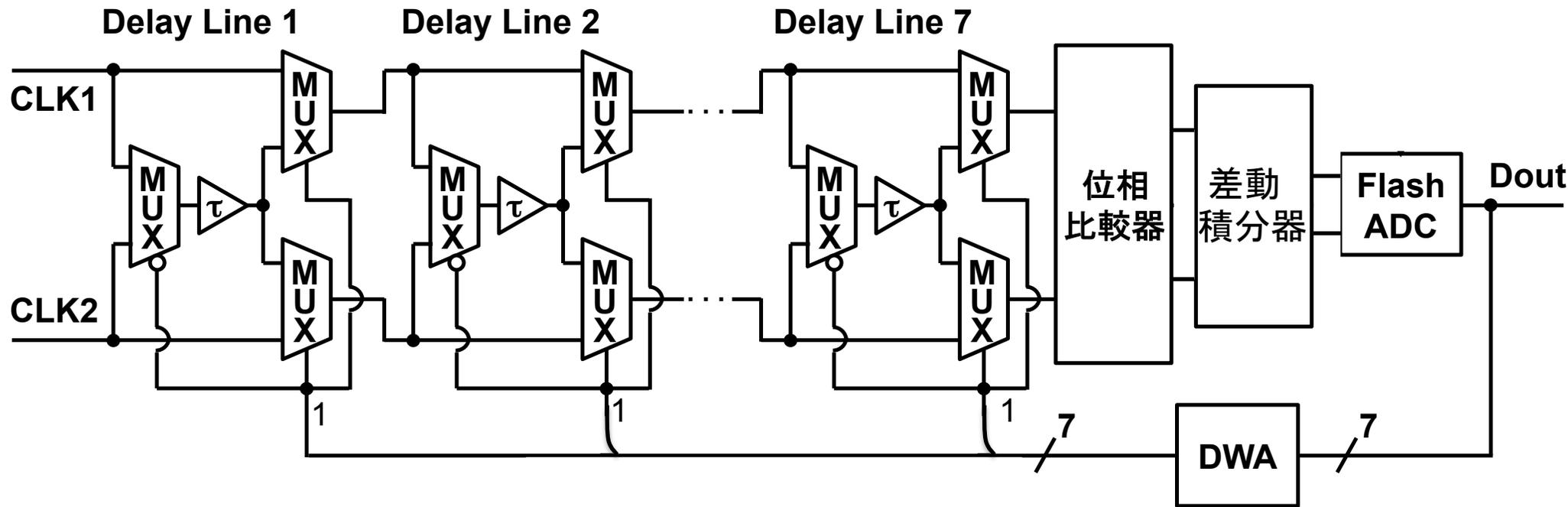
外部基板

PSoC



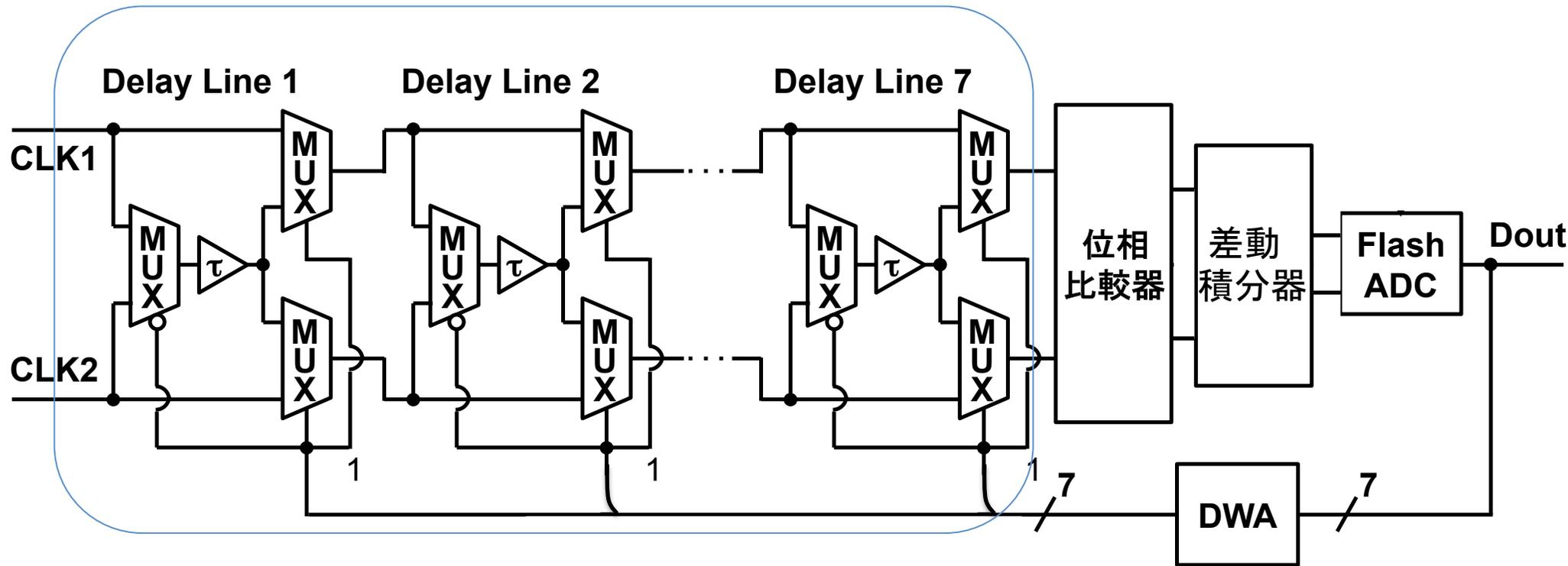
PSoC5LP(Programmable System-on-Chip, Cypress Semiconductor社)&
外部基板(遅延線,差動ADC,バッファ,DWA動作確認用LED)

回路構成



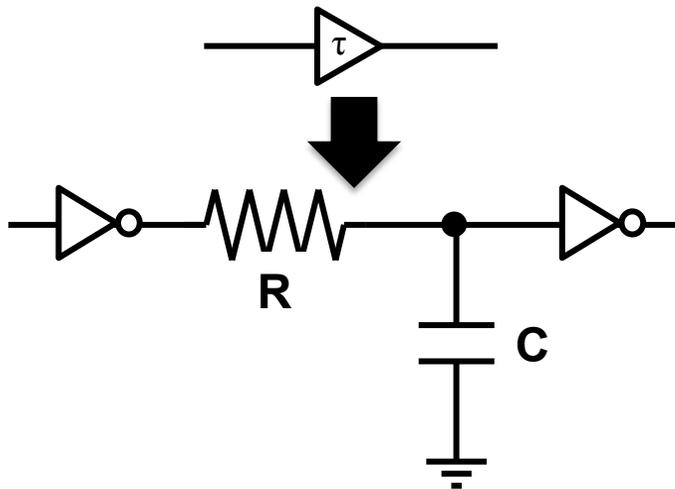
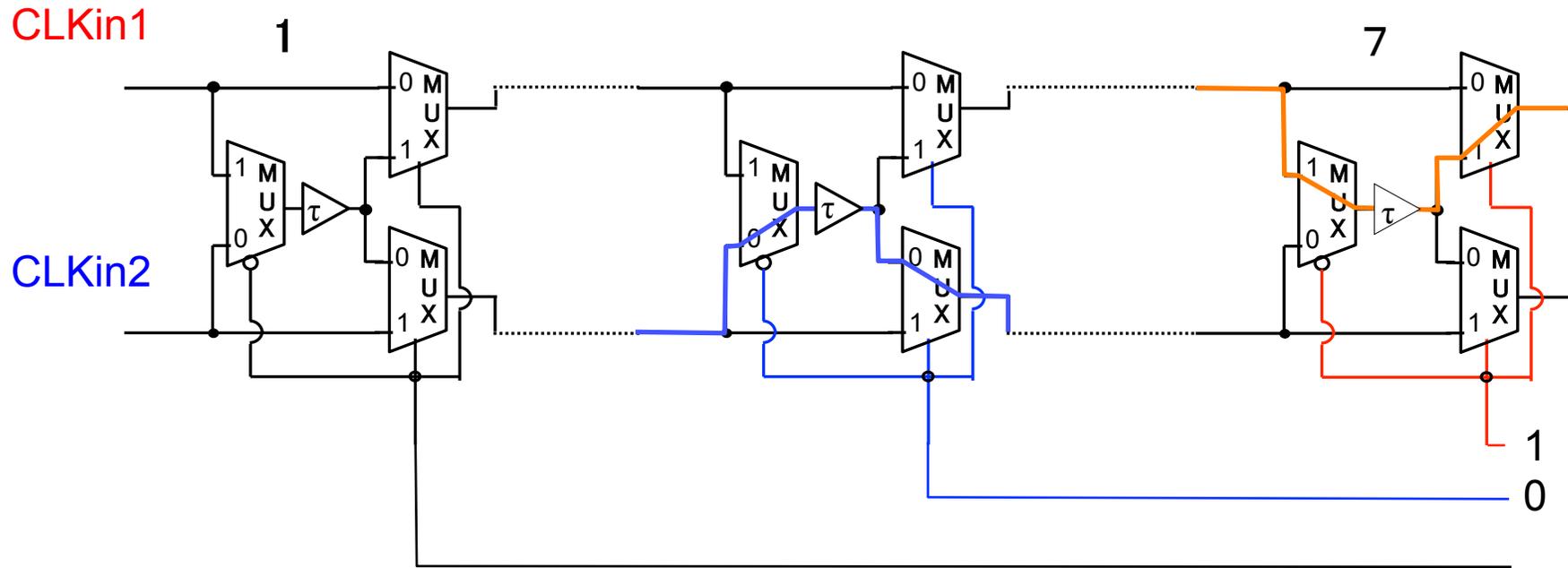
- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

回路構成 (遅延)セル配列



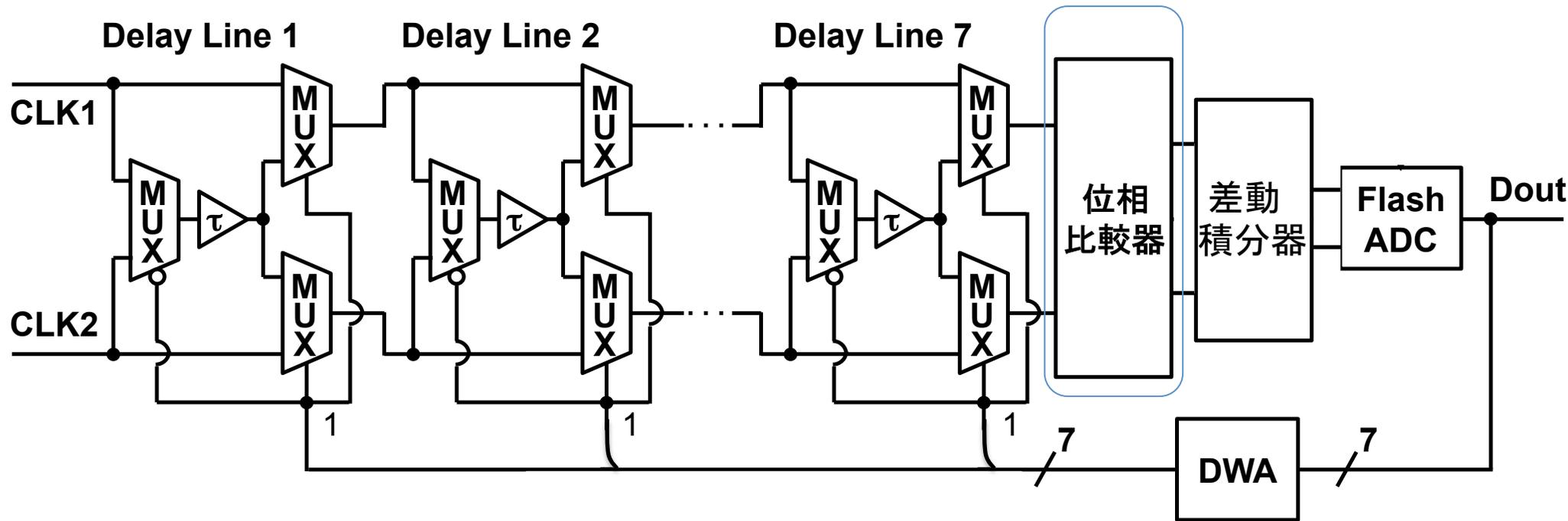
- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

遅延セル配列



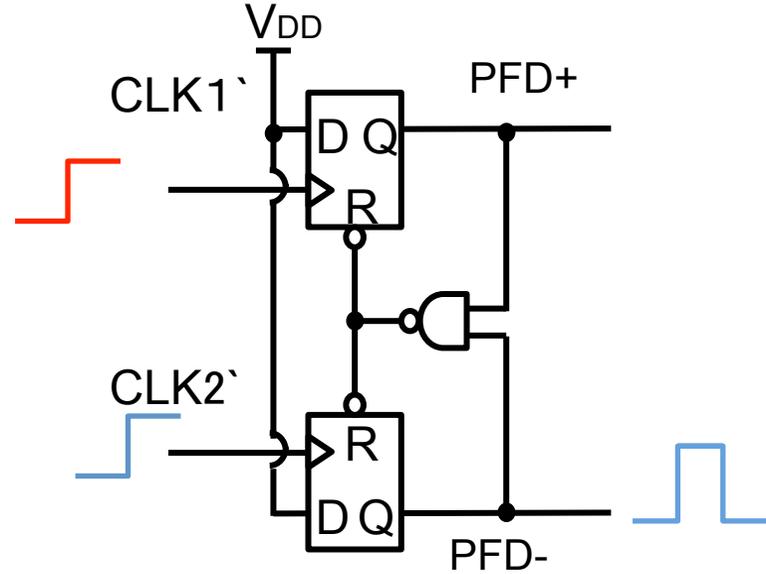
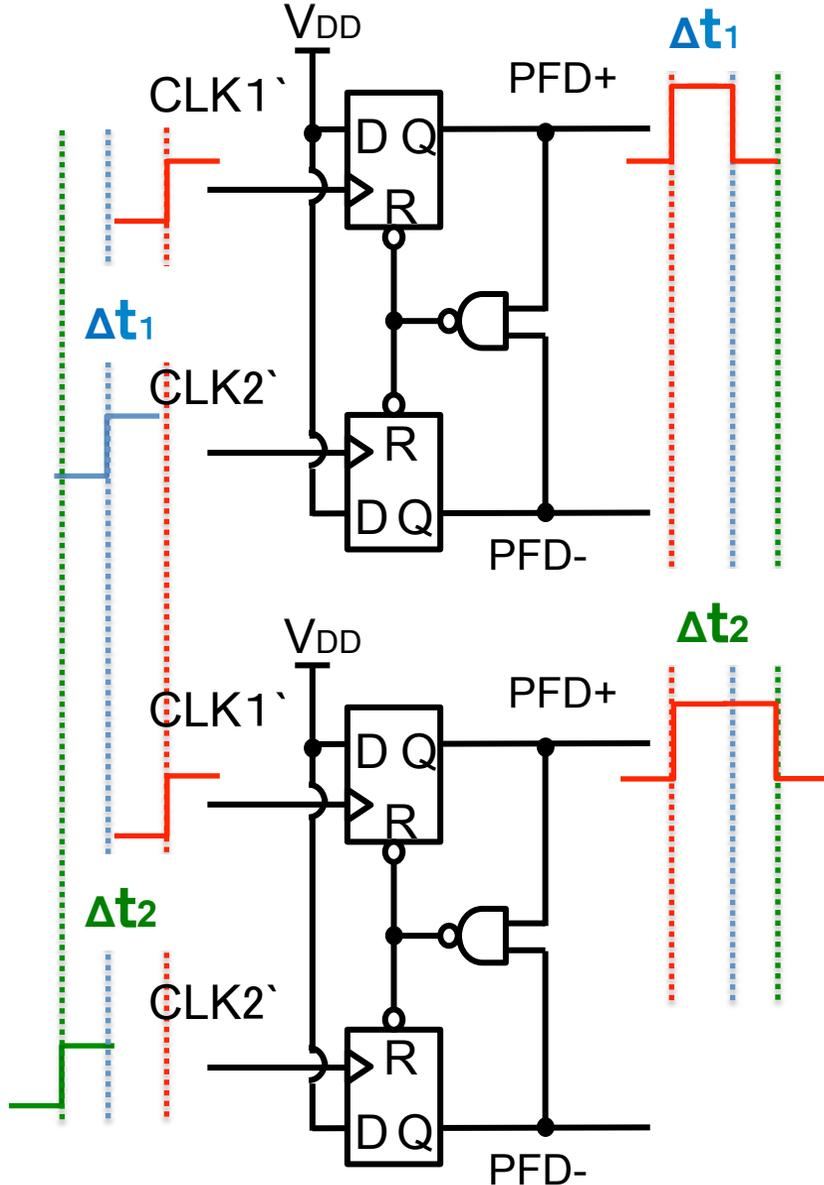
- DWA出力に応じてMUXにより遅延させる信号線変化
- 遅延値は $R=\{75,150,220\}\Omega, C=1000\text{pF}$

回路構成 位相比較器



- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

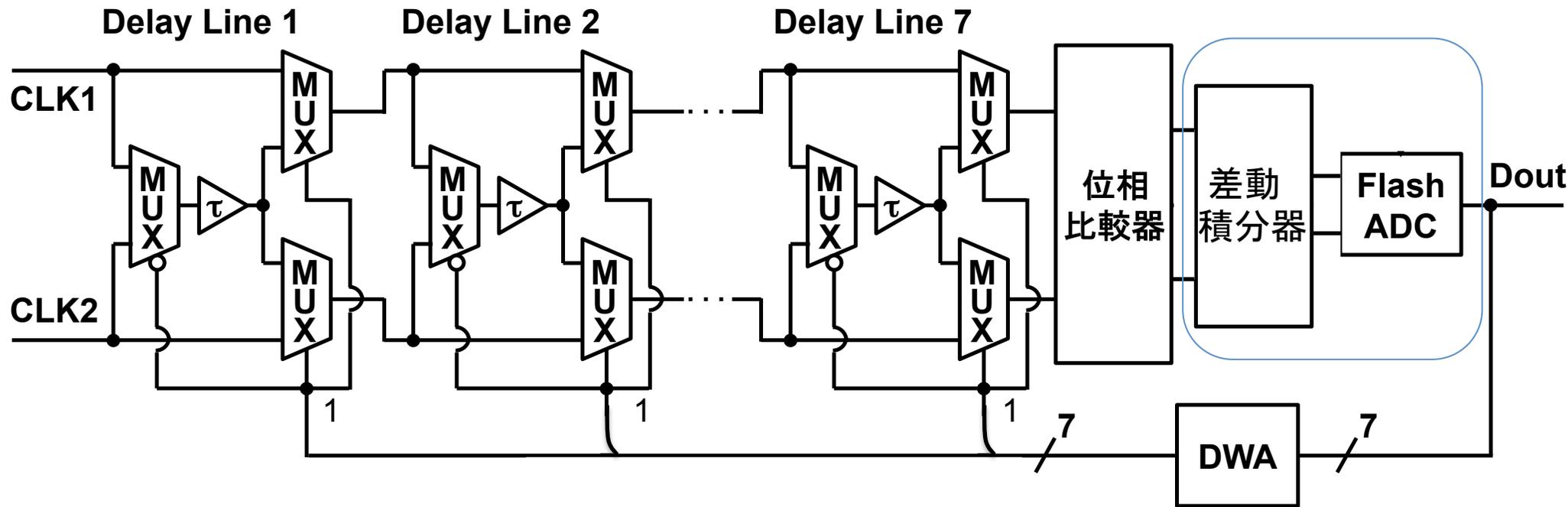
位相比較器



CLK1,2 が両方立ち上がった瞬間にQ=0とする

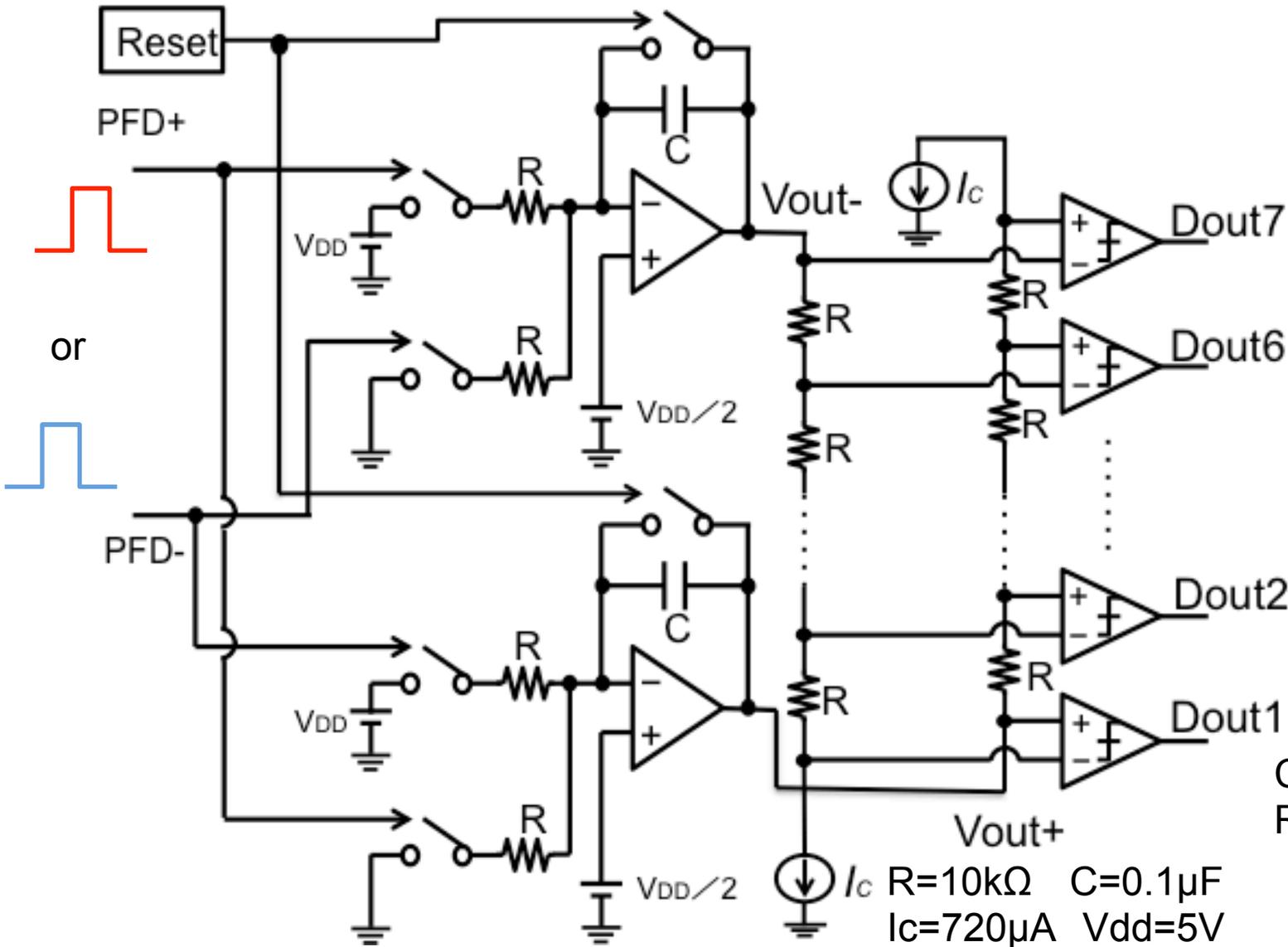
入力時間差に応じて出力立ち上がり時間が変化
出力を積分器に入力

回路構成 積分器&差動ADC



- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

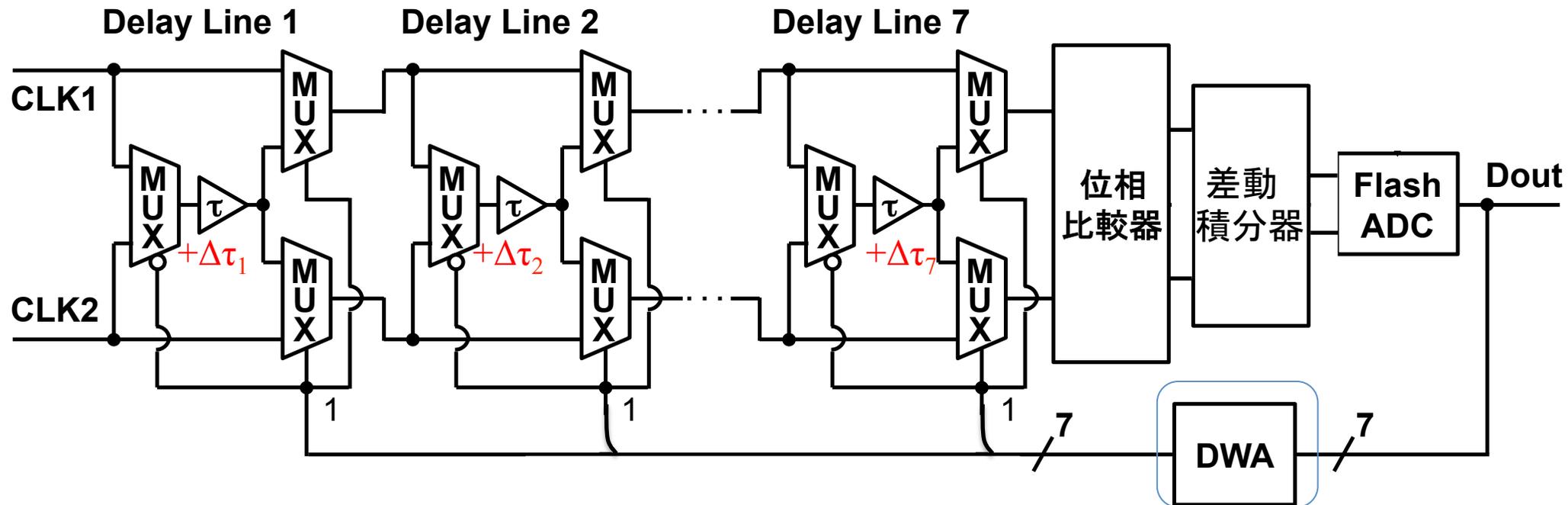
積分器&差動ADC



CLK入力毎にDoutを
RAMで記録

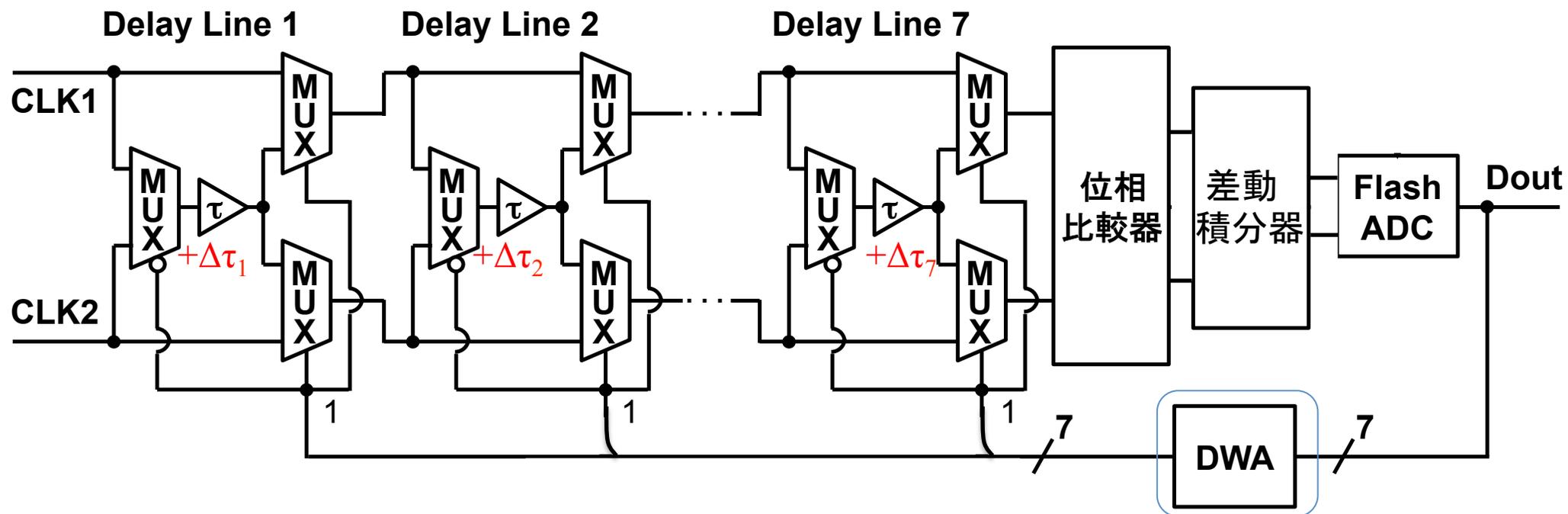
$R=10k\Omega$ $C=0.1\mu F$
 $I_c=720\mu A$ $V_{DD}=5V$

Data Weighted Averaging



- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- **Data Weighted Averaging(DWA)**

遅延素子間のばらつき



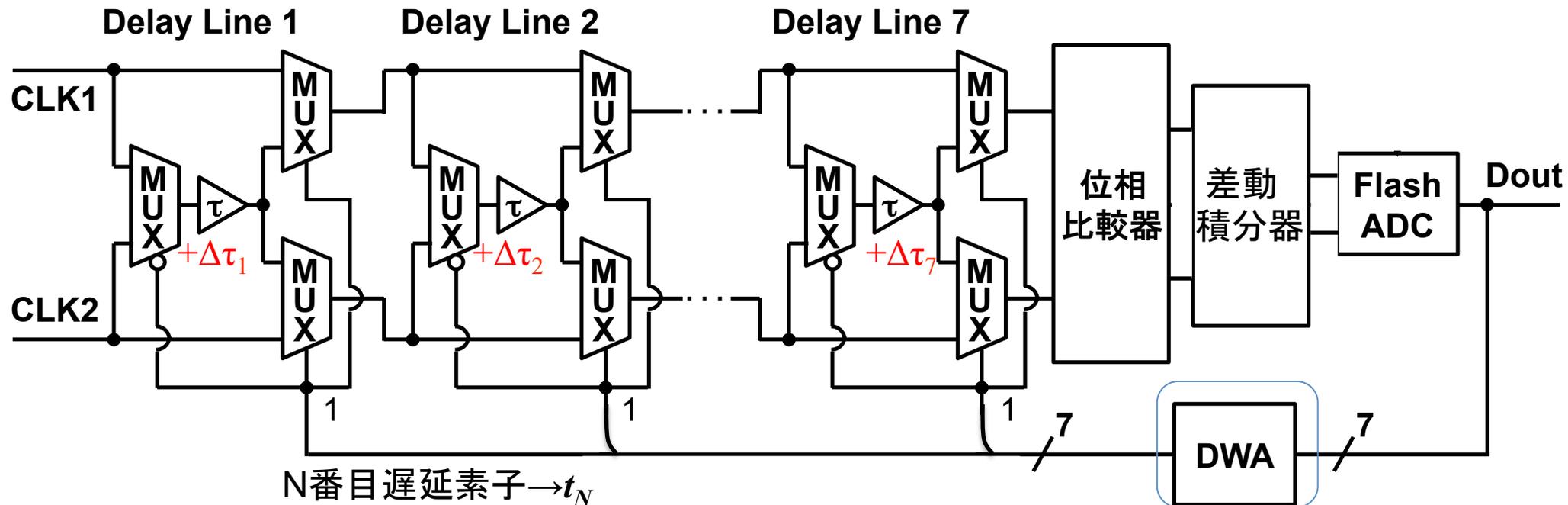
- 遅延セル配列
- 位相比較器
- 積分器&差動ADC
- DWA

遅延素子ばらつき $\Delta\tau_1, \Delta\tau_2, \dots, \Delta\tau_7$



TDC 特性は非線形になる

対策を講じない場合 (DWA を使用しない)



←TIMES

	1	2	3	4	5	6	7
4							
3							
2							
2							
5							
3							
4							
6							

CLK1
 CLK2

• 遅延素子のばらつきによる非線形性

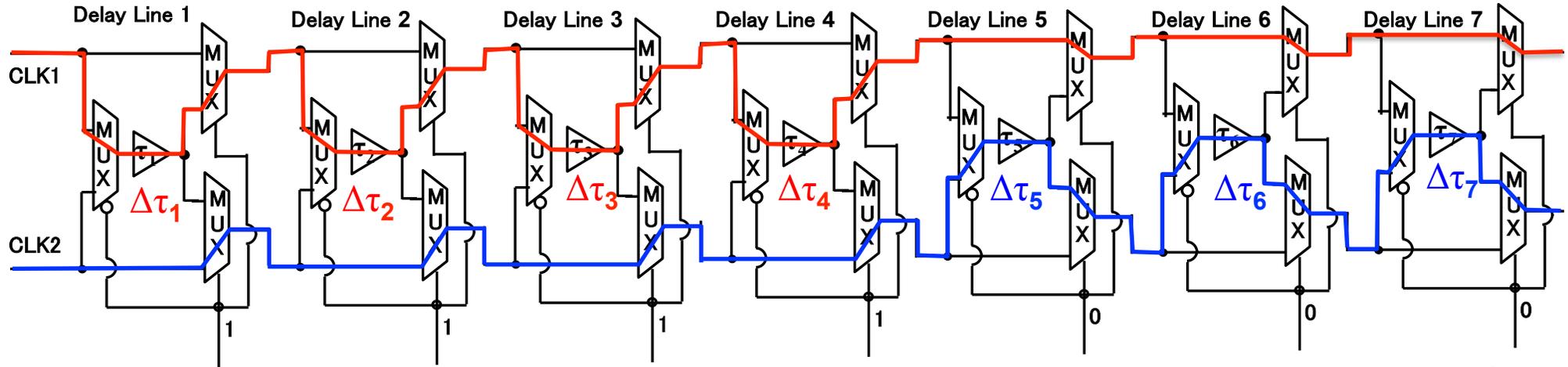
特定遅延素子を使用



誤差の累積

DWA未使用時 遅延セル mismatch

DWA未使用 TIME N



N回目入力が4、N+1回目入力が3
DWA未使用

位相比較器には

$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7)$
の遅延素子由来誤差発生

$$\tau_N = \tau + \Delta\tau_N$$

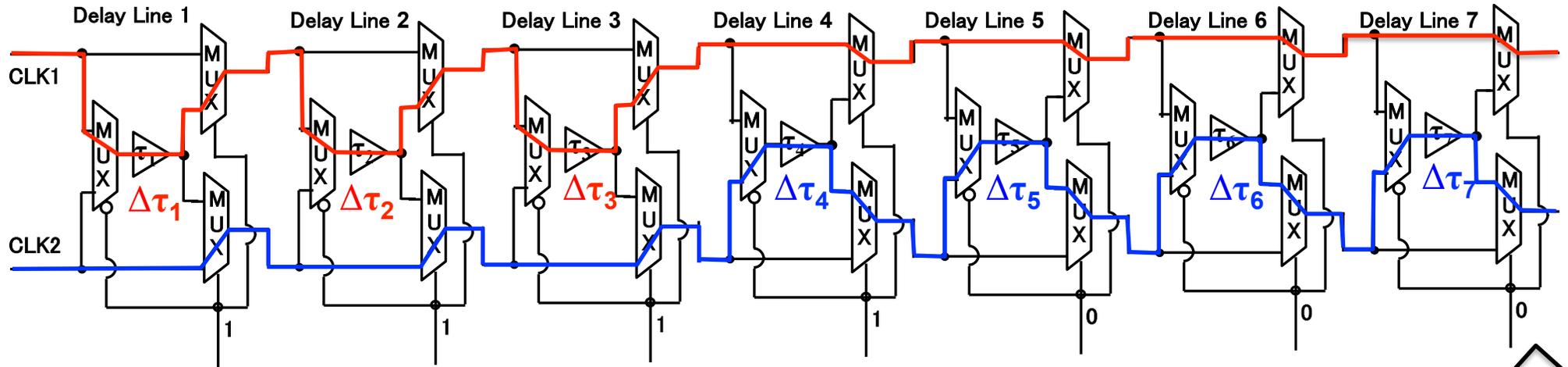
τ_N : N番目遅延量 τ : 平均遅延量
 $\Delta\tau_N$: 遅延量誤差

積分器では

$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{1}$
の誤差発生

DWA未使用時 遅延セルミスマッチ

DWA未使用 TIME N+1



N回目入力が4、N+1回目入力が3
DWA未使用

$$\tau_N = \tau + \Delta\tau_N$$

τ_N : N番目遅延量 τ : 平均遅延量
 $\Delta\tau_N$: 遅延量誤差

位相比較器には

$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 - (\Delta\tau_4 + \Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{2}$
の遅延素子由来誤差発生

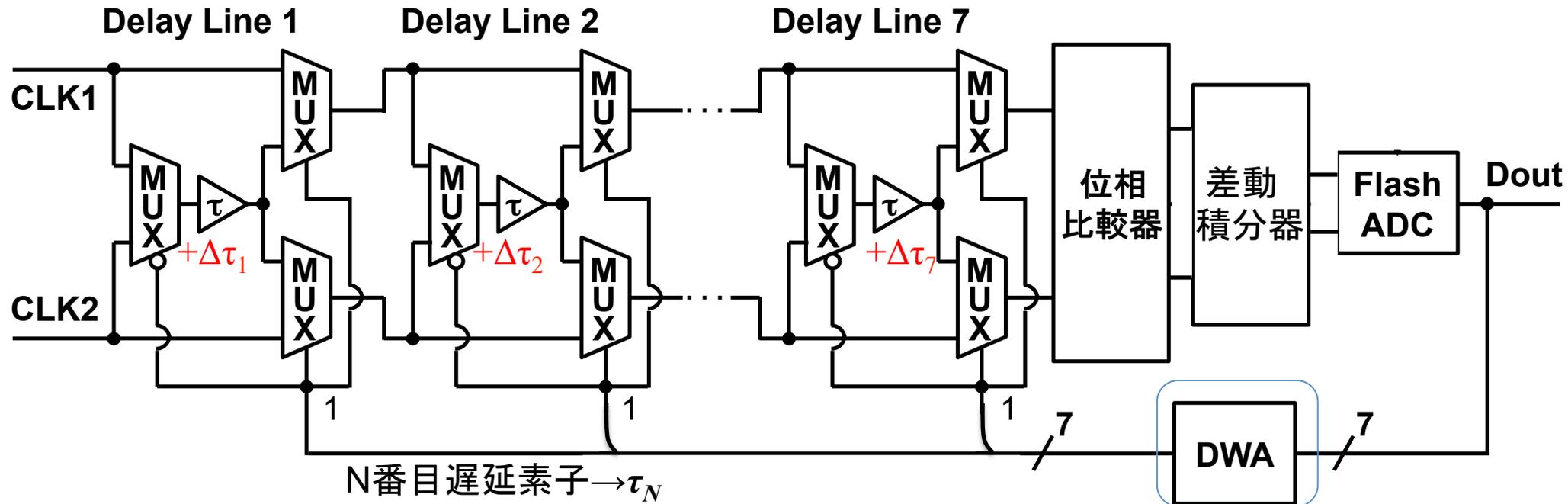
積分器は①+②より

$2\{\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7)\}$
の誤差発生



誤差の累積

Data Weighted Averaging (DWA)



- 遅延素子のばらつきによる非線形性
使用する遅延素子を順々に交代



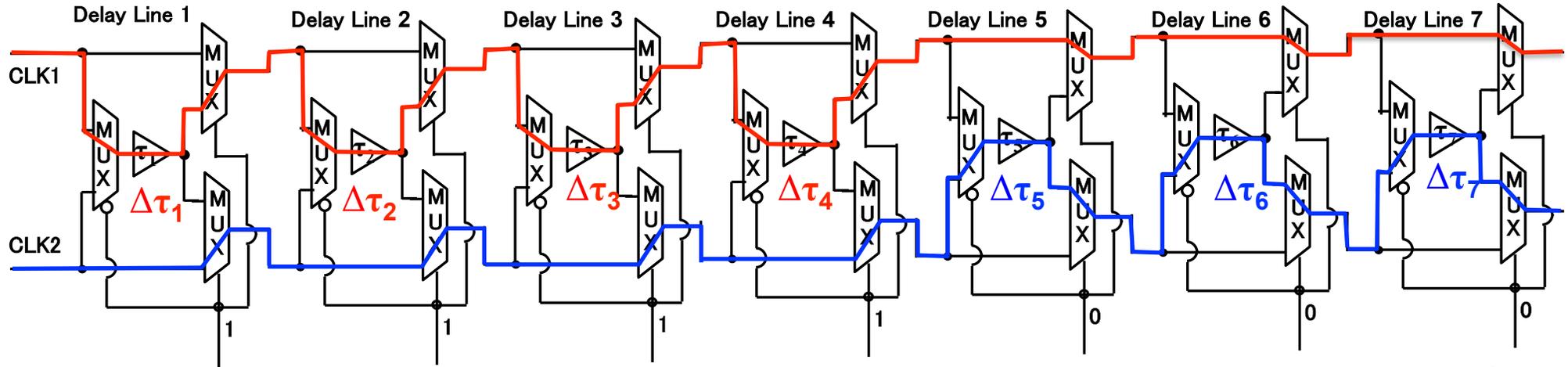
誤差が時間平均される

←TIMES

Digital Input	1	2	3	4	5	6	7
4	→						
3					→		
2	→						
2			→				
5	→				→		
3			→				
4	→					→	
6	→		→				

DWA使用時 遅延セル mismatches

DWA使用 TIME N



N回目入力が4、N+1回目入力が3
DWA使用

$$\tau_N = \tau + \Delta\tau_N$$

τ_N : N番目遅延量 τ : 平均遅延量
 $\Delta\tau_N$: 遅延量誤差

位相比較器には

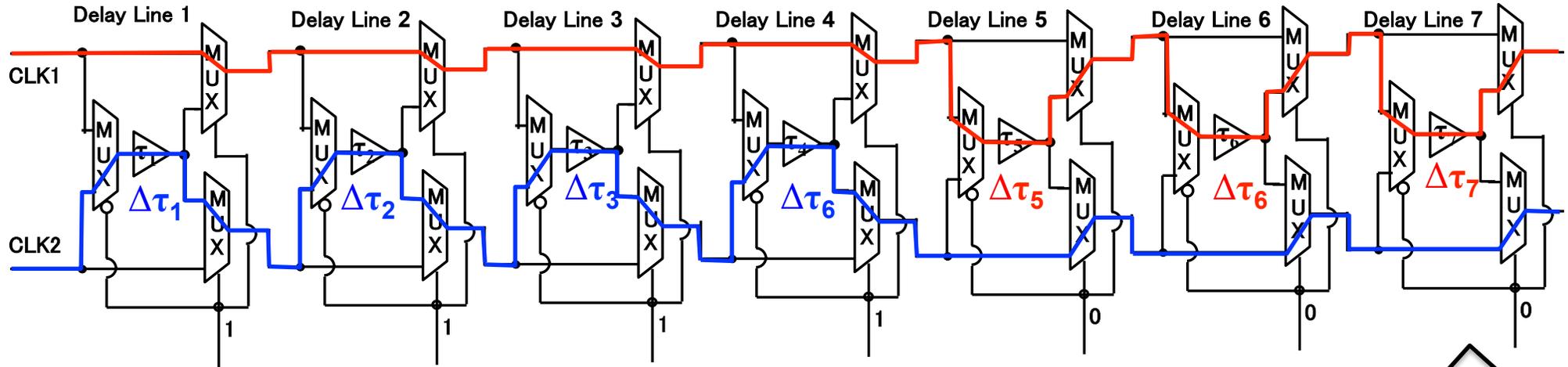
$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7)$
の遅延素子由来誤差発生

積分器では

$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{1}$
の誤差発生

DWA使用時 遅延セル mismatches

DWA使用 TIME N+1



N回目入力が4、N+1回目入力が3
DWA使用

$$\tau_N = \tau + \Delta\tau_N$$

τ_N : N番目遅延量 τ : 平均遅延量
 $\Delta\tau_N$: 遅延量誤差

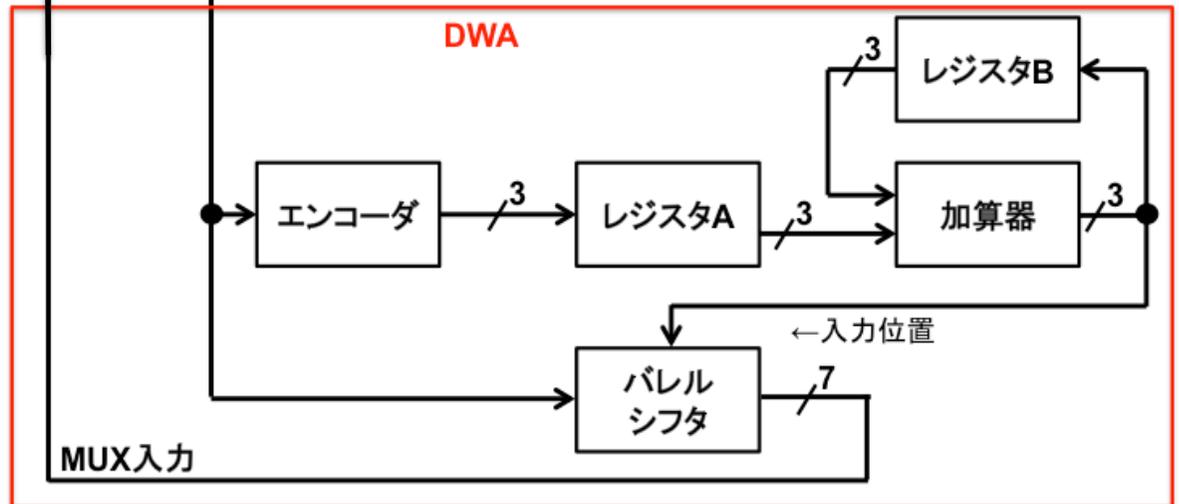
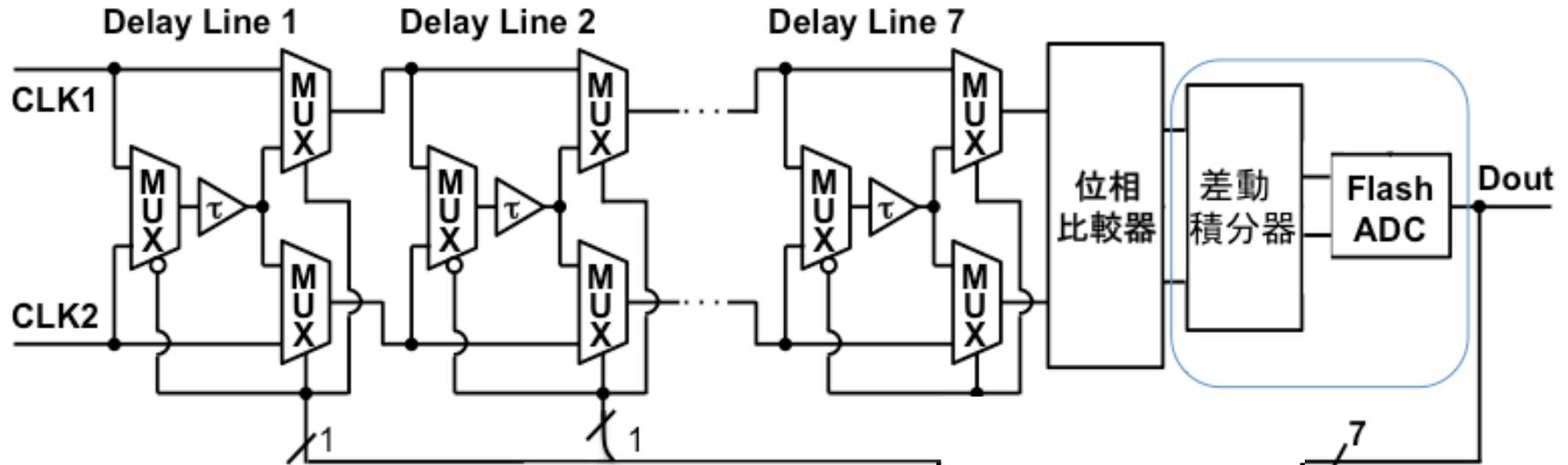
位相比較器には

$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{2}$
の遅延素子由来誤差発生

$\Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{1}$
 $+ \Delta\tau_1 + \Delta\tau_2 + \Delta\tau_3 + \Delta\tau_4 - (\Delta\tau_5 + \Delta\tau_6 + \Delta\tau_7) \dots \textcircled{2}$
積分器で誤差が打ち消される

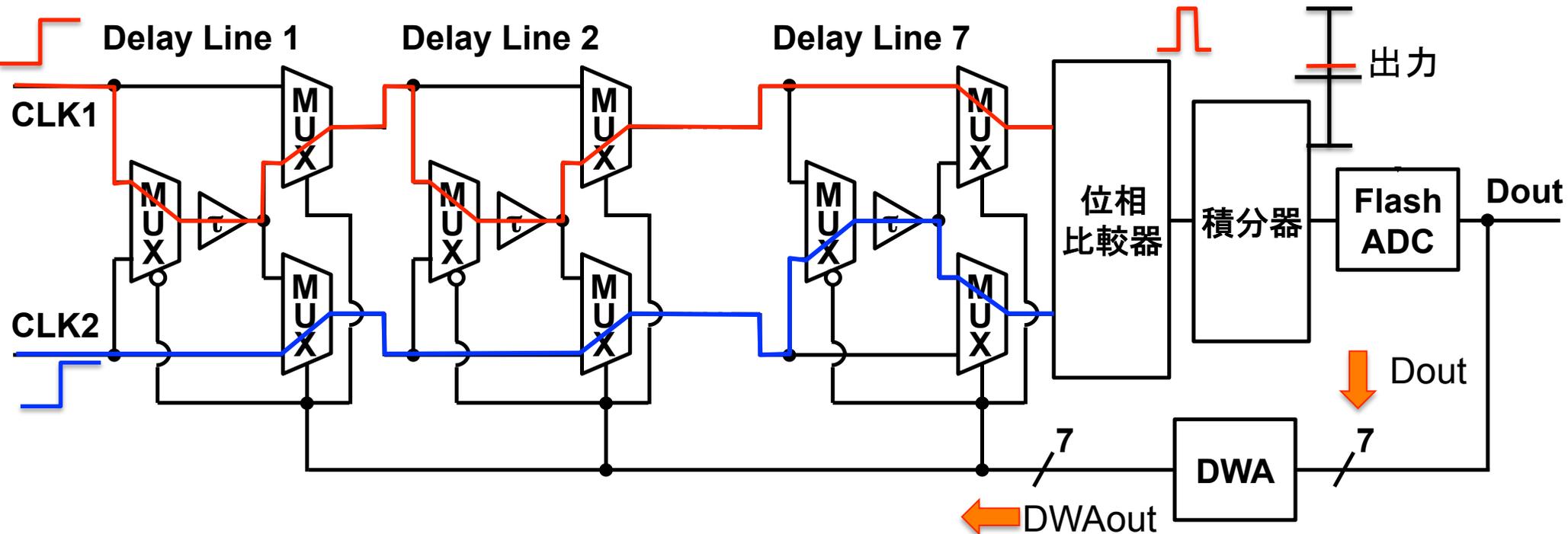
DWAで時間平均化

DWA実現回路



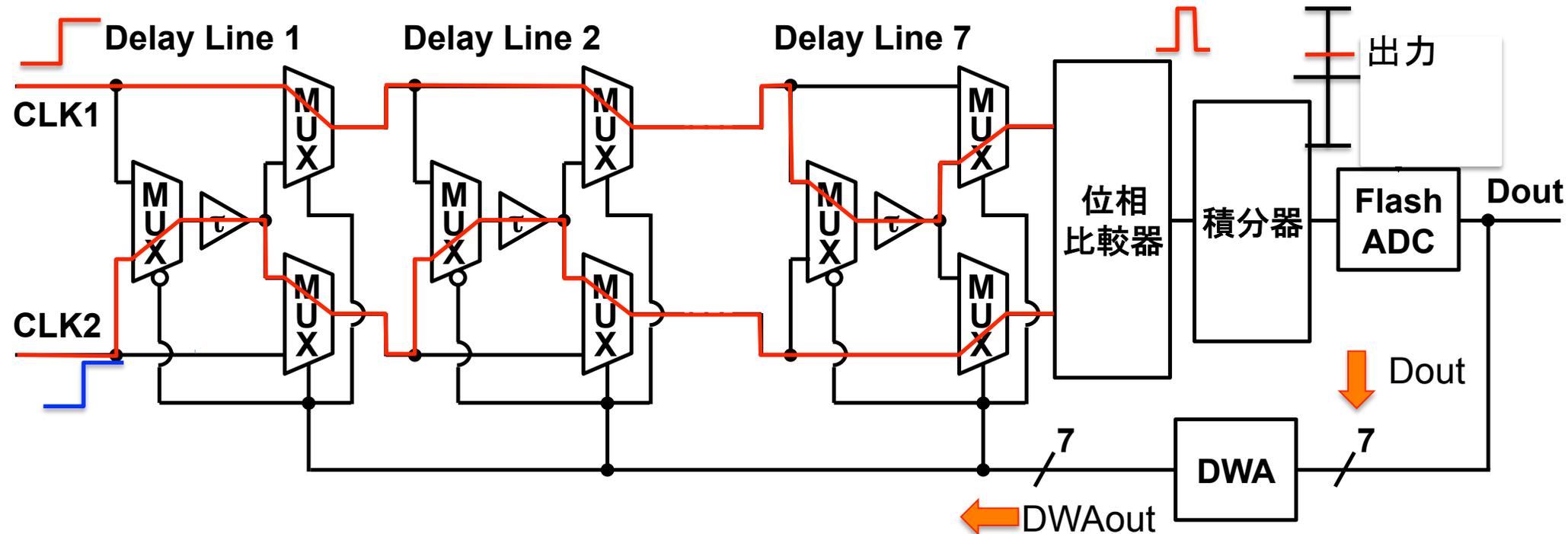
エンコーダ,レジスタ,
加算器,バレルシフタ
で実現可能

マルチビット $\Delta\Sigma$ TDC回路動作(入力1回目)



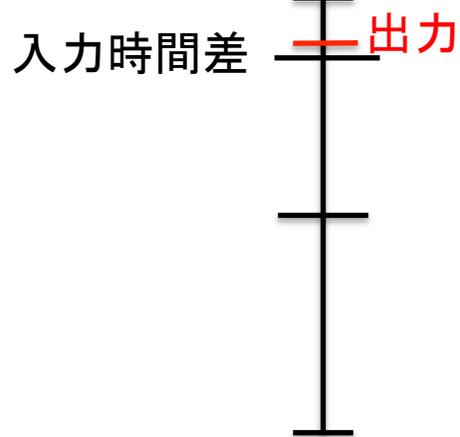
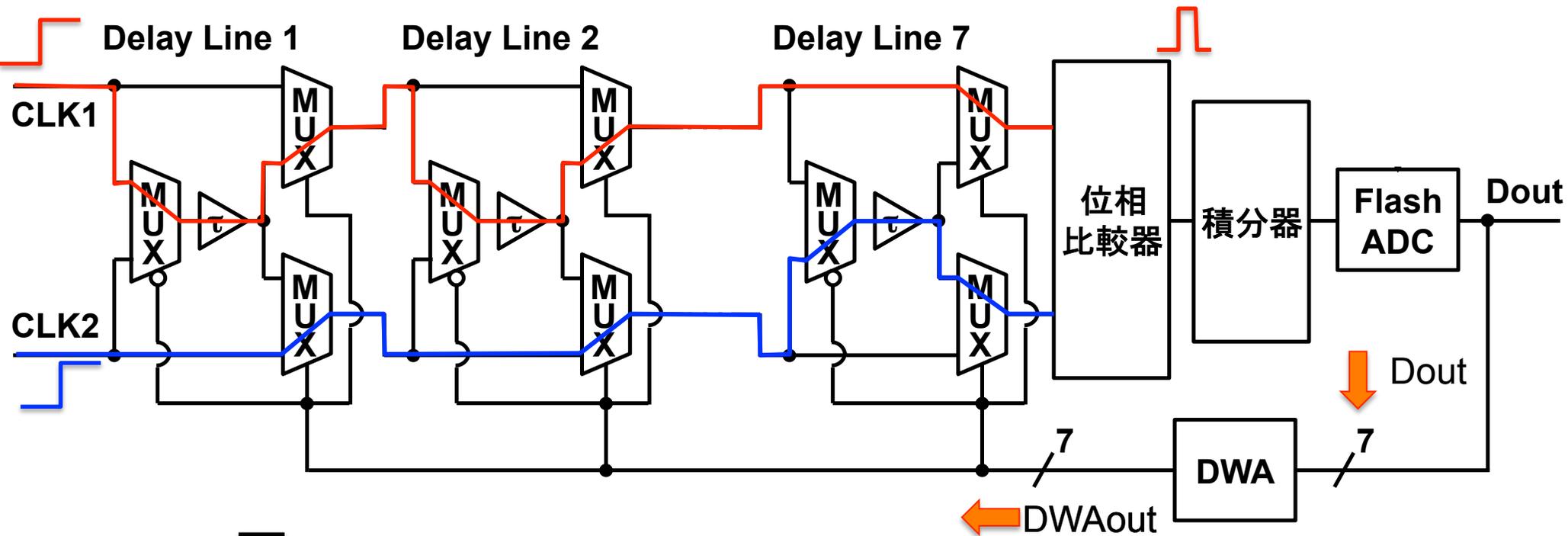
- 時間差信号を入力
- 時間差に応じてADC出力変化
- DWAにより次回入力の使用遅延素子決定
- Dout を外部RAMで保持

マルチビット $\Delta\Sigma$ TDC回路動作(入力2回目)



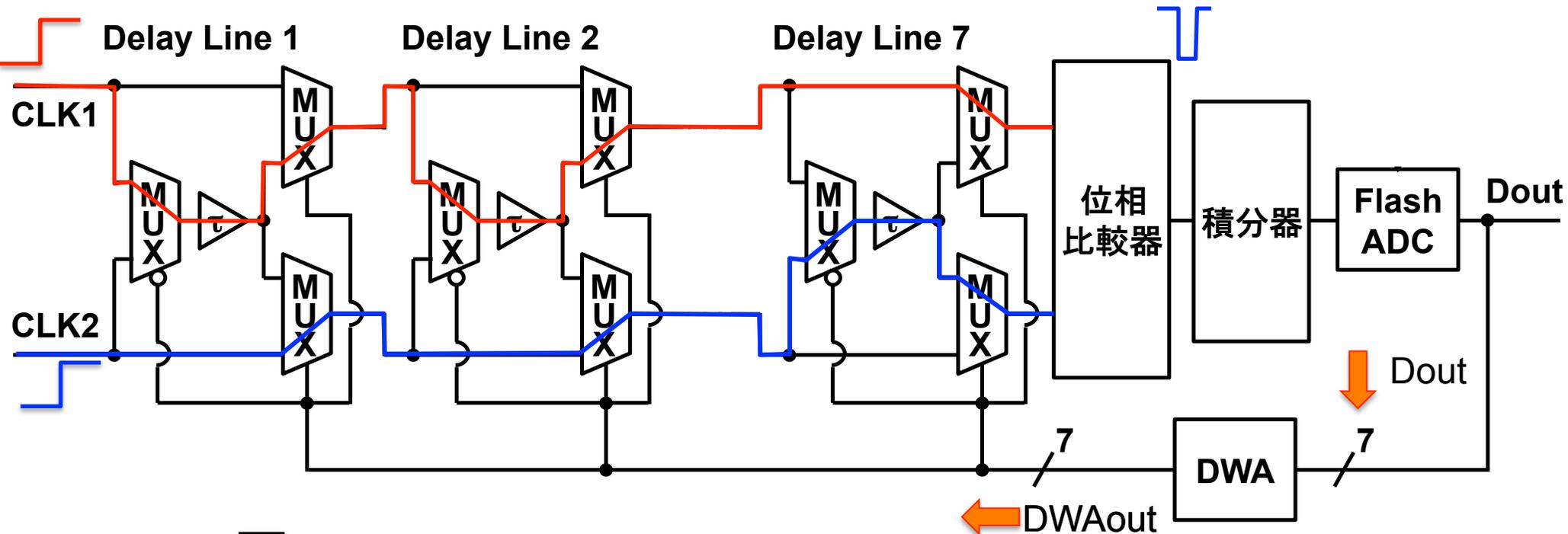
- 2回目の時間差信号を入力
- 前回のDWA出力によりローテーションした遅延素子を使用
- 積分器出力に応じてADC出力変化、Doutは前回出力値に加算
- DWAにより次回入力の使用遅延素子決定

マルチビット $\Delta\Sigma$ TDC回路動作(入力N回目)

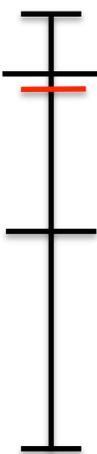


- 出力が入力時間差以上となる時
- 時間差に大きなフィードバックがかかる
- 次回時間差入力へ反映

マルチビット $\Delta\Sigma$ TDC回路動作(入力N+1回目)



入力時間差



出力

- フィードバックにより、積分器にマイナスの時間差が入力
- 出力も入力時間差以下となり、次回入力はプラスとなる
- A/D出力は時間差付近で収束

アウトライン

- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- **実験、評価**
- まとめ

マルチビット $\Delta\Sigma$ TDCの実験

- 実装したマルチビット $\Delta\Sigma$ TDCの実験を行う
- 予め入力する時間差、測定回数、DWAの使用を定め測定
- CLK1とCLK2の入力時間差は48ns刻み
- 遅延素子のRCローパスフィルタの抵抗は75,150,220 Ω から選択、Cは共通1000pF
- 測定結果をINL(積分非直線性誤差)で評価

$\Delta\Sigma$ TDCの線形性評価

最小二乗法を用いて線形近似直線を求め、線形近似直線との誤差を計算

$$gain = \frac{N \cdot K_4 - K_1 \cdot K_2}{N \cdot K_3 - K_1^2} \quad offset = \frac{K_2}{N} - gain \cdot \frac{K_1}{N} \quad N: \text{データ数}(29)$$

i : 入力時間差

$$K_1 = \sum_{i=0}^{N-1} i \quad K_2 = \sum_{i=0}^{N-1} S(i) \quad K_3 = \sum_{i=0}^{N-1} i^2 \quad K_4 = \sum_{i=0}^{N-1} i \cdot S(i) \quad S(i): \text{出力点数}$$

$FS = \text{測定点数} \times 7$

$$INL = \frac{S(i) - (gain \cdot i + offset)}{FS}$$

INL: 積分非直線性誤差

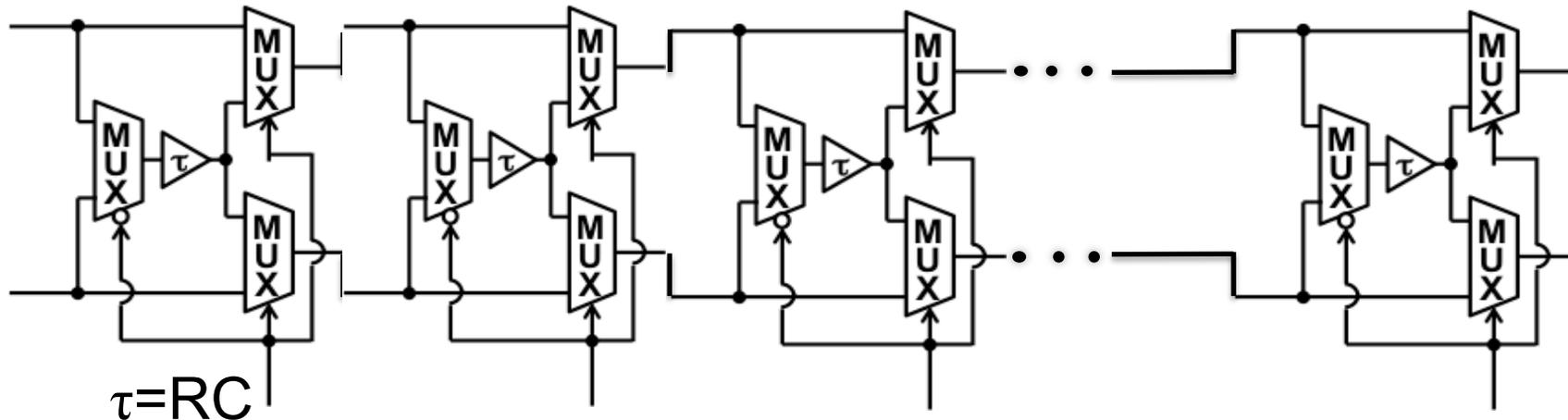
近似直線を取り、誤差をフルスケールで規格化

マルチビット $\Delta\Sigma$ TDCの実験1

全遅延素子の抵抗に 150Ω 使用
Cは共通



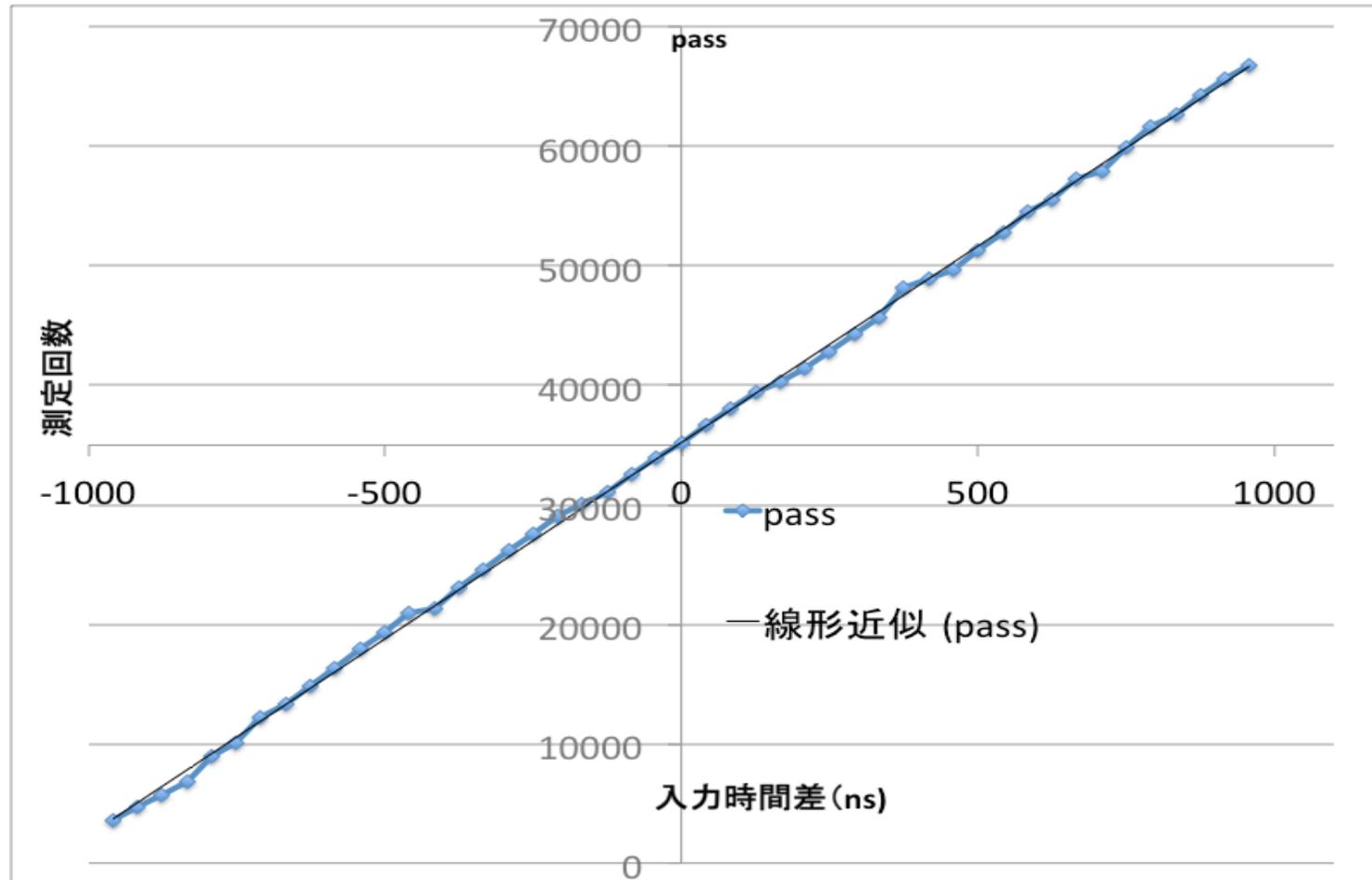
入出力の関係を確認



$-958\text{ns} \sim +958\text{ns}$ まで 48ns 刻みで時間差を入力し、入出力特性を測定

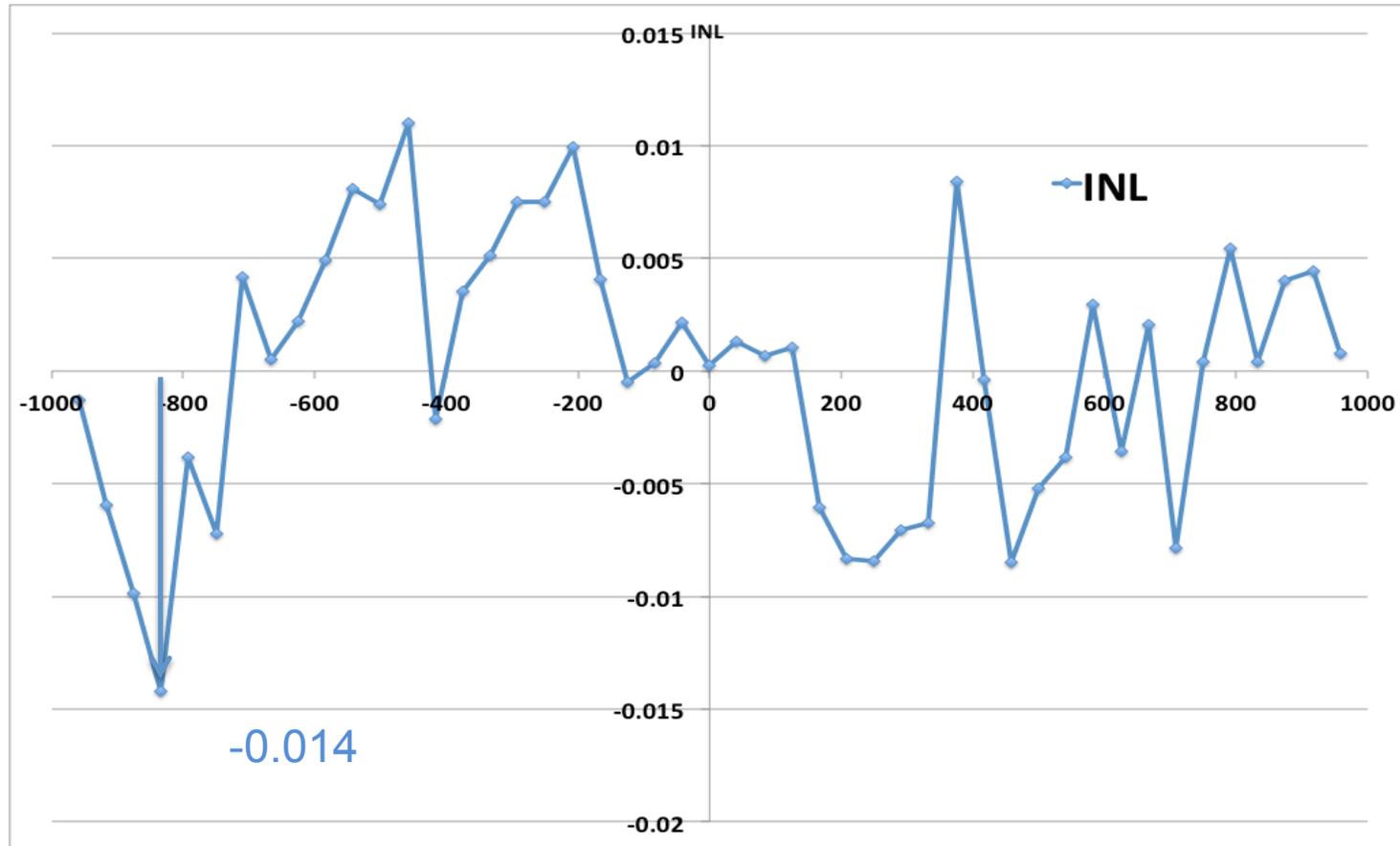
実験1 入出力特性

測定回数10000回



入出力関係に単純増加を確認

実験1 INL



最大INL=-0.014

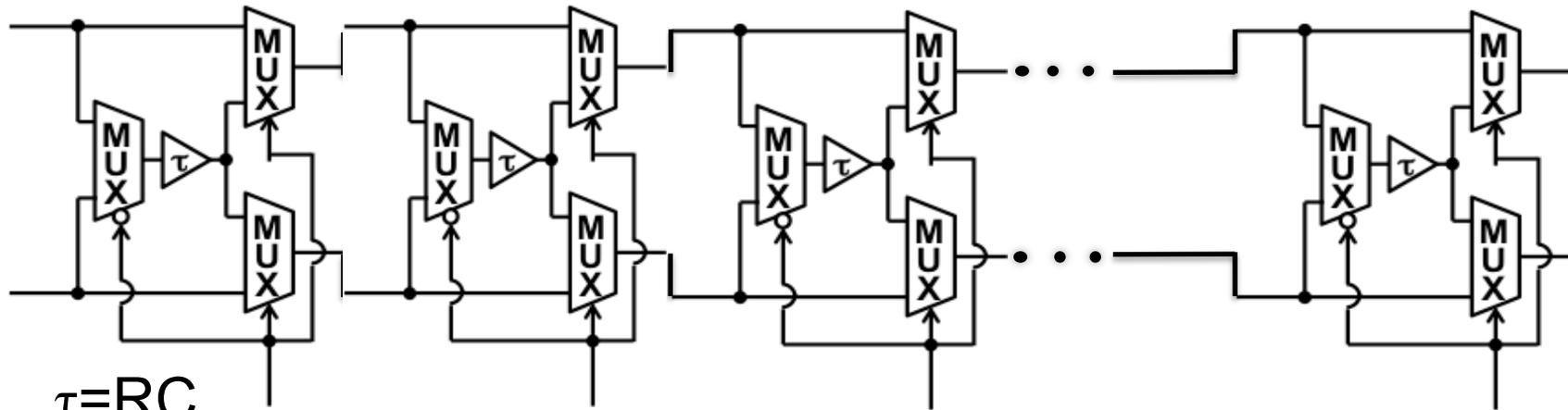
誤差の要因として、遅延素子の誤差(最大10%)、
時間差信号生成PWMの誤差(最大5%)、ノイズなどが考えられる

マルチビット $\Delta\Sigma$ TDCの実験2

全遅延素子の抵抗に75,150 Ω 使用



入出力特性を確認



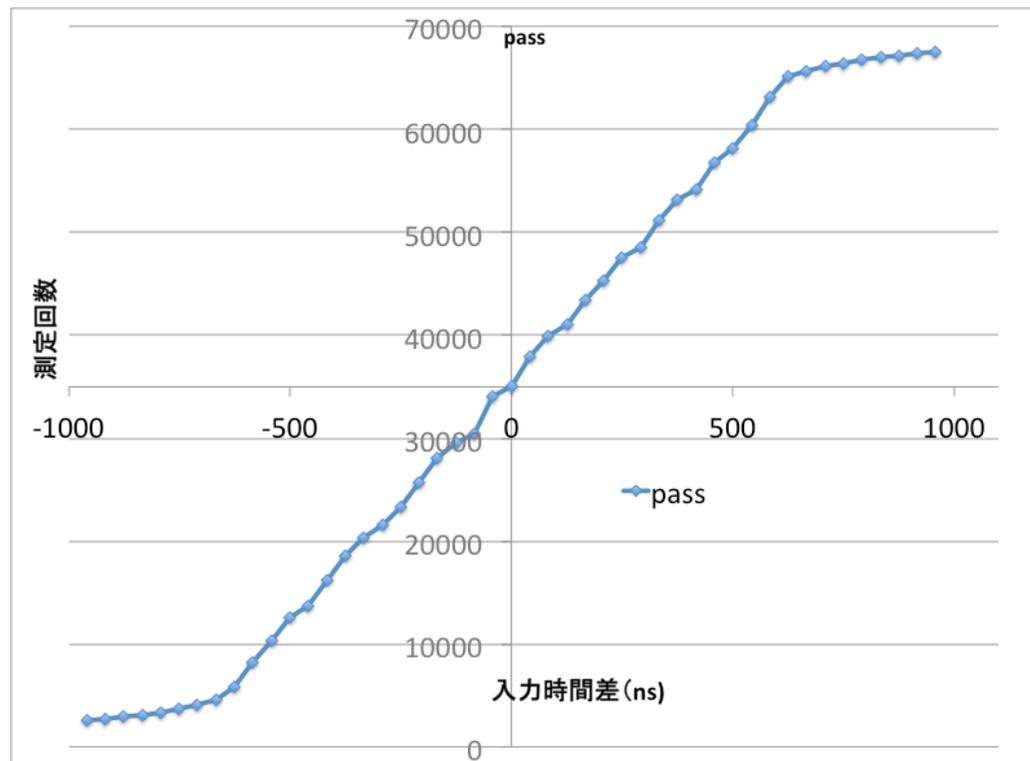
$$\tau = RC$$

Cは共通

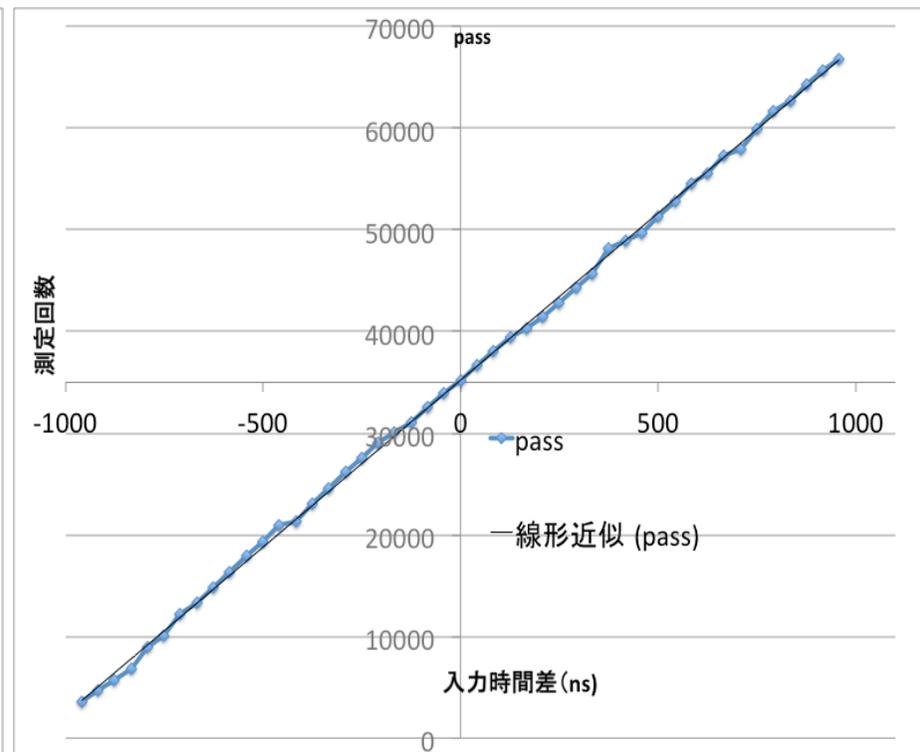
- 使用する遅延素子に対しての入出力特性を測定
- -958ns~+958nsまで48ns刻みで時間差を入力し、入出力特性をプロット

実験2 入出力特性

抵抗75オーム



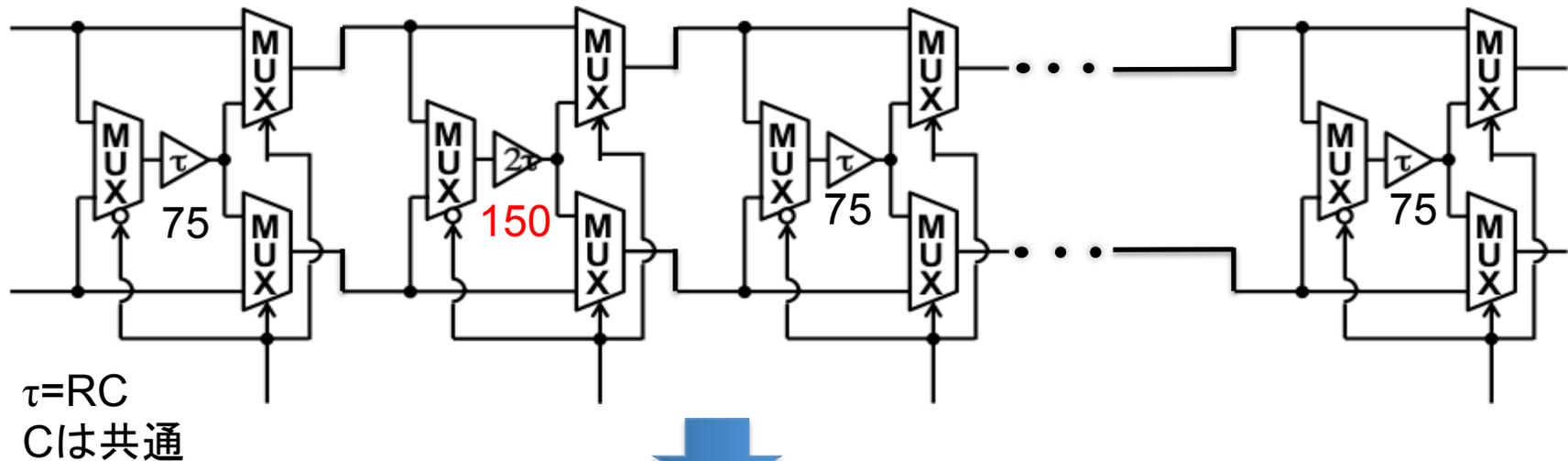
抵抗150オーム



遅延時間の増加によって、線形測定可能な範囲の増加を確認

マルチビット $\Delta\Sigma$ TDCの実験3

- 2個目の使用抵抗が 150Ω 、2番目以外は 75Ω

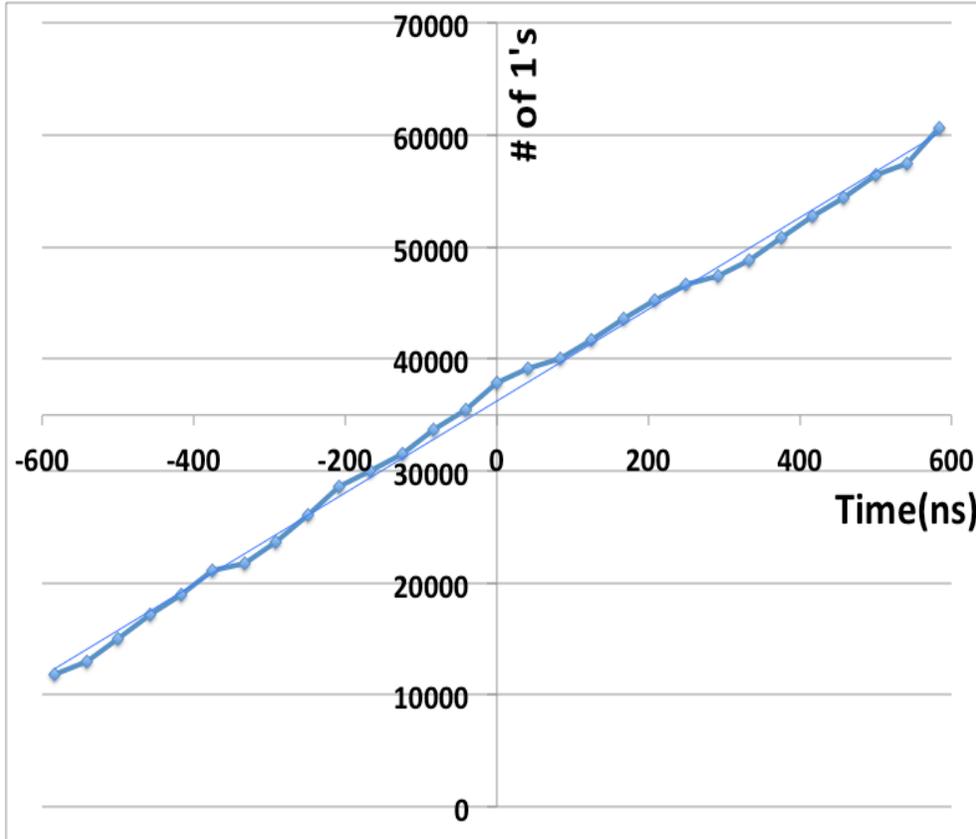


2番目遅延素子の時定数に2倍の差
遅延量誤差発生

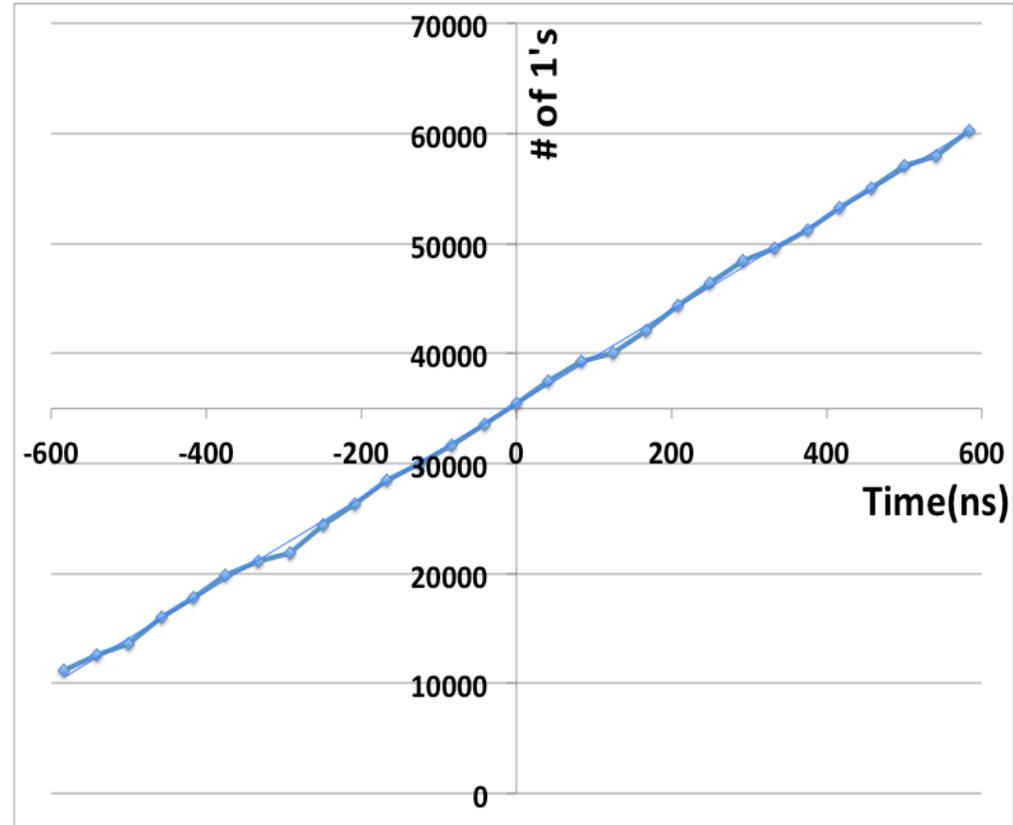
- 誤差に対して、DWA使用による非線形性の低減について測定

実験3 入出力特性

DWA未使用

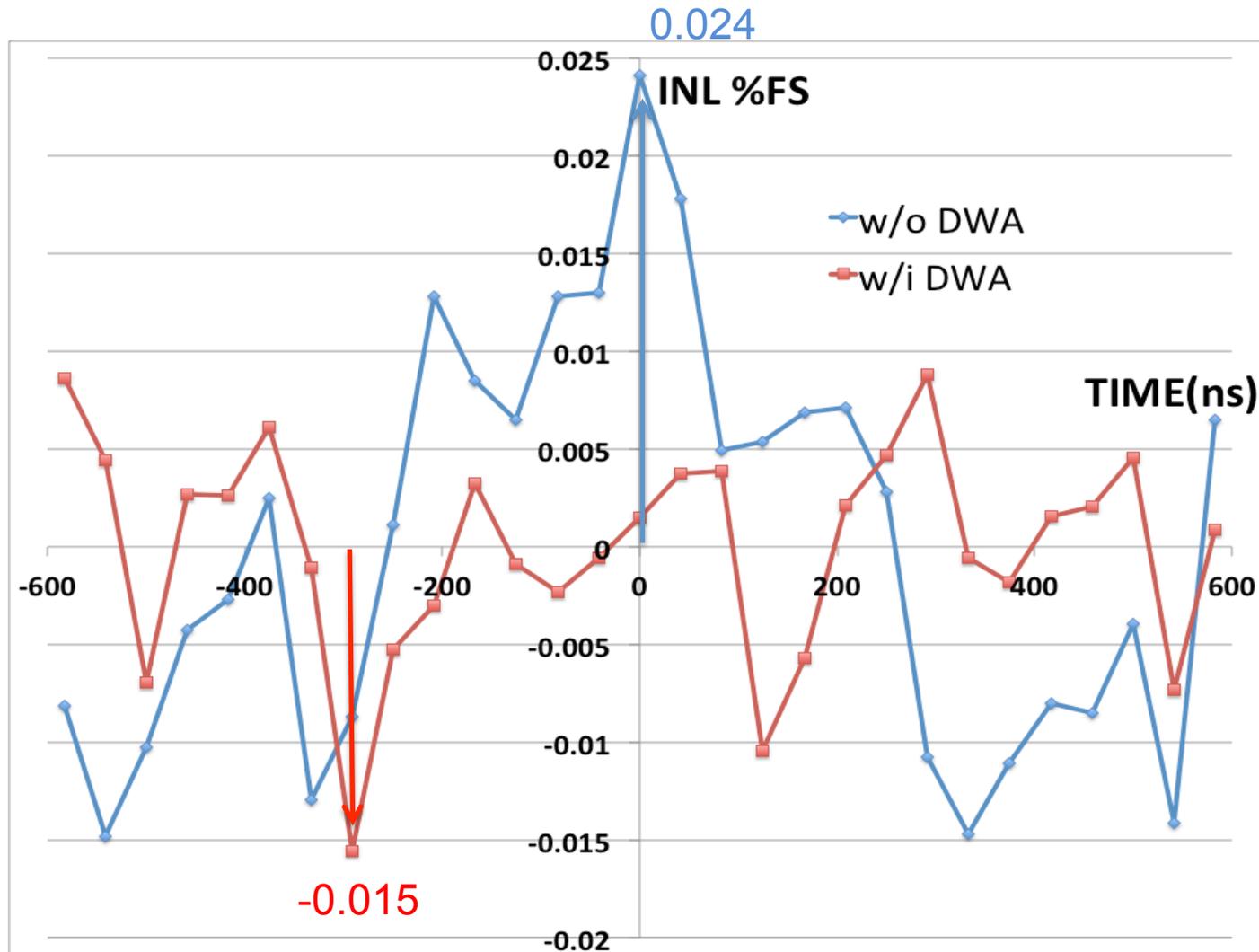


DWA使用



DWAの使用により非線形性の低減を確認

実験3 INL



DWA回路により最大INLが0.024から-0.015にまで減少したことを確認

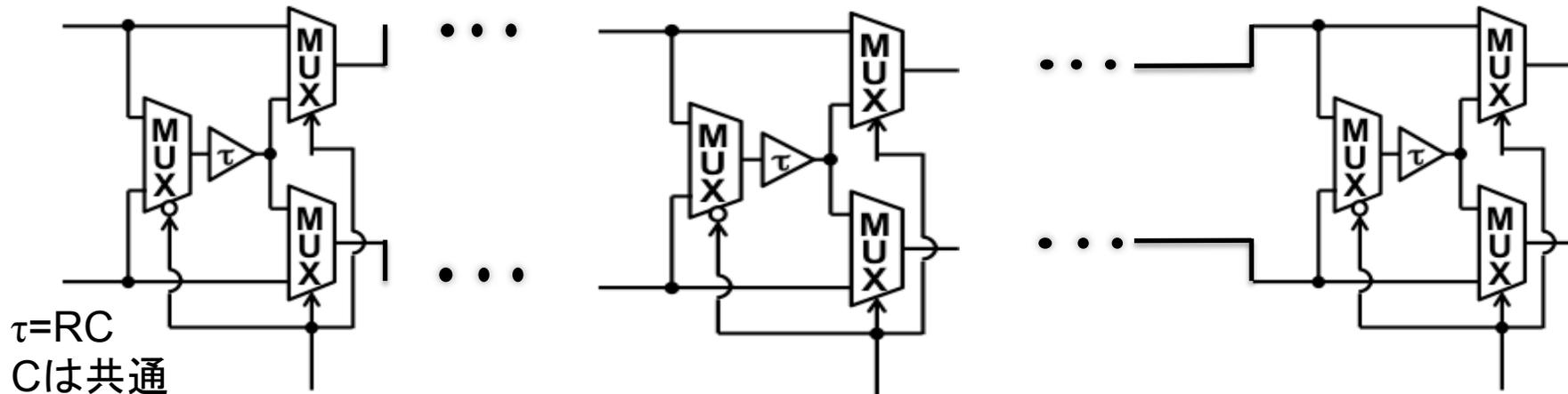
マルチビット $\Delta\Sigma$ TDCの実験4

- 1個目の使用抵抗が220 Ω
- 2個目の使用抵抗が75 Ω
- 3個目の使用抵抗が150 Ω
- 4個目の使用抵抗が220 Ω

- 5個目の使用抵抗が75 Ω
- 6個目の使用抵抗が150 Ω
- 7個目の使用抵抗が220 Ω



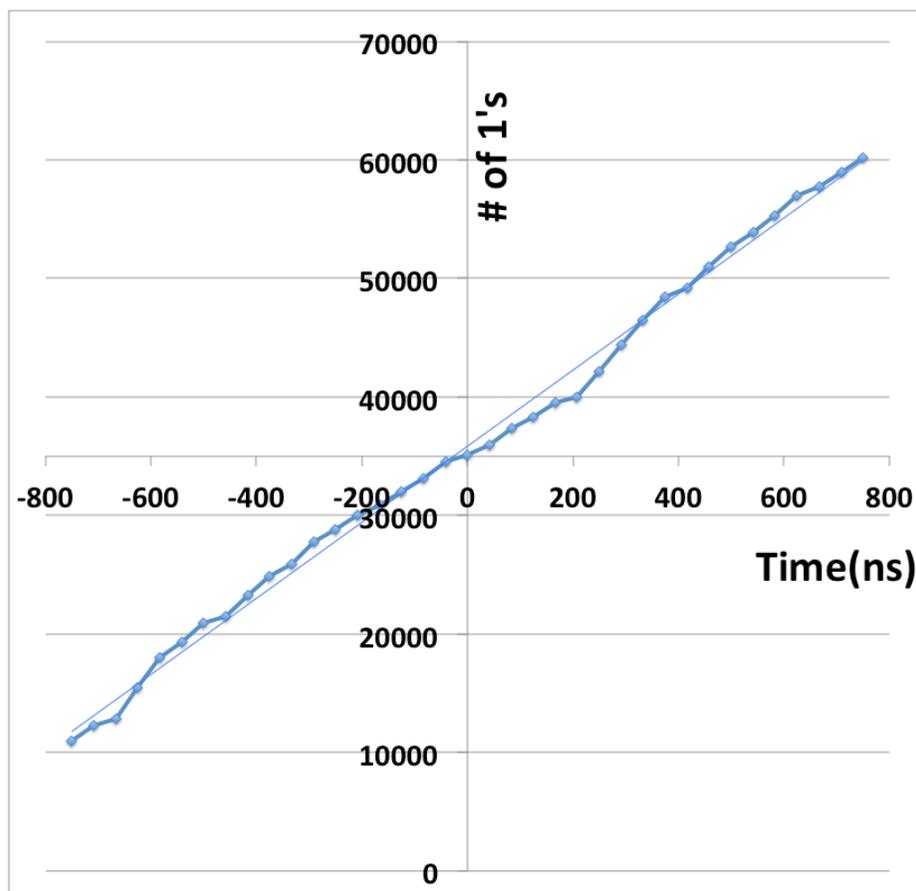
RC遅延素子
時定数に誤差
遅延量誤差発生



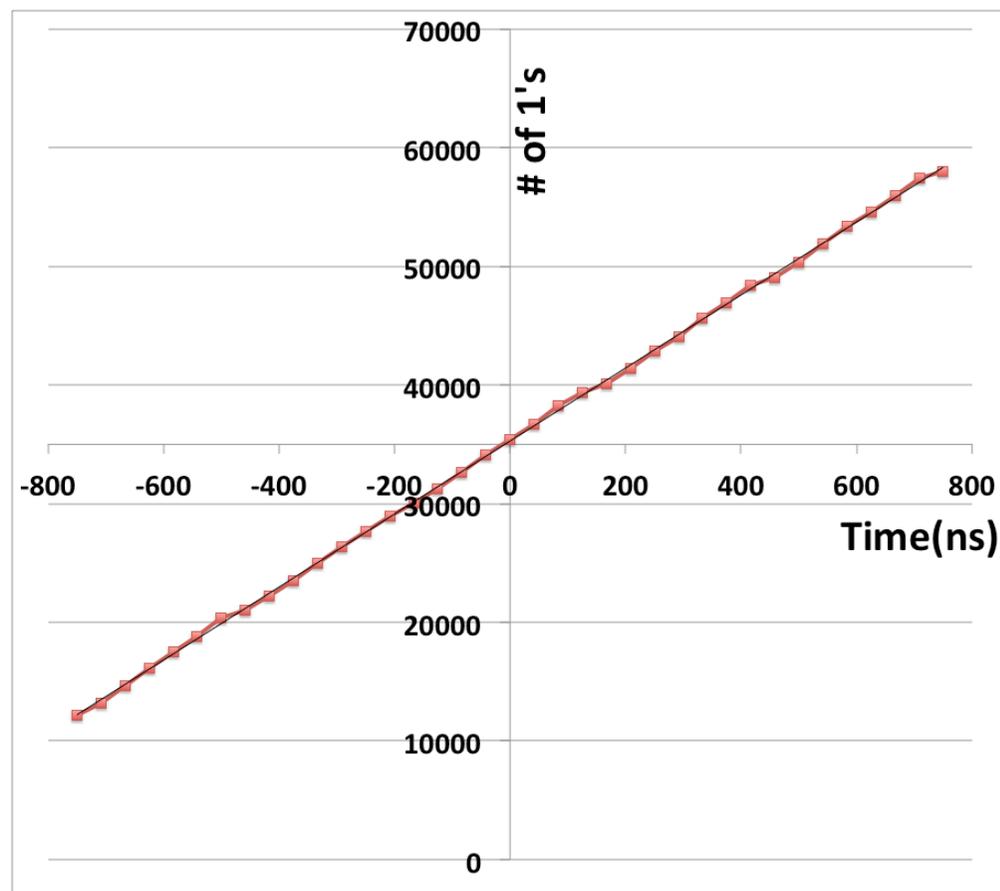
- 全遅延素子に誤差が発生
- 複数の遅延素子に誤差がある場合の、DWA使用による非線形性の低減について測定

実験4 入出力特性

DWA未使用

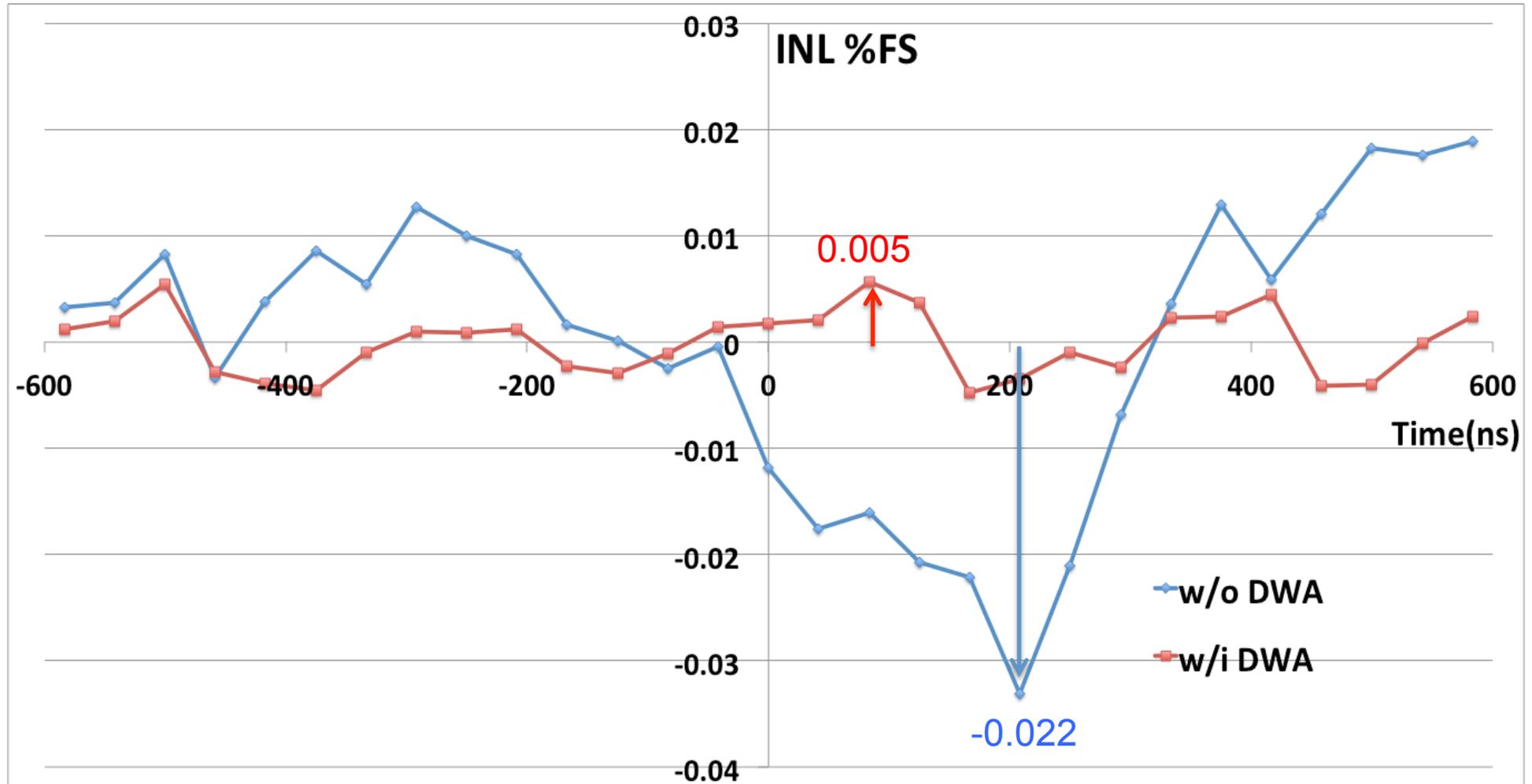


DWA使用



DWAの使用により線形性の増加を確認

実験4 INL



測定回数の増加により最大INLが0.0022から0.005にまで減少したことを確認

アウトライン

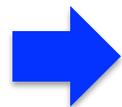
- 研究背景
- シングルビット $\Delta\Sigma$ TDC
- マルチビット $\Delta\Sigma$ TDC
- 測定、評価
- **まとめ**

まとめ

- マルチビット $\Delta\Sigma$ TDCをアナログFPGAに実装
- 入力時間差とデジタル出力が比例を確認
- DWAによる線形性の向上



クロック間タイミングの
高時間分解能,高精度,短時間測定



小規模回路で実現可能

質疑応答

- Q.実際のアプリケーションはどのようなもの
- A.DDRメモリやHDMIなどのタイミングテストについて想定しています
- Q.測定時間の短縮はどの程度なのか？
- A.開始直後は充電が必要だが、1000回程度で充電が終わる。その後は7倍の速度で出力されるため、総体は1/5程度
- Q.DWAの意味、メリット
- A.誤差の打ち消しで非線形性の低下を目指す。

質疑応答

- Q.CLOCKとDWAの関係、DWAの動作が間に合わないのではないだろうか？
- A.1回目入力によりDWAの動作終了後2回目入力が来るようにする。入力周波数が早い場合、動作が難しい
- Q. $\Delta\Sigma$ TDCが小規模回路であるメリット
- A.製品のテストを行う際、小規模であれば予め回路に組み込むことができ、精度向上や簡易化を見込める