

半導体デバイスモデリング技術

○香積 正基 ○戸塚拓也
青木均 築地伸和 東野将司 小林 春夫(群馬大学)

群馬大学大学院 理工学府
電子情報・数理教育プログラム専攻
小林研究室

- 研究背景
- MOSFETの高信頼性モデル
- LDMOSの高信頼性モデル
- IGBTの高精度マクロモデル
- まとめ

- **研究背景**
- MOSFETの高信頼性モデル
- LDMOSの高信頼性モデル
- IGBTの高精度マクロモデル
- まとめ

モデリングとは？

- モデル：
方程式や等価回路により動作を表現
- モデリング：
方程式の中には多くの変数(パラメータ)がありプロセス・デバイスに応じて変化
そのパラメータを実測データを用い抽出・最適化し、高速かつ高精度化

モデリングの重要性

- 信頼性試験：コストや時間がかかる
- ➡ 回路設計者がシミュレーション段階で予測できることによって回避可能

回路シミュレーションを行う際
実際の回路動作にどれだけ近づけるかが重要

MOSFET

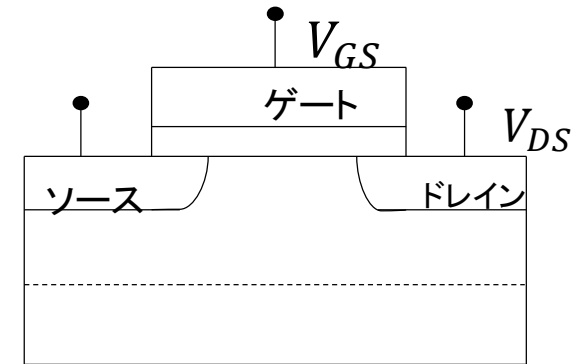
・近年、ますますプロセスの微細化が進む

メリット

- 集積回路の小型化
- 高速化
- 低消費電力

デメリット

- 製造時の特性ばらつき
- 回路の比精度の劣化
- ノイズの増大



MOSFETの簡易構造図

デジタル回路に恩恵

アナログ回路設計を困難

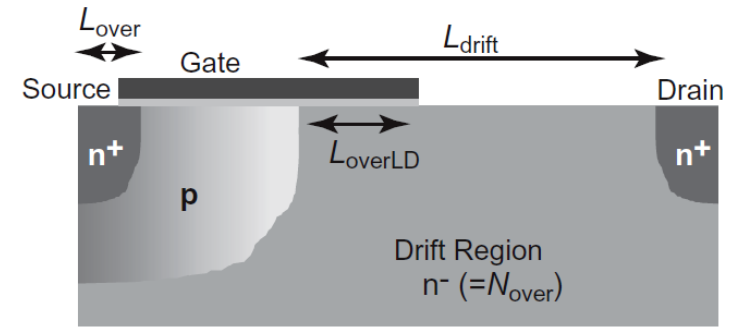
微細化が進むにつれMOSTランジスタの経時・温度劣化による影響が大きくなるため高信頼性モデルの作成は重要



事前解析できる環境が必要

横方向拡散MOS Laterally Diffused MOS (LDMOS)

- ・ドレイン-ゲート間の電界強度緩和する構造
 - ・耐圧が高く(～数十ボルト程度), オン抵抗が低い
- LDMOSの使用用途: DC/DCコンバータの出力段
携帯基地局用のパワーアンプなど



LDMOSの構造図[1]

低電圧領域で用いるMOSTランジスタよりも経時・温度劣化は顕著
劣化によるデバイス信頼性が重要な課題

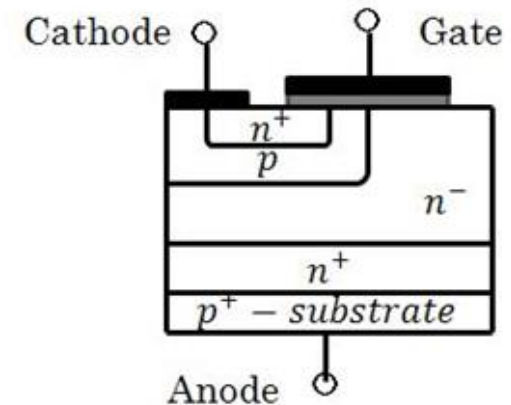
- ・高電界領域で発生するHot Carrier Injection効果
による劣化(オン抵抗の増加)が支配的



事前解析できる環境が必要

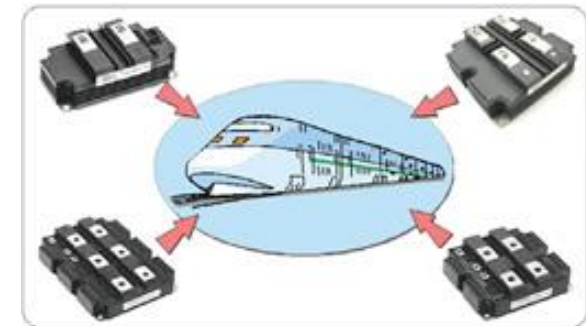
絶縁ゲートバイポーラトランジスタ Insulated Gate Bipolar Transistor (IGBT)

- ・高耐圧・大電流に適したパワー半導体
- ・絶縁ゲートによる電圧制御型
- ・～数千[V]ほどの高耐圧素子



IGBTの簡易構造図

| | Bipolar Transistor | MOSFET | IGBT |
|----------------------|--------------------|--------|------|
| High voltage | 😊 | 😡 | 😊 |
| High speed switching | 😡 | 😊 | 😊 |



IGBTの使用用途：
車載用高耐圧素子や鉄道車両制御など

高信頼性が求められるアプリケーションに使用されるため、
多くの回路シミュレーションソフトでの事前解析における高精度化は重要

- 研究背景
- **MOSFETの高信頼性モデル**
- LDMOSの高信頼性モデル
- IGBTの高精度マクロモデル
- まとめ

• HCI現象

(Hot Carrier Injection)

高電界領域で電界加速により

チャンネルが大きなエネルギーを得ることで

移動度劣化、しきい値電圧の上昇が起こる現象

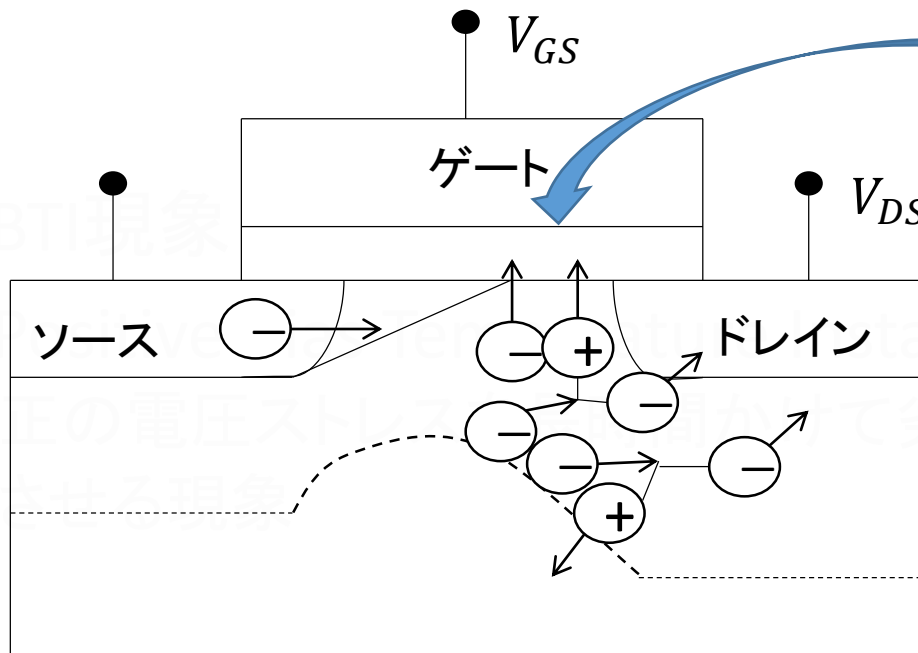


図1:ホットキャリア

- HCl現象

(Hot Carrier Injection)

高電界領域で電界加速により

チャンネルが大きなエネルギーを得ることで

移動度劣化、しきい値電圧の上昇が起こる現象

- PBTI現象

より支配的であるHCl現象に着目し
特性解析を行う。

(Positive Bias Temperature Instability)

正の電圧ストレスを長時間かけて

しきい値電圧が上昇する現象

BERkeley Reliability Tools (BERT)のモデル



SPICE上でシミュレートするのに適している

劣化前のDCパラメータを取り込み

シミュレーション上で劣化DC特性を予想する

BERTのモデルをBSIM4に使えるように

2004年にKufluogluとAlamによって開発された

RDモデル(Reaction-Diffusion model)を基に開発する

界面トラップ数

$$N_{H(0)} N_{it} \approx \frac{k_F}{k_R} N_0$$

| | |
|------------|--------------------|
| $N_{H(0)}$ | 界面における水素濃度の初期値 |
| N_{it} | 界面トラップ数 |
| k_F | 酸化物電界依存フォワード解離速度定数 |
| k_R | アニーリング速度定数 |
| N_0 | Si-H結合の初期値 |

チャネル/酸化膜界面での水素反応式

$$N_{H_x} = k_H N_H^{n_x}$$

| | |
|-------|---------------|
| N_H | 体積あたりの水素粒子の濃度 |
| k_H | 反応定数 |
| n_x | 水素粒子あたりの水素原子数 |

Si-H結合の数より界面トラップ数を算出可能

$$N_{it} = \frac{\pi W}{2A_{tot}} n_x \int_0^{\sqrt{D_{H_x t}}} \left(N_{H_x(0)} \left[r - \frac{r^2}{\sqrt{D_{H_x t}}} \right] \right) dr$$

$$= N_{H_x(0)} \frac{\pi n_x}{12L} D_{H_x t}$$

| | |
|-------------|-----------|
| $D_{H_x t}$ | N_H の密度 |
| A_{tot} | ゲート下の総面積 |
| L | MOSFETの長さ |
| W | MOSFETの幅 |

先ほどの3つの式を組み合わせると下式になる

$$N_{it} = \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}}$$

| | |
|-----------|------------|
| D_H | 水素原子の密度 |
| t | 時間 |
| C_{HCI} | 技術依存なパラメータ |

界面トラップによる電圧依存特性をしきい値特性カーブのずれで表現

$$\Delta V_{th_{DEGRADATION}} = C_{HCI} \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}}$$

しきい値 (BSIM4)

劣化モデルを既存のモデルに組みこむ

$$\begin{aligned} V_{th} = & V_{TH0} + \Delta V_{th, body_effect} - \Delta V_{th, charge_sharing} - \Delta V_{th, DIBL} \\ & + \Delta V_{th, reverse_short_cannel} + \Delta V_{th, narrow_width} \\ & + \Delta V_{th, small_size} - \Delta V_{th, pocket_implant} + \Delta V_{th_DEGRADATION} \end{aligned}$$

- ・移動度劣化現象のモデル化を V_{th} を用いて実現

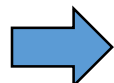
BSIM4の移動度モデル(MOBMOD=2)

$$\mu_{eff} = \frac{U0}{1+(UA+UC*V_{bseff}) \left[\frac{V_{gsteff} + C_0(V_{TH0} - V_{FB} - \phi_s)}{TOXE} \right]^{EU}}$$

| | | | |
|------|---------------------|--------------|------------------------|
| U0 | キャリア移動度 | VFB | フラットバンド電圧 |
| UA | 移動度劣化の一次係数 | V_{gsteff} | $V_{gs} - V_{th}$ の実効値 |
| UC | 移動度劣化の基板効果係数 | V_{bseff} | 実効基板・ソース電圧 |
| TOXE | 電気ゲート酸化膜厚 | ϕ_s | 表面電位 |
| VTH0 | ドレイン電圧がゼロにおけるしきい値電圧 | C_0 | 定数でnMOSの場合2.0 |

$$\Delta V_{th_{DEGRADATION}} = C_{HCI} \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}}$$

- ・しきい値電圧のHCIによるずれを移動度モデル式に代入



移動度劣化現象のモデル化

製作したTEG

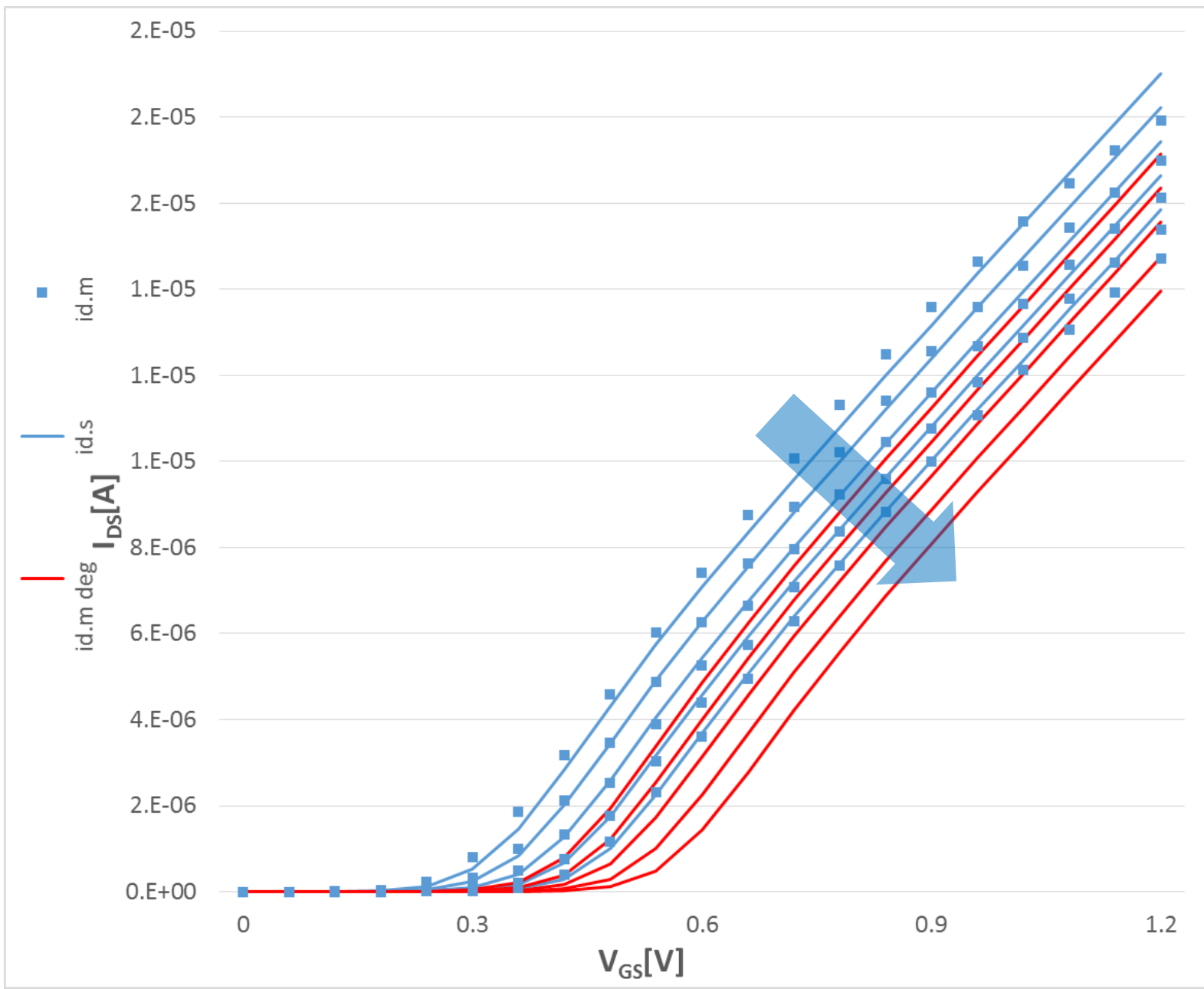
- 90nmプロセスを用いたnチャネルMOSFET

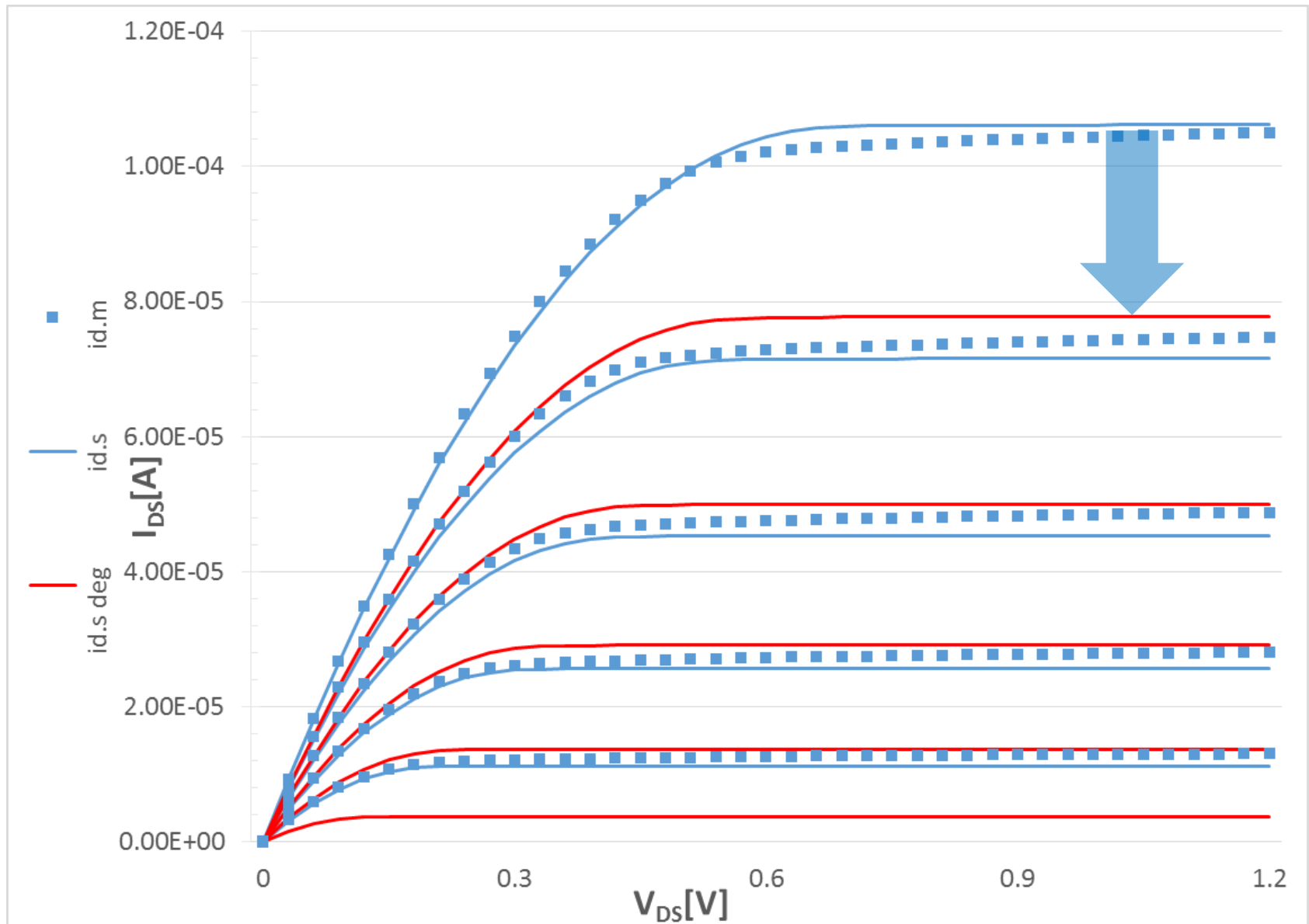
シミュレーションに用いるデバイス

- Large チャネル幅 10.0 μ m
チャネル長 10.0 μ m

劣化させる環境

- 65nmのデバイスの実験データ
をもとにパラメータ劣化させる
- 温度 300.15K
- 劣化時間 1000秒

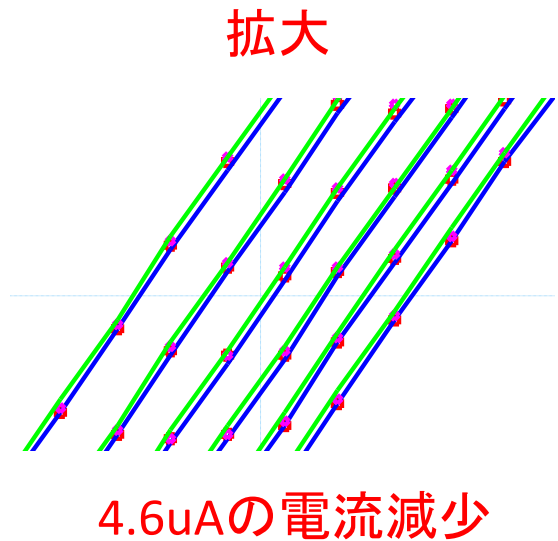
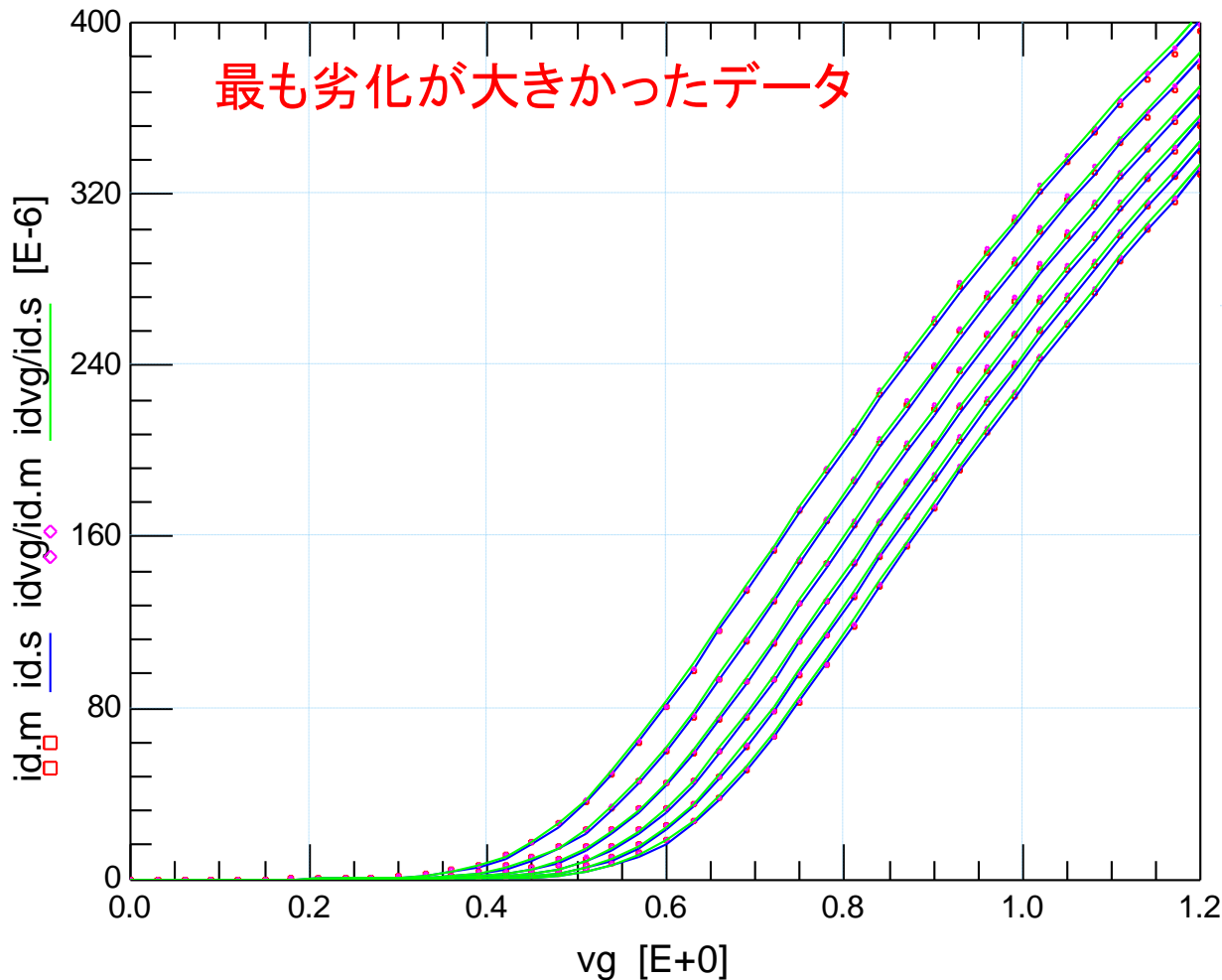




劣化測定結果: $I_{DS}-V_{GS}$

- $80^{\circ}\text{C}, V_{DS}=1.2\text{V}, V_{GS}=1.0\text{V}$
- デバイスサイズ L 0.2 μm W5 μm

— Fresh
— 70min後



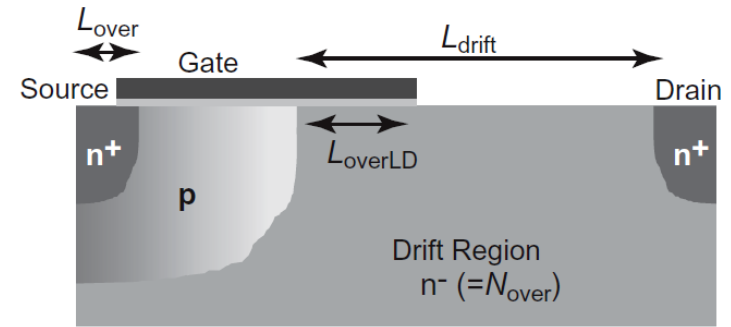
VTH0の変化
1.374m \rightarrow 3.614m

- HCI現象を用いて界面トラップによるしきい値特性カーブのずれをSPICEモデルに代入、移動度劣化現象をモデル化し、劣化シミュレーションを開発
- TEGを用いてフレッシュ状態のモデルパラメータを抽出シミュレーション上で劣化DC特性を示した
- 実測から、劣化モデルを適用できることを確認した

- 研究背景
- MOSFETの高信頼性モデル
- **LDMOSの高信頼性モデル**
- IGBTの高精度マクロモデル
- まとめ

横方向拡散MOS Laterally Diffused MOS (LDMOS)

- ・ドレイン-ゲート間の電界強度緩和する構造
- ・耐圧が高く、オン抵抗が低い(～数十ボルト程度)
- ・LDMOSの使用用途： DC/DCコンバータの出力段
携帯基地局用のパワーアンプなど



LDMOSの構造図[1]

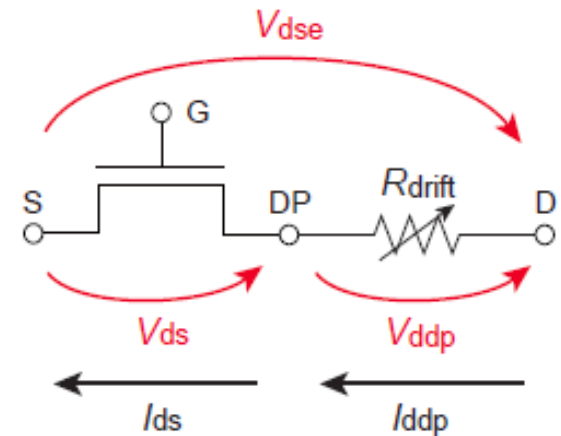
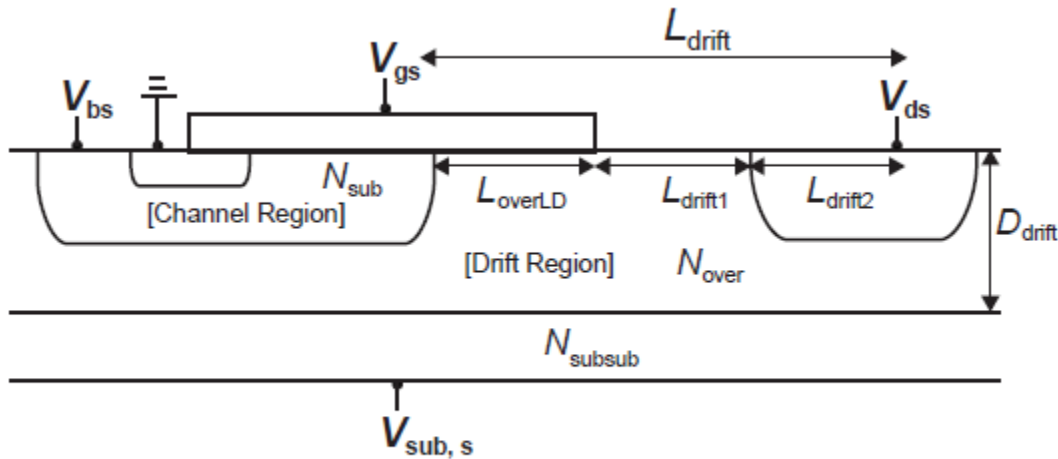
低電圧領域で用いるMOSTランジスタよりも経時・温度劣化は顕著
劣化によるデバイス信頼性が重要な課題

- ・高電界領域で発生するHot Carrier Injection効果
による劣化(オン抵抗の増加)が支配的



事前解析できる環境が必要

Hi-SIM-HVとは
回路シミュレータに搭載されている
LDMOS米国CMC推奨モデル



$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left(1 + \mathbf{RDVG11} - \frac{\mathbf{RDVG11}}{\mathbf{RDVG12}} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot \mathbf{RDVB}) \cdot \left(\frac{\mathbf{LDRIFT1} + \mathbf{LDRIFT2}}{\mathbf{DDRIFT} - W_{dep}} \right)$$

$$R_d = \frac{R_{d0}}{W_{eff,LD} \cdot \mathbf{NF}} \left(1 + \frac{\mathbf{RDS}}{(W_{gate} \cdot 10^6 \cdot L_{gated0} \cdot 10^6)^{\mathbf{RDSP}}} \right)$$

$$R_{d0} = (\mathbf{RD} + R_{d0,temp}) f_1 \cdot f_2$$

$$\frac{\Delta R_{on}}{R_{on}} = A_1 \ln\left(1 + \frac{t}{\tau}\right) + A_2 * \ln\left(1 + \frac{1}{\gamma * \tau}\right)$$

| | |
|--------------------|--------------|
| A_1, A_2, γ | フィッティングパラメータ |
| t | ストレス時間 |
| τ | 特性時間 |

$$\tau = \frac{\alpha \cdot W}{I_D} \cdot \frac{\phi_b}{E_m * \lambda} \cdot e^{\frac{\phi_b}{E_m \cdot \lambda}}$$

| | |
|-----------|---|
| α | フィッティングパラメータ |
| W | デバイスの幅 |
| E_m | ピーク電界の大きさ |
| ϕ_b | S_i-O_2 のエネルギー障壁を乗り越えるために 必要なエネルギー |
| λ | キャリアが散乱しエネルギーを失う前に電場に届く平均 |

$$\lambda = \lambda_0 \cdot \tanh\left(\frac{E_p}{2 \cdot k_B \cdot T_j}\right)$$

| | |
|-------------|----------------------------|
| E_p | Si中の光学フォノンエネルギー (0.063 eV) |
| k_B | ボルツマン定数 (8.62*10E-5 eV/K) |
| T_j | 接合温度 |
| λ_0 | K=0でのホットキャリアの平均移動速度 |

$$R_{drift} = R_{drift,1} + R_{drift,2}$$

$R_{drift,1}$ は、ゲート下の蓄積領域

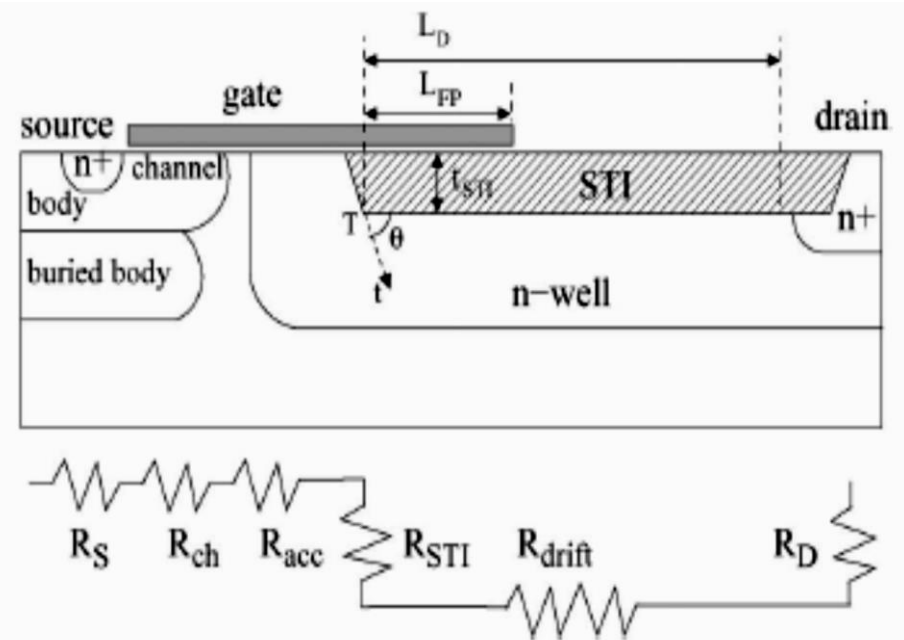
$R_{drift,2}$ は $R_{drift,1}$ 以降にあるドリフト領域及びドレイン端

$$R_{drift,1} = \left(1/R_{drift,acc} + 1/R_{drift,sh} \right)^{-1}$$

$$R_{drift,acc} = L_{FP,eff} / \left(\mu_{eff} C_{STI} W (V_{GS} - V_{fb}) \right)$$

$$R_{drift,sh} = L_{FP} / (q\mu_n N_d W t_{eff})$$

$$R_{drift,2} = (L_D - L_{FP}) / (q\mu_n N_d W t_{eff})$$



$$R_{drift,1} = \left(1/R_{drift,acc} + 1/R_{drift,sh} \right)^{-1}$$

$R_{drift,acc}$ 蓄積領域のオン抵抗
 $R_{drift,sh}$ シート抵抗

$$R_{drift,acc} = \frac{L_{FP,eff}}{\left(\mu_{eff} C_{STI} W (V_{GS} - V_{fb}) \right)}$$

C_{STI} ϵ_{ox}/t_{STI}
 t_{STI} STI酸化膜の厚さ
 $L_{FP,eff}$ 実行フィールドプレート (L_{FP})
 V_{fb} フィッティングパラメータ

$$R_{drift,sh} = \frac{L_{FP}}{(q\mu_n N_d W t_{eff})}$$

t_{eff} STIの実効的な深さ

$$R_{drift,2} = \frac{(L_D - L_{FP})}{(q\mu_n N_d W t_{eff})}$$

L_D 実行ドリフト長

LDMOS構造に対応したオン抵抗式

$$R_{drift.1} = \left(1/R_{drift,acc} + 1/R_{drift,sh} \right)^{-1}$$

$$R_{drift,acc} = \frac{L_{FP,eff}}{\left(\mu_{eff} C_{STI} W (V_{GS} - V_{fb}) \right)}$$

$$R_{drift,sh} = \frac{L_{FP}}{(q\mu_n N_d W t_{eff})}$$

HiSIM-HV ドリフト領域におけるオン抵抗式

$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left(1 + RDVG11 - \frac{RDVG11}{RDVG12} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot RDVB) \cdot \left(\frac{LDRIFT1 + LDRIFT2}{DDRIFT - W_{dep}} \right)$$

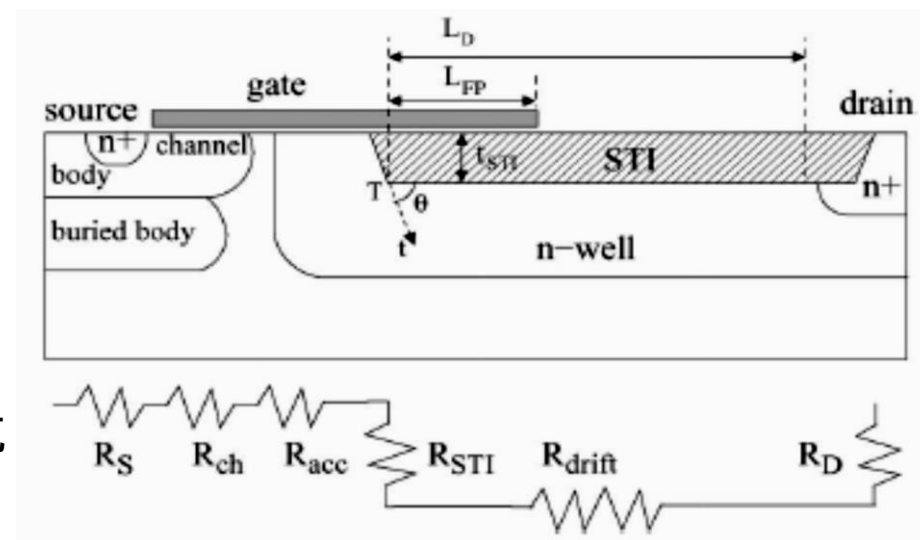
V_{GS} 依存があるため

HiSIM-HVにおけるRDVG11 または、RDVG12を変化させることで表現可能

$$R_{drift,2} = \frac{(L_D - L_{FP})}{(q\mu_n N_d W t_{eff})}$$

$R_{drift,2}$ はドリフト領域及びドレイン端

- LDD層LFP後のドリフト・ドレイン端までの抵抗
- この領域が、HCIによって劣化

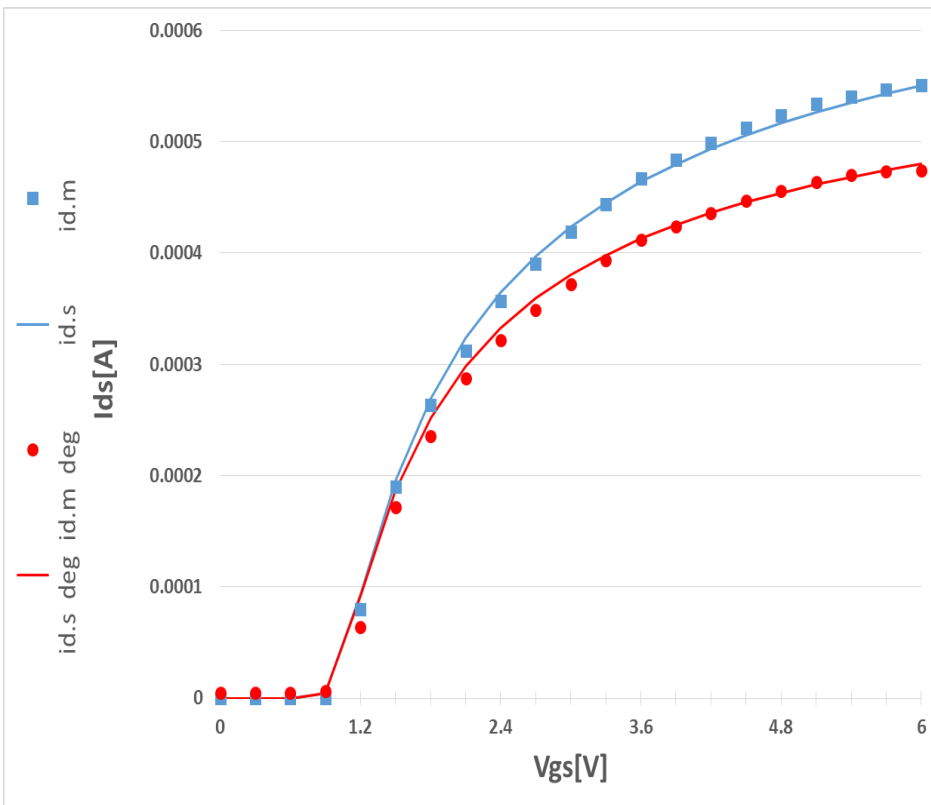


- HiSIM-HVではLDDのドレイン端コンタクト抵抗, R_D , に相当
- μ_n は Interfacial Trap による Mobility degradation により劣化

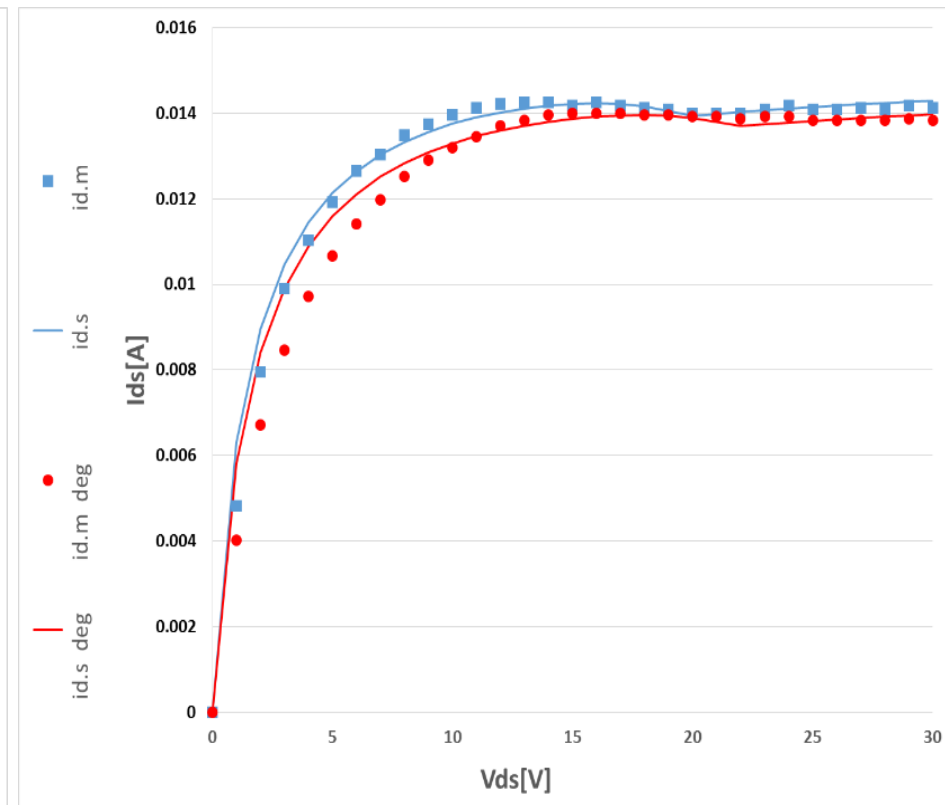
HiSIM-HVにおけるオン抵抗劣化
 $R_D, R_{DVG11}, R_{DVG12}$ を用いて表現可能

N. Soin, S.S. Shahabudin and K.K. Goh, et al.: "Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type Lateral DMOS Transistors", 10th IEEE International Conference on Semiconductor Electronics, pp.659-663 (2012)

において報告されている直流電流・電圧特性を数値化し、測定データとした



HCI劣化前・劣化後の I_{ds} vs V_{gs} 特性

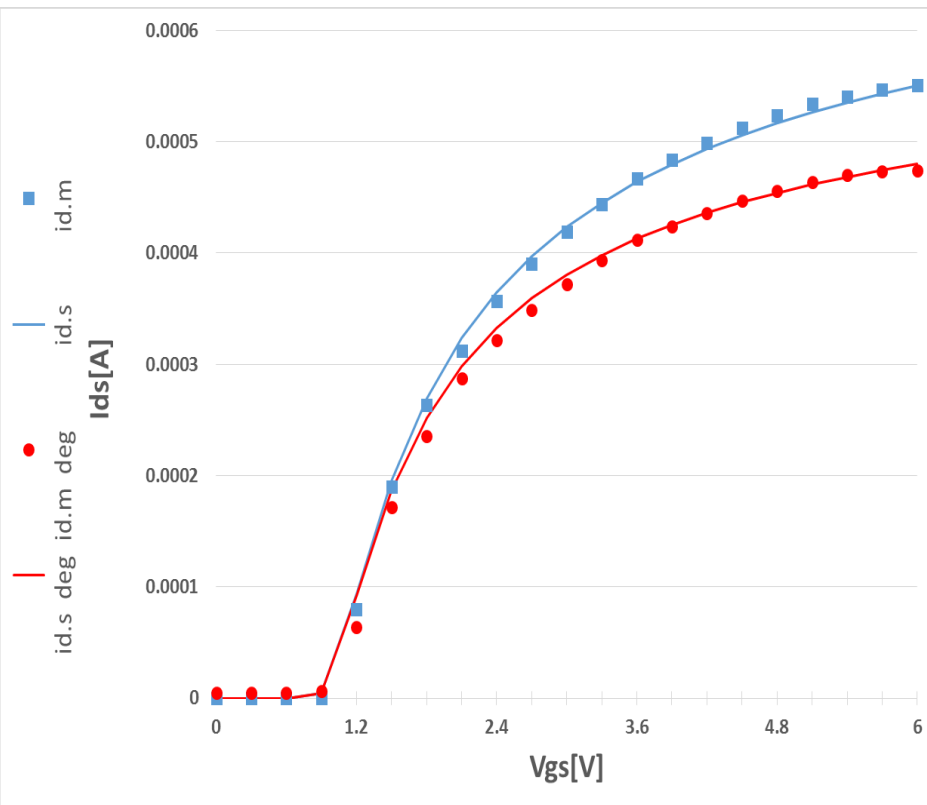


HCI劣化前・劣化後の I_{ds} vs V_{ds} 特性

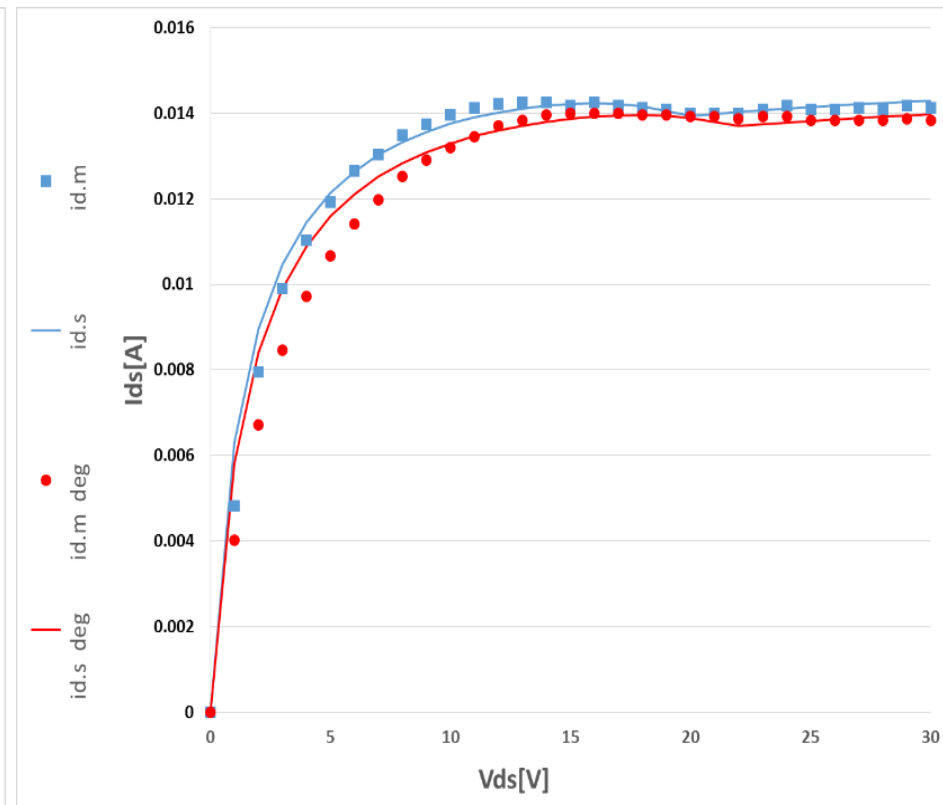
RD, RDVG12のみを使用して合わせこんだ

RD 1.076m → 1.301m(増加)

RDVG12 6.026 → 9.081 (増加)



HCl劣化前・劣化後の I_{ds} vs V_{gs} 特性



HCl劣化前・劣化後の I_{ds} vs V_{ds} 特性

論文データからは劣化した結果しか分からない

→劣化測定を行い劣化時間とパラメータ変化の相互関係を検証

測定条件

I_{ds} - V_{gs} 測定

$V_{gs}=0\sim 5[V]$ かつ $V_{ds}=50\sim 150[mV]$ であり $50[mV]$ ステップ

I_{ds} - V_{ds} 測定

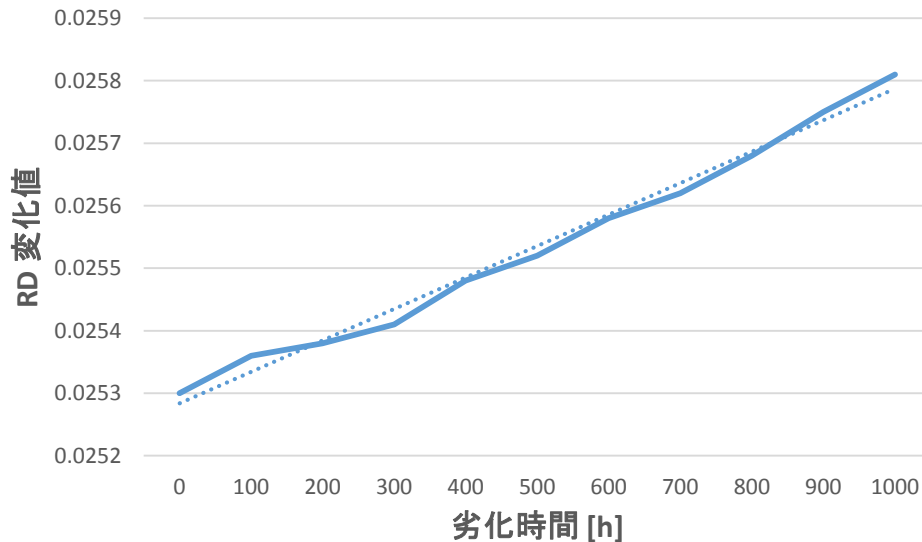
$V_{gs}=2.1\sim 2.5[V]$ であり $0.1[V]$ ステップかつ $V_{ds}=0\sim 5[V]$

温度は室温

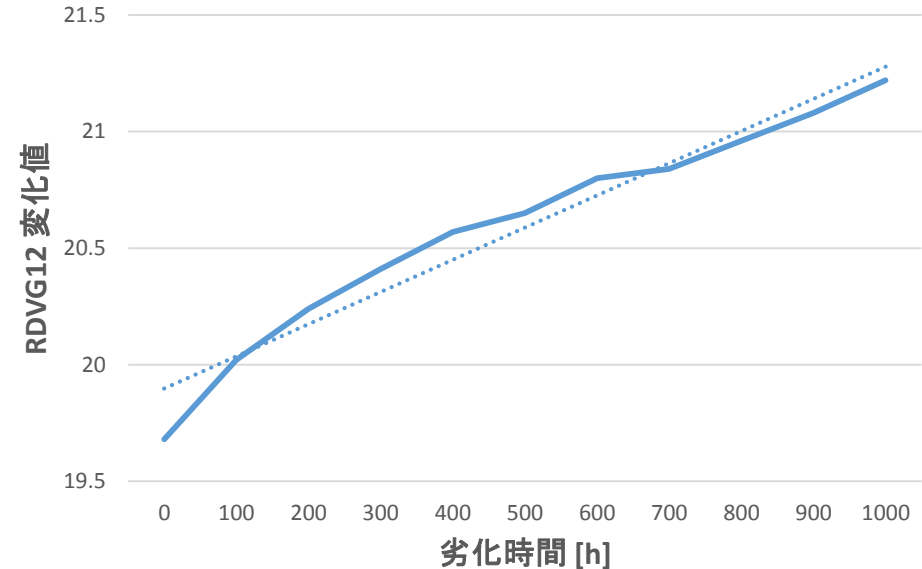
ストレスバイアス

$V_{gs}=2.4[V]$, $V_{ds}=2.4[V]$

劣化時間は2[h]ごとに1000[h]



RDと劣化時間の相関関係



RDVG12と劣化時間の相関関係

$$RD_{stress} = A_1 * t_{deg} + RD_{fresh}$$

$$RDVG12_{stress} = B_1 * t_{deg} + RDVG12_{fresh}$$

t_{deg}

RD_{fresh} 及び $RDVG12_{fresh}$

A_1, B_1

劣化時間

パラメータの初期値

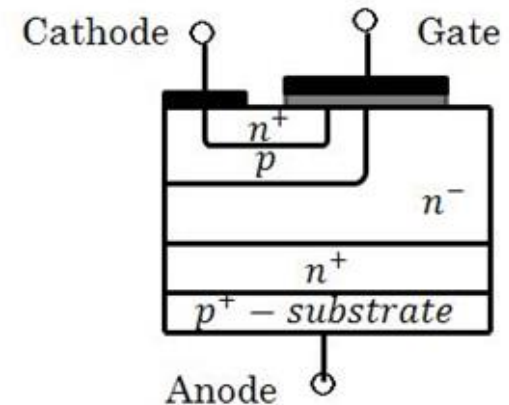
フィッティングパラメータ

- HiSIM-HVとLDMOS構造からドリフト領域におけるオン抵抗の関係性を示し、HCI劣化によるパラメータ変化の予想を立てた
- 論文データを用いて、予想通り劣化を示せるか検証した
- 劣化測定を行いパラメータ変化と劣化時間の関係を調べパラメータを式に置き換えることで劣化を示すモデルを開発した

- 研究背景
- MOSFETの高信頼性モデル
- LDMOSの高信頼性モデル
- IGBTの高精度マクロモデル
- まとめ

絶縁ゲートバイポーラトランジスタ Insulated Gate Bipolar Transistor (IGBT)

- ・高耐圧・大電流に適したパワー半導体
- ・絶縁ゲートによる電圧制御型
- ・～数千[V]ほどの高耐圧素子

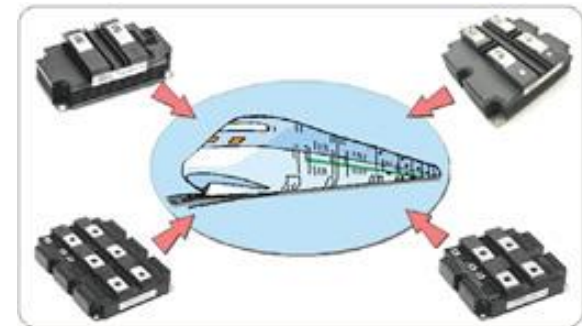


IGBTの簡易構造図

| | Bipolar Transistor | MOSFET | IGBT |
|----------------------|--------------------|--------|------|
| High voltage | | | |
| High speed switching | | | |

IGBTの使用用途:

車載用高耐圧素子や鉄道車両制御など



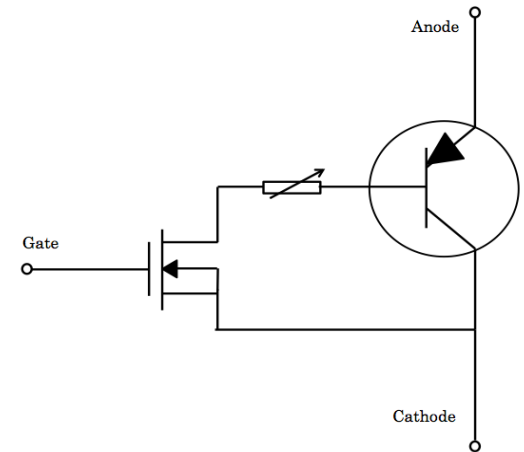
高信頼性が求められるアプリケーションに使用されるため、
多くの回路シミュレーションソフトでの事前解析における高精度化は重要

従来のマクロモデル

課題多

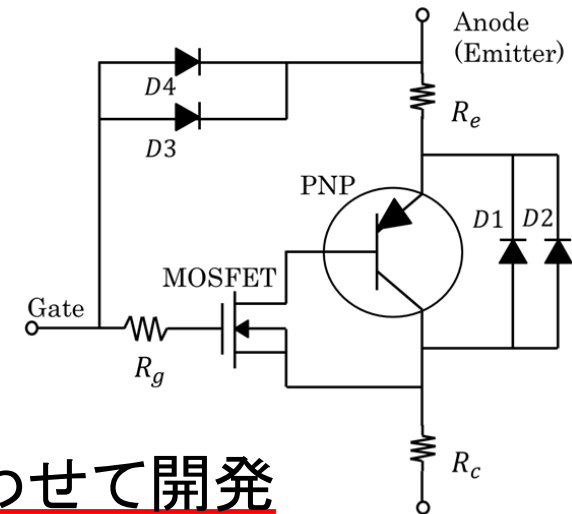
実測の差が大きい

- ・フリーホイールダイオードのシミュレーション不可
- ・DMOS出力抵抗が一定
- ・小信号AC解析を考慮していない etc...



提案するマクロモデル

- ・静特性, 動特性についてより高精度に表現
 - ・より高精度なシミュレーションを行える環境
- マクロモデルをSPICEの基本エレメントを組み合わせて開発



多くの回路設計ツールのソースコードを改造することなく使用可能

並列に2つのダイオードを接続 (D3,D4)

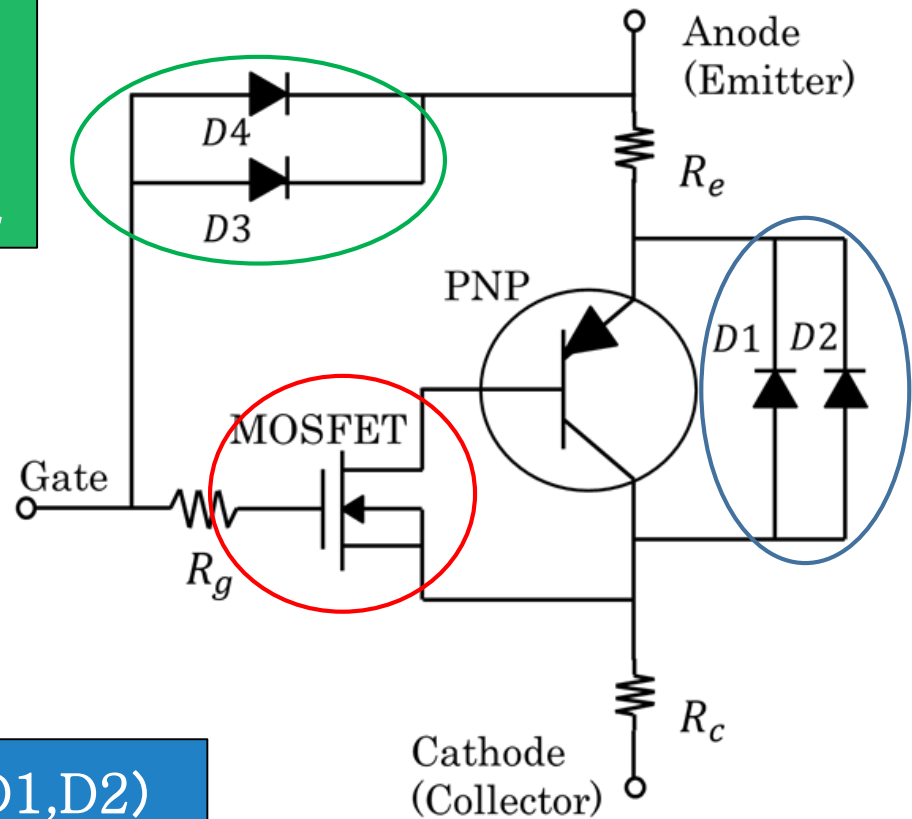
- ・AC解析やトランジェント解析のための
ゲートキャパシタを表現

BSIM4モデルに変更

- ・ドリフト電流モデル
 - ・出力抵抗モデル
- を正確に表現

並列に2つのダイオードを接続(D1,D2)

- ・ n^- の逆方向Breakdown電圧をコントロール
- ・フリーホイールダイオードの
順方向電流特性のシミュレーションを行う役割



使用したDATA SHEET

- ・日立製IGBT MBN1200E33E

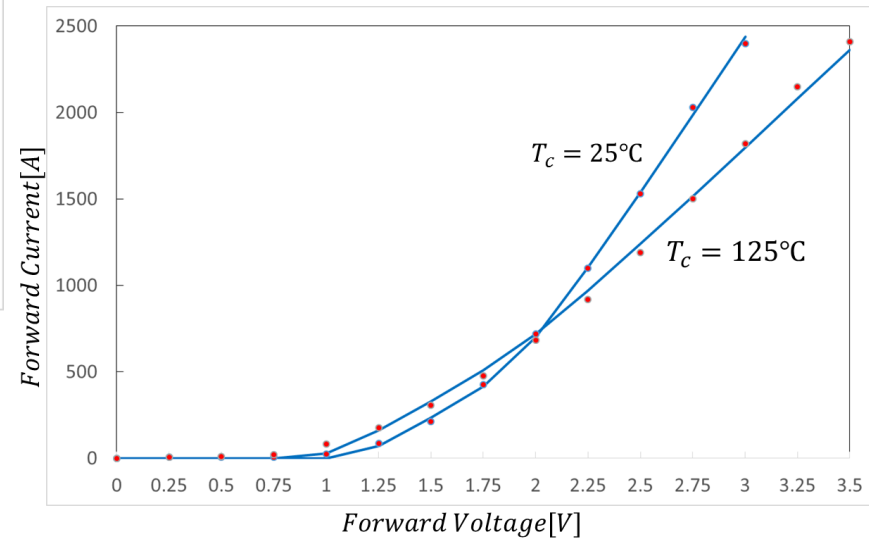
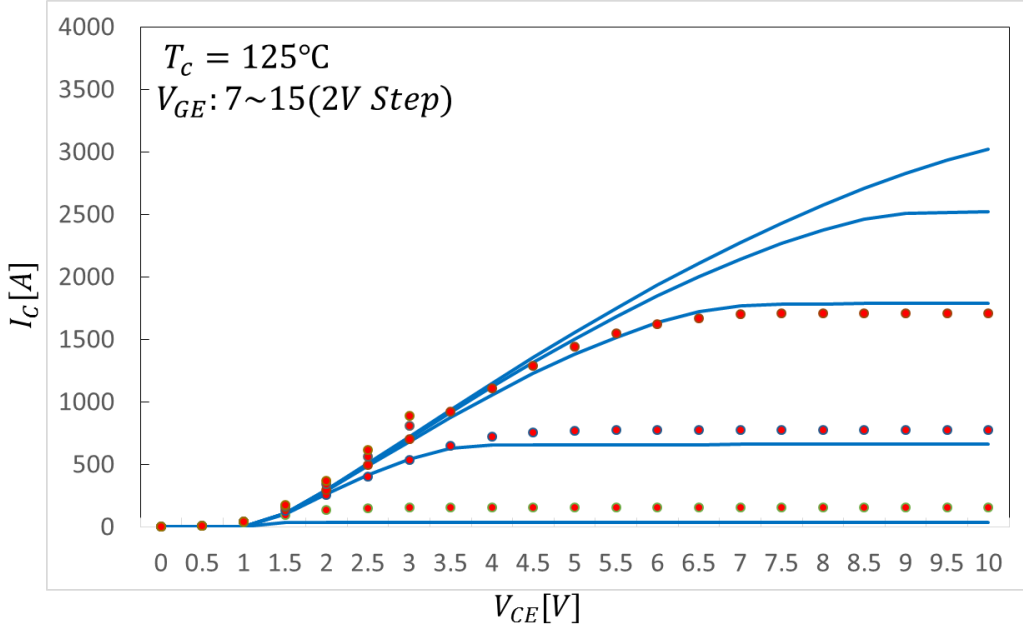
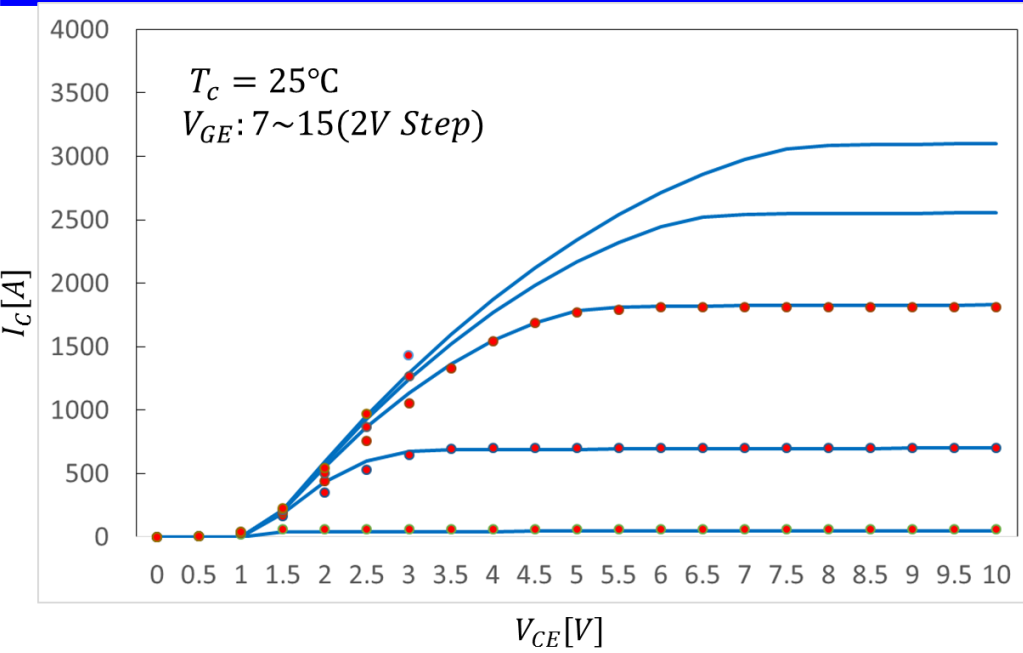
IGBTのマクロモデルをSPICEに実装

BSIM4モデル

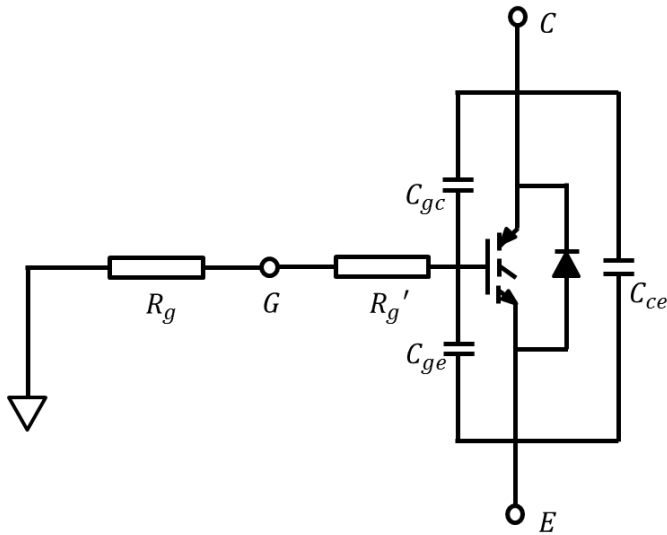
Gummel-Poonモデル

PNダイオードモデル

パラメータを抽出・チューニング



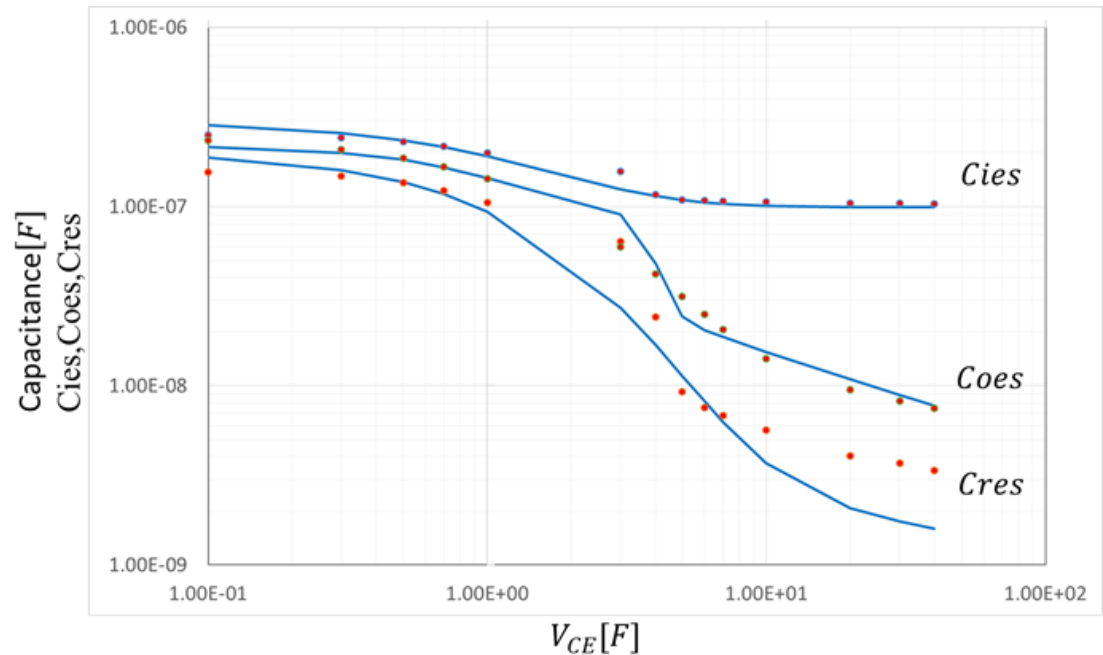
● Measured — A-IGBT model



$$C_{ies} = C_{ge}$$

$$C_{res} = C_{gc}$$

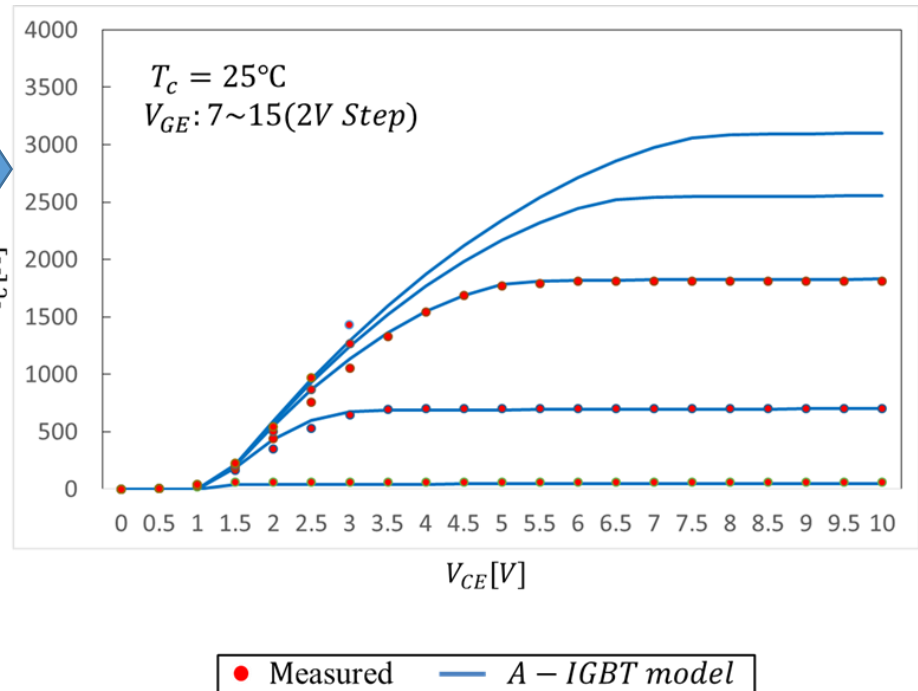
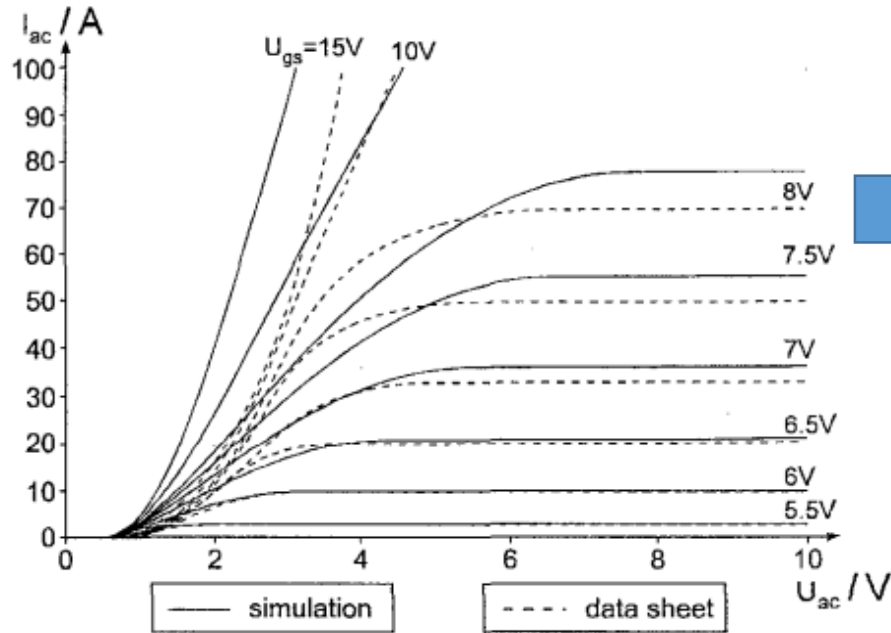
$$C_{oes} = C_{ce} + C_{gc}$$



3つの容量のすべてで
rmsエラー5%未満

● Measured — A-IGBT model

大幅に改善



[1] O. Apeldoorn, S. Schmitt, and R.W. De Doncker: "An Electrical Model of a NPT-IGBT Including Transient Temperature Effects Realized with PSpice Device Equations Modeling", IEEE Catalog, No. 97TH8280 pp.223-228 (1997)

- SPICEシミュレータ用のIGBTのマクロモデルを提案し、データシートからI-V, C-V, トランジエント特性の測定値として使用して、モデルパラメータを高精度に抽出
- 4つの接合ダイオードはIGBTのフリーホイールダイオードや接合容量を表現するために使用
- シミュレーション結果では移動度および飽和速度の温度効果に関連したモデルパラメータを抽出することで、高温での静特性、動特性を正確に表現できている

- 研究背景
- MOSFETの高信頼性モデル
- LDMOSの高信頼性モデル
- IGBTの高精度マクロモデル
- まとめ

- 多くの回路設計者が考慮するしきい値や飽和電流などをより高精度にシミュレーションできる環境を目的に研究
- モデリングにより実用性を考慮したシミュレーションの信頼性における成果をあげることができた
- 従来のモデルにHCI効果による劣化モデルを組みこむことでより信頼性の高いシミュレーション環境を開発
- マクロモデルのメリットである基本エレメントの組み合わせによって多くのシミュレーション環境に適応した高精度のモデルを開発

- 北陸先端科学技術大学院大学 金子先生
モデルとモデリングの定義の確認
- 東京工業大学 高橋先生
モデリングを行い高速化するイメージがわからない
MOSFETの劣化実験の結果が見えていなかった
(線が細すぎてわかっていなかったなので説明した)
抽出は自分達で行ったのか

- 中央大学 築山先生

MOSFETの信頼性モデリングにおいて

$$V_{th_{DEGRADATION}} = C_{HCI} \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}}$$



$$V_{th_{DEGRADATION}} = \mathbf{A} * \mathbf{B} * \mathbf{C} * t^{\frac{1}{1+n_x}}$$

A,B,Cをフィッティングパラメータとし劣化時間をtにいれて
 ただパラメータを変化させているだけではないとしたほうが
 いい