

Sent: Saturday, January 23, 2016 11:38 AM

To: edaj-vlda@eda.ics.es.osaka-u.ac.jp

Subject: [edaj-vlda:227] 第 62 回「システム LSI 合同ゼミ」開催のお知らせ

vlda 研究者各位,

第 62 回「システム LSI 合同ゼミ」開催のお知らせ

発表時間制限のない自由な研究討論の場として、標記合同ゼミを下記のように企画いたしました。この合同ゼミは、不定期に開催される非公式の公開研究発表会で、1 研究室や 1 研究部署で行われている研究発表を複数の研究機関合同で行い、幅広く忌憚のない意見交換を行おうとするものです。ご興味のおありの方は是非お誘い合わせの上ご参加ください。

なお、本合同ゼミは年 3 回程度の割で、今後も引続き開催していく予定です。皆様からもご発表頂けるようでしたら、これほど嬉しいことはございません。ご遠慮無くご相談いただきたく、お待ち申し上げます。

小林春夫, 白石洋一(群馬大学),
金子峰雄(北陸先端科学技術大学院大学),
北澤仁志, 藤吉邦洋(東京農工大学),
高島康裕(北九州市立大学),
小平行秀(会津大学),
山田昭彦(コンピュータシステム&メディア研究所),
梶谷洋司(設計アルゴリズム研究所),
貴家仁志(首都大学),
築山修治(中央大学),
高橋篤司, 岡田健一, 原祐子(東京工業大学),
戸川望(早稲田大学)

記

《第 62 回システム LSI 合同ゼミ》

日時: 2016 年 1 月 30 日(土) 午後 1 時から午後 7 時頃まで(予定)

場所: 早稲田大学西早稲田キャンパス

発表: 55 号館 5 棟 2 階第 3 会議室 (午後 1 時より)

ポスター: 55 号館 S 棟 2 階第 4 会議室 (午後 5 時 30 分(予定)より)

※ 以下の URL をご参照下さい.

<http://www.sci.waseda.ac.jp/access/>

ポスター懇談会では, 発表のあった研究に関してポスターボードを用いた研究討論を予定しております. 軽食・アルコール飲料を準備いたします. ポスター懇談会のみでの参加も歓迎します.

協賛: IEEE CEDA All Japan Joint Chapter

参加費: 1,000 円(予定, 当日払い)

申し込み: 合同ゼミ(ポスター懇談会のみも可)に参加ご希望の方は, 準備の都合上, 2016 年 1 月 26 日(火)までに, 以下の連絡先までお申し込みください.

申し込み・ご質問等宛先:

早稲田大学・戸川望

Email ntogawa@waseda.jp

発表:

(1) 半導体デバイスモデリング技術

群馬大学大学院理工学府電子情報部門

小林研究室 博士前期課程 2 年 戸塚拓也・香積正基

私たちは, 半導体デバイスモデリングについて研究を行なっている. 次の2つの研究を紹介する.

1) 微細 CMOS の信頼性モデル

一つ目はバイアス劣化現象の Hot Carrier Injection 効果に着目し, 微細 CMOS における経年劣化シミュレーションモデルの研究である. 経年劣化特性をモデル化して従来モデルに組み込むことで, SPICE で回路設計者がシミュレーションを行い, 経年劣化前後の直流電圧・電流特性を事前に予想できるようにしている.

2) パワー半導体 IGBT の高精度マクロモデル

二つ目は, パワーデバイスである IGBT の回路シミュレーション用 IGBT モデルに関する研究である. IGBT を用いて回路シミュレーションを行う場合, 従来の SPICE モデルでは実測との差が大きいという問題点があるので, 事前解析における高精度化が重要である. 本研究では IGBT の SPICE のソースコードを改造する事なく, 多くの SPICE 系シミュレータで使用可能にするため, SPICE 用モデルを SPICE の基本エレメントを組み合わせる高精度マクロモデルで開発した.

(2) デルタシグマ型時間デジタイザ回路設計とアナログ FPGA 実現

群馬大学大学院理工学府電子情報部門

小林研究室 博士前期課程 2 年 中條剛志

2 つのクロック信号間の時間差を高時間分解能でデジタル値として計測するデルタシグマ型時間デジタイザ回路を設計し、アナログ FPGA 実現・測定評価をしたので報告する。とくに、短時間測定のためのマルチビット型を検討し、その高線形性測定のためのアルゴリズムを開発・実機検証した結果を示す。

(3) 動的タイミングエラー検出を用いた可変レイテンシ化による一般同期式回路の高性能化

東京工業大学大学院理工学研究科通信情報工学専攻

高橋研究室 修士 2 年 中塚裕志

集積回路設計において、完全同期式回路の枠組みでのクロック周期削減による性能向上は限界に達しつつあることから、それに替わるものとして一般同期式回路が提案された。本論文では、一般同期式回路の性能向上を目的として、クロック周期の下限を定めるクリティカルコンポーネントの構成要素の FF を 2 重化し、タイミングエラーの検出・回復機構を付加することで回路を可変レイテンシ化する手法を提案する。また、提案手法を MIPS プロセッサに適用し、少ない面積オーバーヘッドで有意な性能向上がゲートレベルシミュレーションで得られることを示す。

(4) RC ポリフェーズフィルタのヒルベルトフィルタの観点からの考察

群馬大学工学部電気電子工学科

小林研究室 学部 4 年 田村善郎

RC ポリフェーズフィルタは、抵抗 R と容量 C から構成され、入出力が I, Q 信号の複素信号の受動アナログフィルタである。無線通信システムのアナログフロントエンド部に使用され、イメージ除去や I, Q 信号生成のために使用されている。この RC ポリフェーズフィルタをヒルベルトフィルタの観点から考察したので報告する。すなわち、RC ポリフェーズフィルタは入出力が複素信号の場合の理想ヒルベルトフィルタ特性の近似であることを示す。

(5) Self-Aligned Quadruple Patterning のための 3 色グリッド上の異色ネット
を考慮した配線手法
東京工業大学大学院理工学研究科通信情報工学専攻
高橋研究室 修士 2 年 本江俊幸

Self-Aligned Quadruple Patterning (SAQP) は半導体の微細化限界を超える
為の有望な技術の一つである。本研究では、ネットのピン配置の制限を緩和し
た場合でも SAQP で製造可能な配線パターンを生成する手法を提案する。この
提案手法は、あらかじめ一部に色を塗った 3 色グリッドを用いる配線手法の拡
張である。異色ネットのピンを拡張しグリッド構造を部分的に修正すること
で、異色グリッド間の配線を可能にし、生成した配線パターンは SAQP で製造出
来ることを保証する。

(6) IoT デバイスを対象とするトレースベース不揮発性メモリ書き込み削減符号
早稲田大学基幹理工学部情報通信学科
助教 多和田雅師

近年汎用コンピュータ市場に代わりモバイルコンピュータ・組み込み機器市場が
急成長した。IoT などの組み込み機器では特に低消費エネルギーであることが重
要となる。そのためリークエネルギーのほとんどかからない STTRAM や PCM など
の次世代不揮発性メモリが組み込まれることが想定される。次世代不揮発性メ
モリでは書き込みエネルギーが大きくかかる、書き込み耐久性が低いという問
題があるため書き込み量の削減が強く要求される。IoT などの組み込み機器では
プロセッサ上で動作するアプリケーションの種類が限定されるため、メモリエ
ンコードをそのアプリケーションに特化させることができる。シミュレーショ
ンにより得られたメモリアクセストレースを用いて書き込み削減符号を生成す
る。

Edaj-vlda mailing list

Edaj-vlda@eda.ics.es.osaka-u.ac.jp

<https://eda.ics.es.osaka-u.ac.jp/mailman/listinfo/edaj-vlda>