

逐次比較型時間デジタイザ回路の統計的手法 による線形性自己校正技術の検討

小澤祐喜、姜日晨、小林春夫、築地伸和

群馬大学 理工学部 電子情報理工学科

小林研究室 学部4年

小澤 祐喜

t13304037@gunma-u.ac.jp

研究目的

- 逐次比較型時間デジタイザの線形性を自己校正
- タイミングテストに応用可能
- 小型・高分解能
- FPGA実装向き 全デジタル構成



これらを満たすアルゴリズムと回路を提案

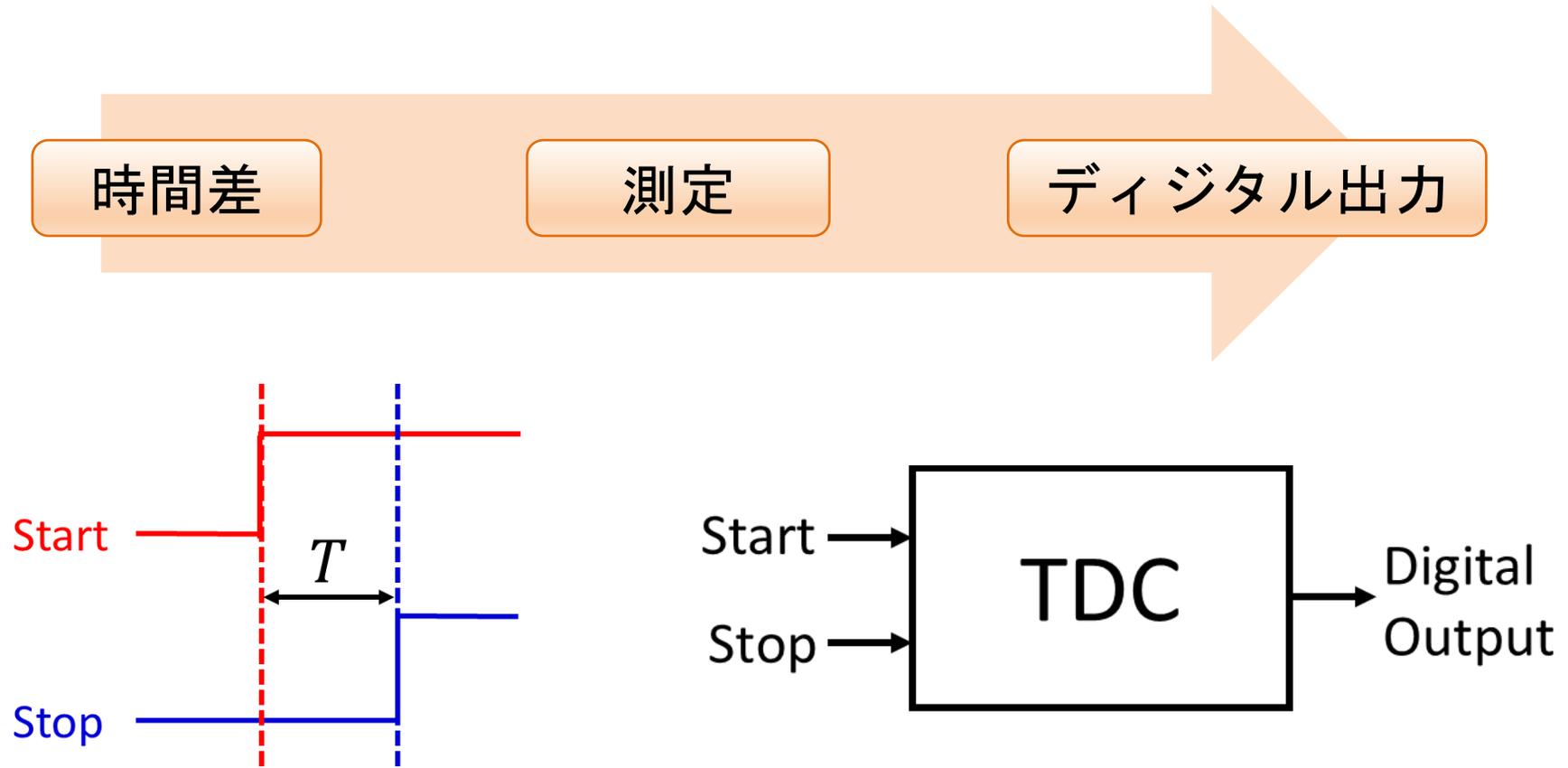
アウトライン

- 時間デジタイザ回路の役割
 - 時間デジタイザ回路の構成と動作
 - 具体的な応用例
 - タイミングテストへの応用
 - 有用性
 - 技術課題
- 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

アウトライン

- 時間デジタイザ回路の役割
 - 時間デジタイザ回路の構成と動作
 - 具体的な応用例
 - タイミングテストへの応用
 - 有用性
 - 技術課題
- 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

時間デジタイザ回路の役割

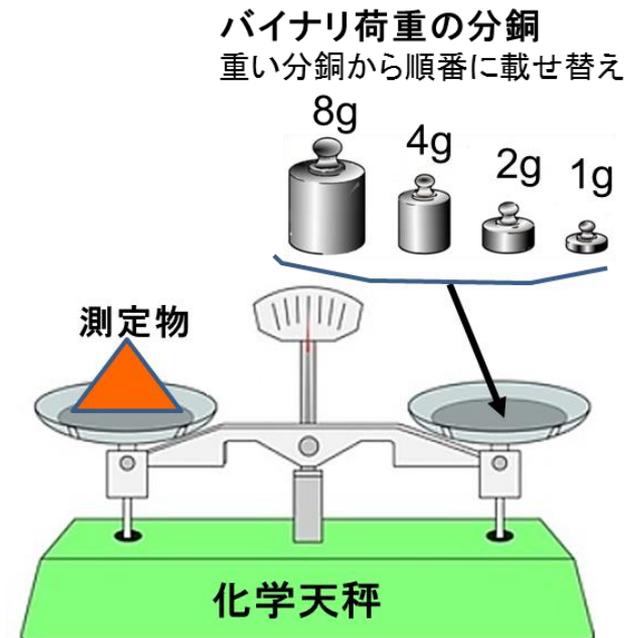
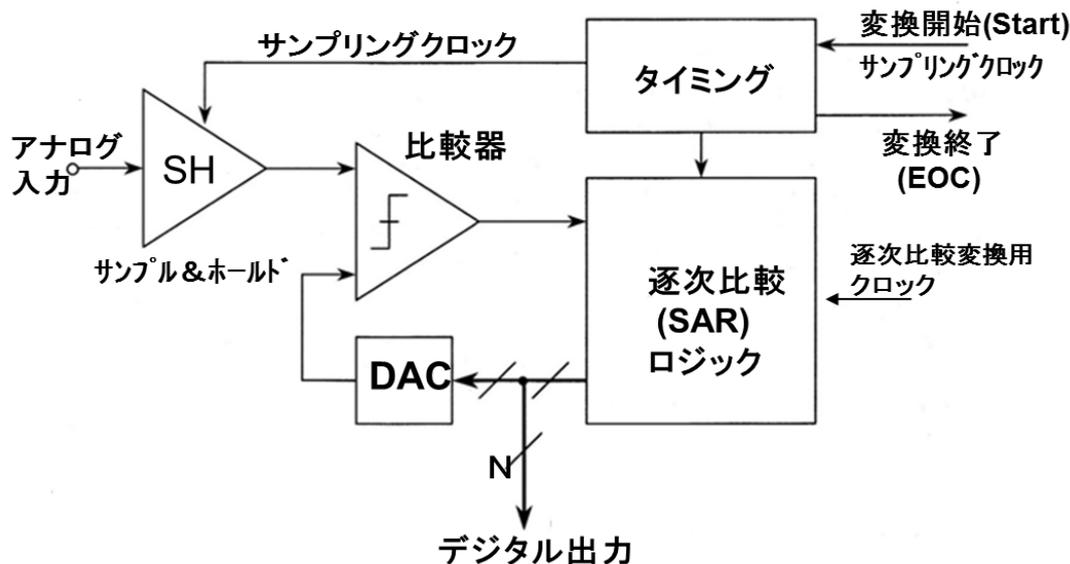
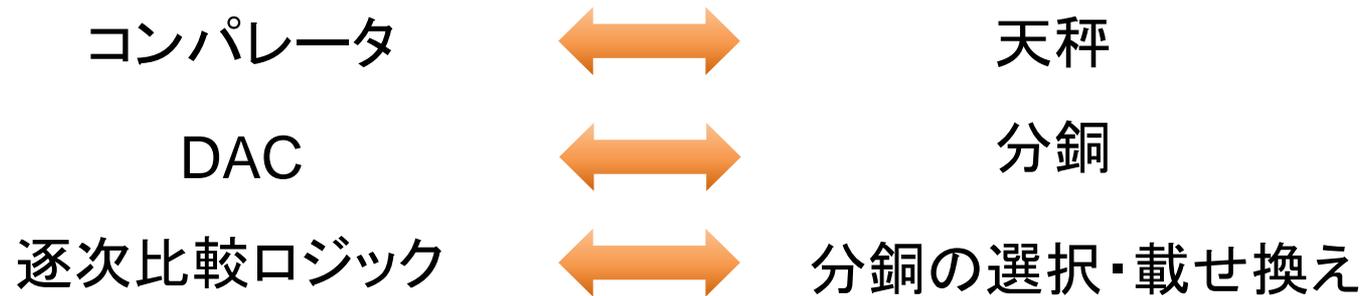


時間デジタイザ回路 (Time-to-Digital Converter、TDC) ;
タイミング信号の時間差を測定しデジタル出力

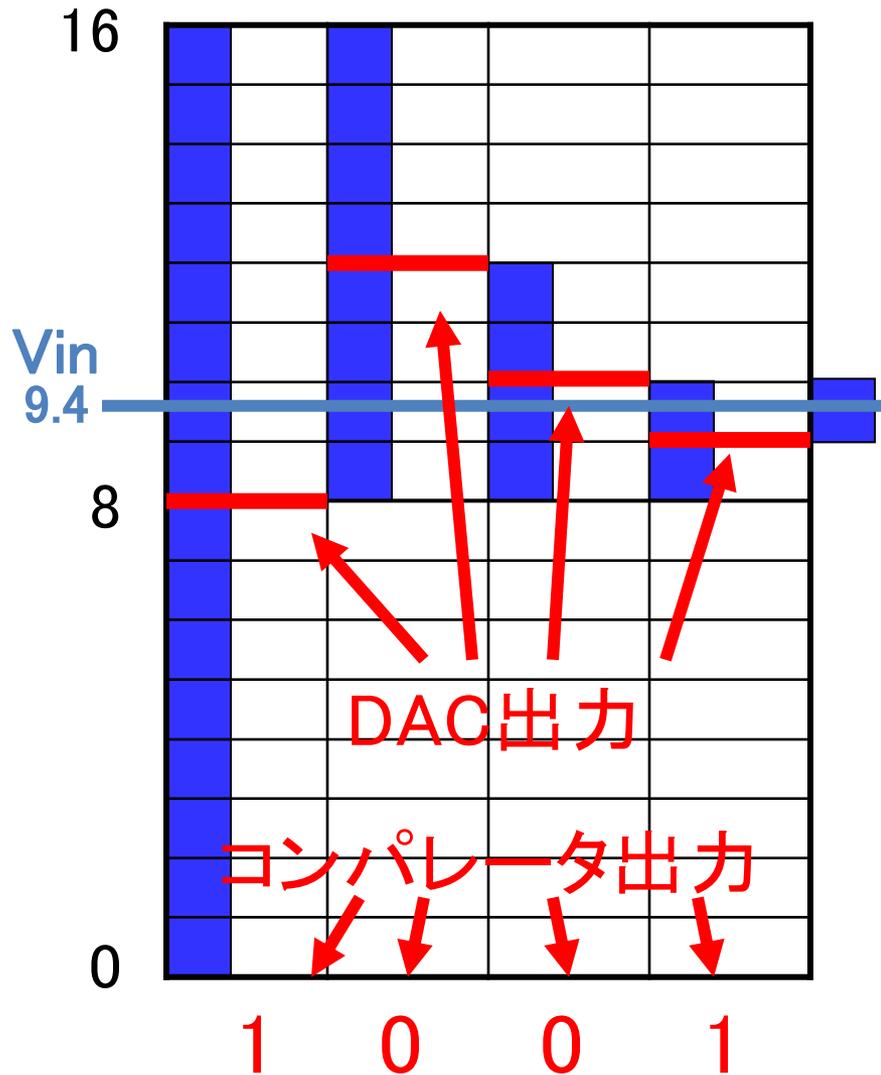
逐次比較の原理

例 逐次比較型ADC

速度と精度のバランスが良く、チップ面積が小さく汎用ADCに最も多く使用される方式



逐次比較: 2進探索アルゴリズム

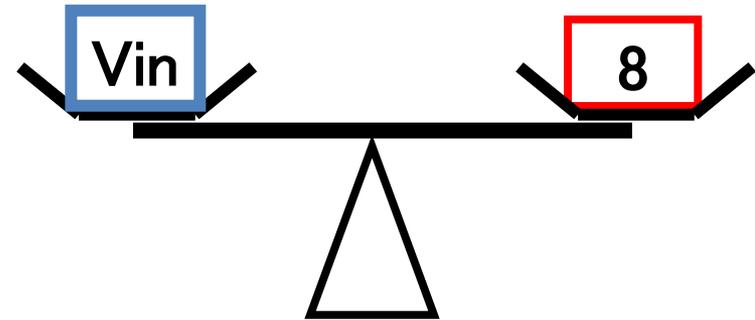


“天秤の原理”

4bit 4step

8 4 2 1 2進荷重

1
2 4

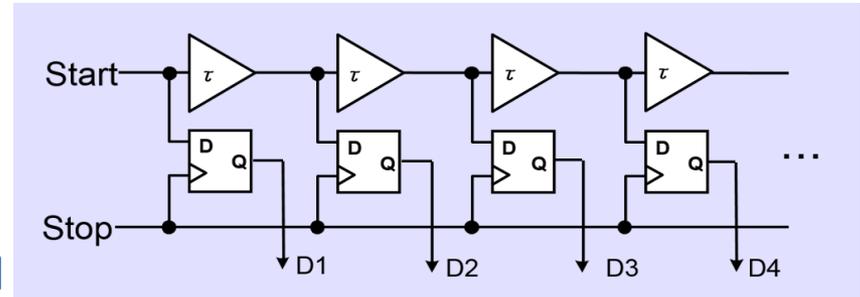


$$\boxed{\text{Vin}} = \begin{array}{c} 4 \\ \boxed{8} \end{array} - \begin{array}{c} 1 \\ \boxed{2} \end{array} = 9$$

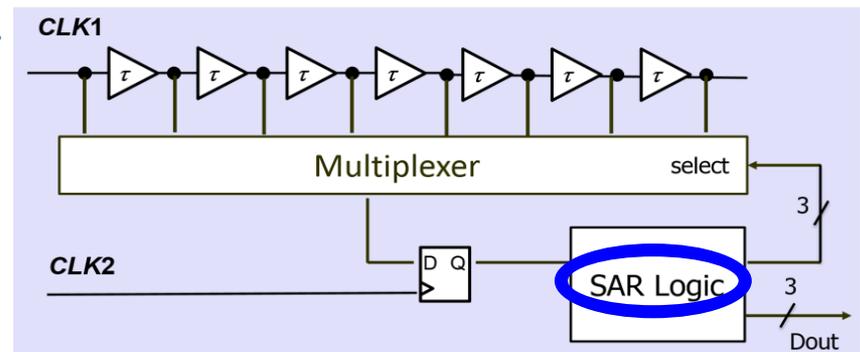
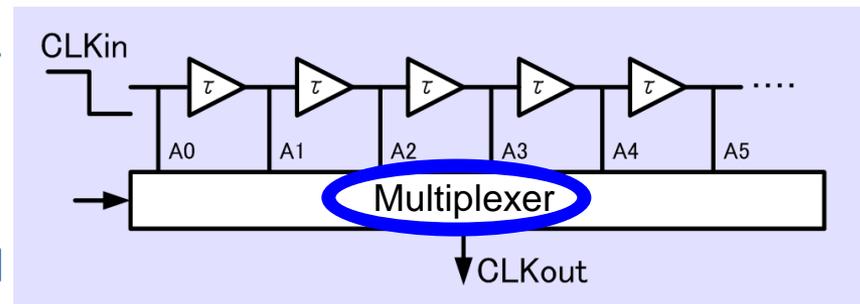
逐次比較型TDCの構成

マルチプレクサを使用し
Dフリップ・フロップ数を大幅削減

逐次比較近似の原理を利用し
回路の動作ループを作る



基本フラッシュ型TDC



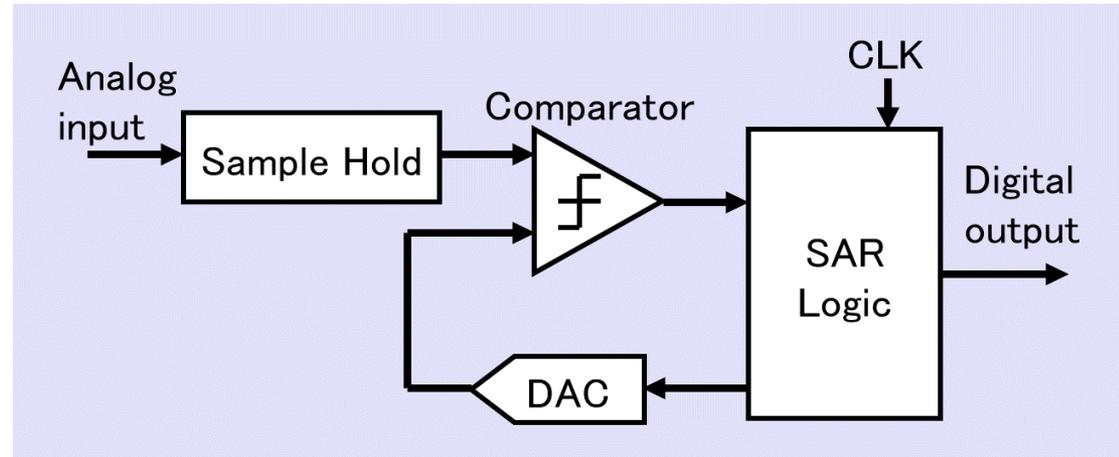
逐次比較型TDC

逐次比較型
SAR: Successive Approximation Register

SAR-ADCとSAR-TDCの比較

天秤の原理で動作：

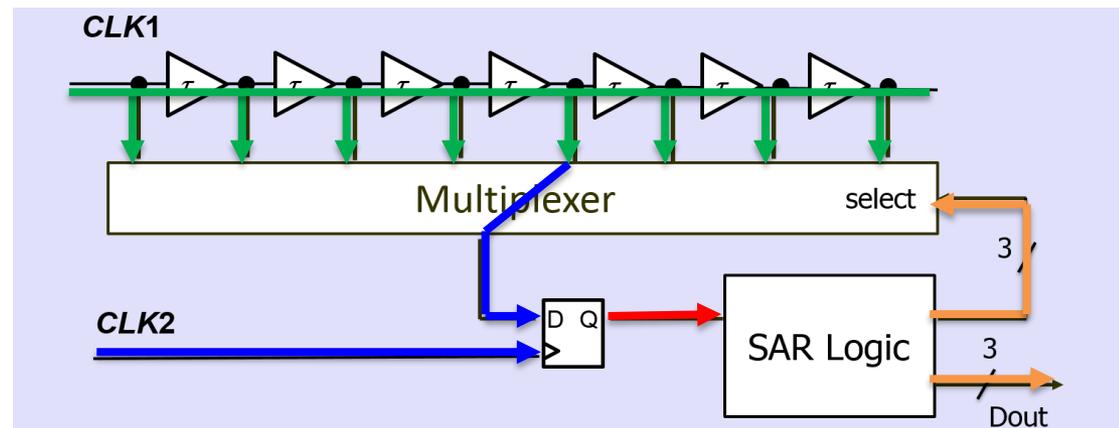
- 天秤がコンパレータ
- 分銅がDAC



SAR-ADC

天秤の原理で動作：

- 天秤がD-FF
- 分銅が遅延素子



SAR-TDC

具体的な応用例



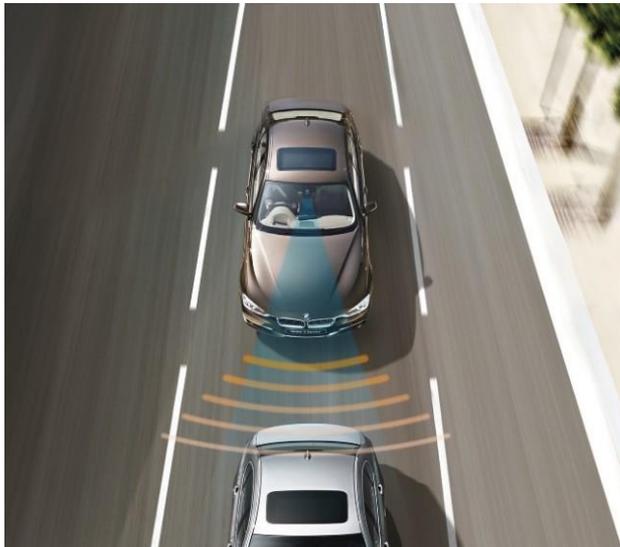
SIEMENS CO.,LTD.

放射線計測器

車間等の距離計測

イオン飛行時間分析

時間領域ADC 等



BMW AG CO.,LTD.



JAXA Digital Archives

車載センサとしての応用

DENSO

小型

高分解能

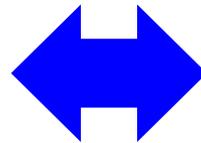
低コスト

高信頼性



脱アナログ化

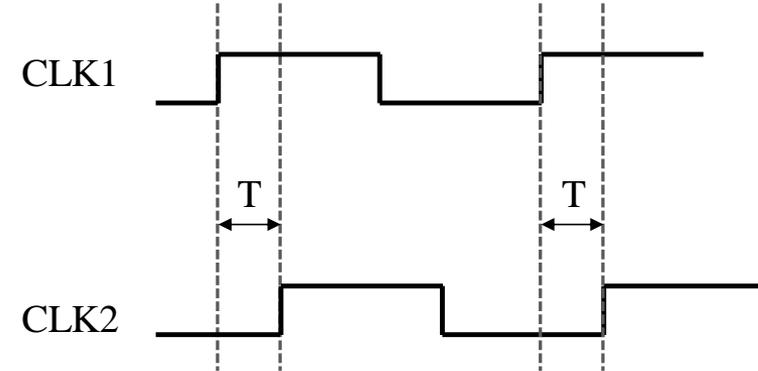
センサ回路の
全デジタル化



TDCを応用して解決

タイミングテストへの応用

- 2つの繰り返しクロック信号のタイミングテスト回路としてSAR-TDCを応用

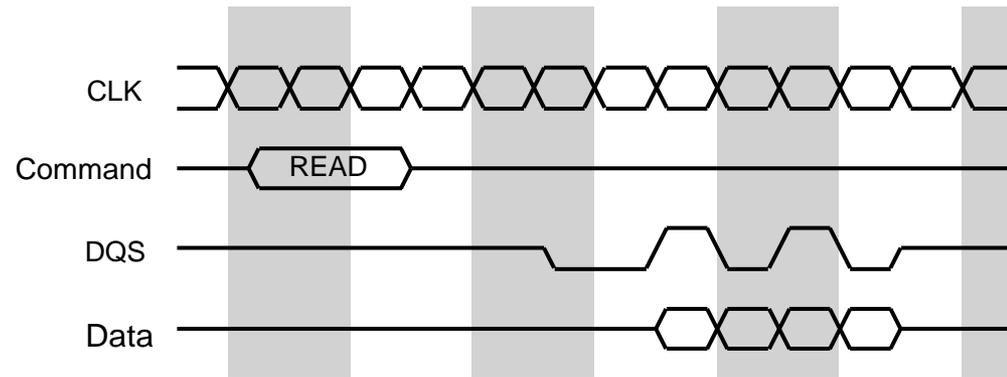


例 DDRメモリのクロック信号

- テスト時間の短縮
- 高い正確性
- 全デジタル設計が可能



小さい回路規模でBOST/BIST実装可能

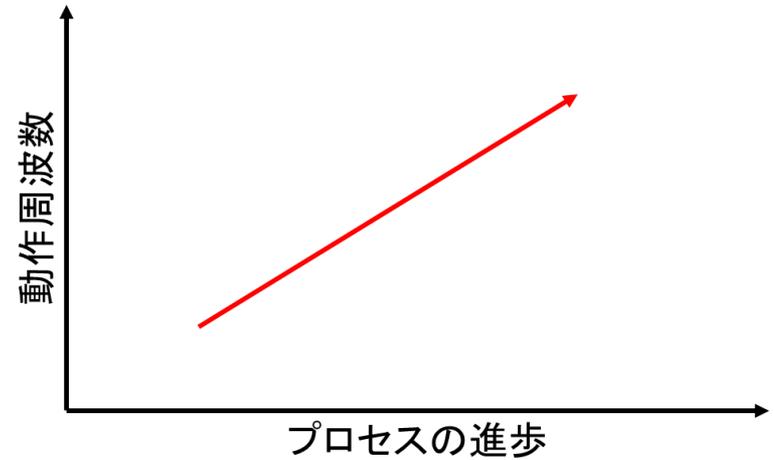
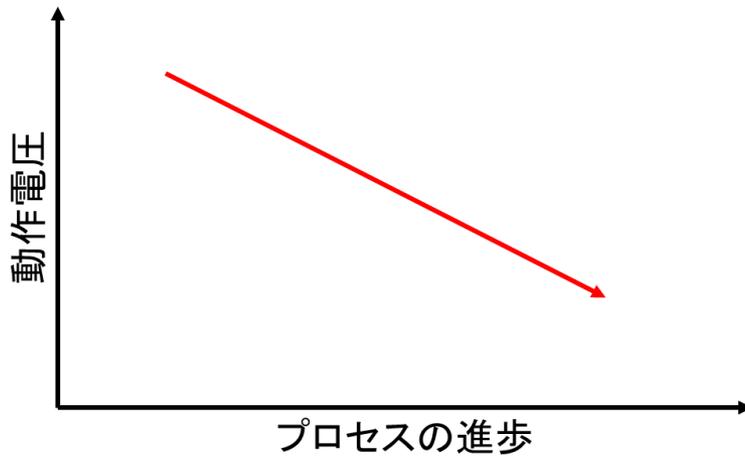


BOST: Built-Out Self-Test
BIST: Built-In Self-Test

CMOS微細化に伴う傾向

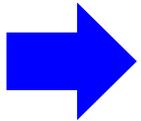
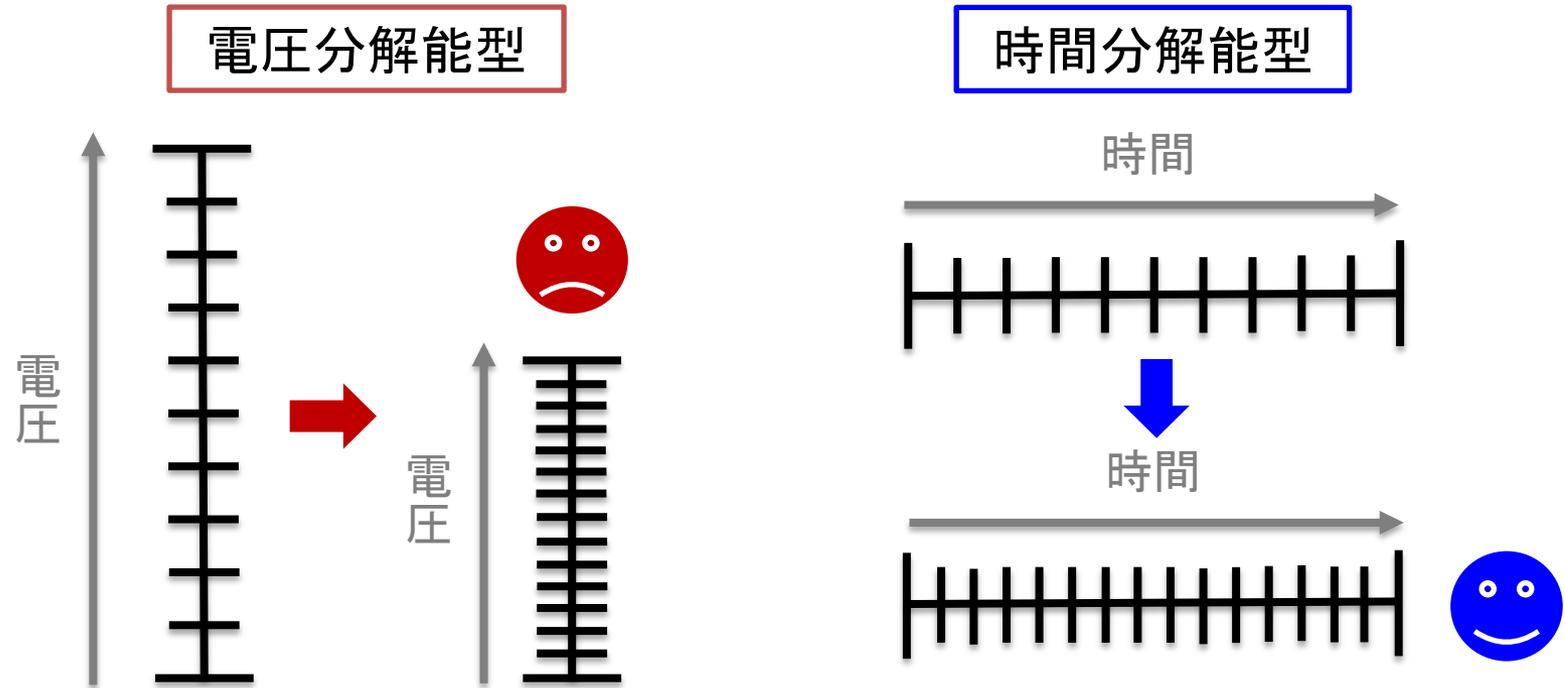
CMOSプロセス技術の微細化

→ { 低電圧化
動作周波数の向上



TDCの利点

利点①

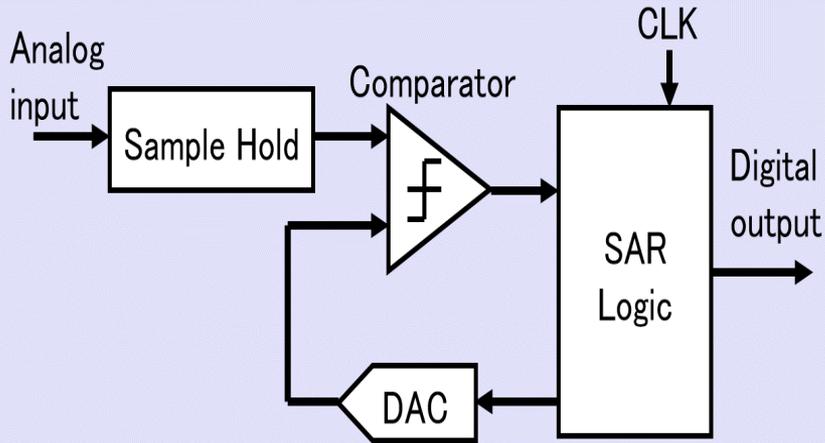


微細化により時間分解能が上がる

TDCの利点

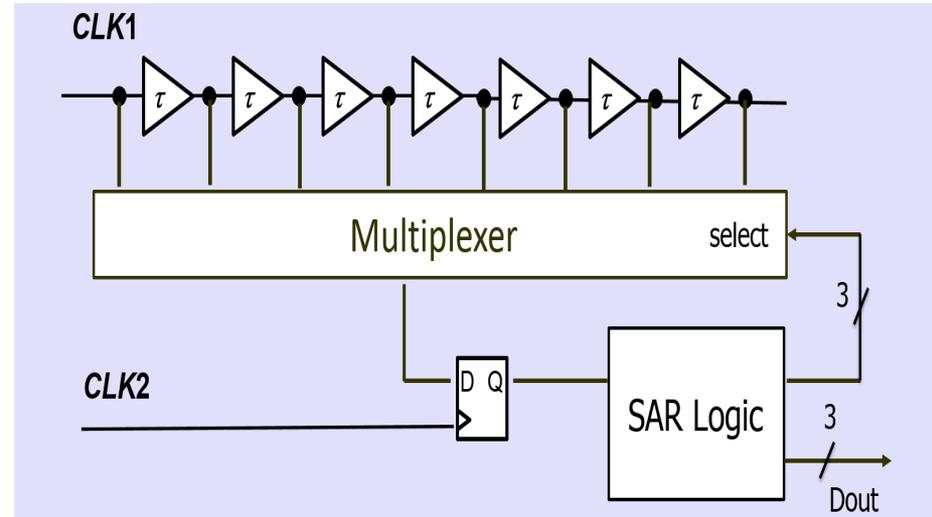
利点②

電圧分解能型

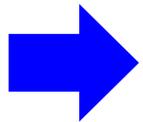


SAR-ADC

時間分解能型



SAR-TDC



全てデジタル回路で構成できる

技術課題

時間分解能

時間

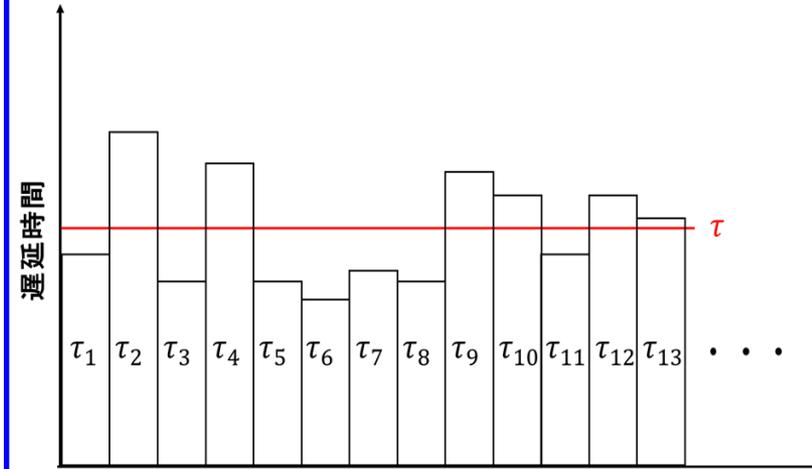


時間



素子遅延値ばらつき

遅延時間

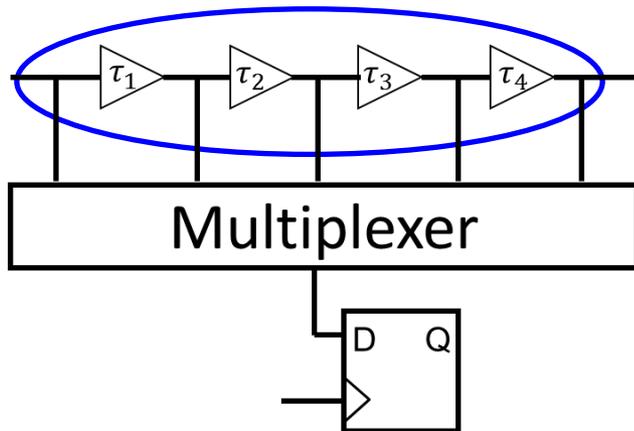


各素子

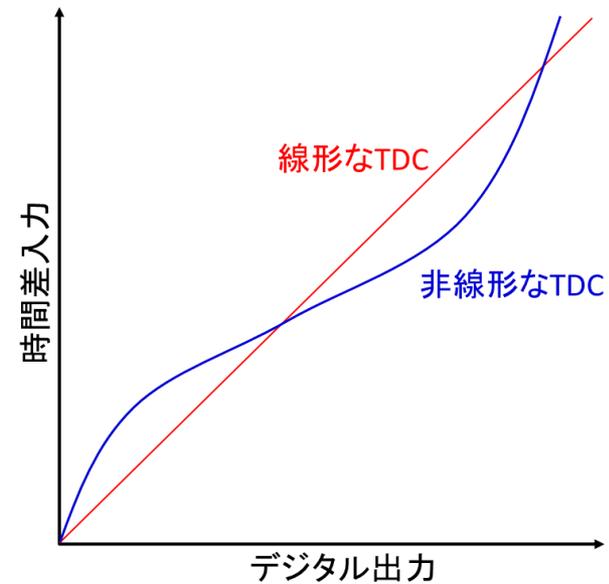
トレードオフ

技術課題

素子遅延値ばらつき



TDCの入出力が非線形



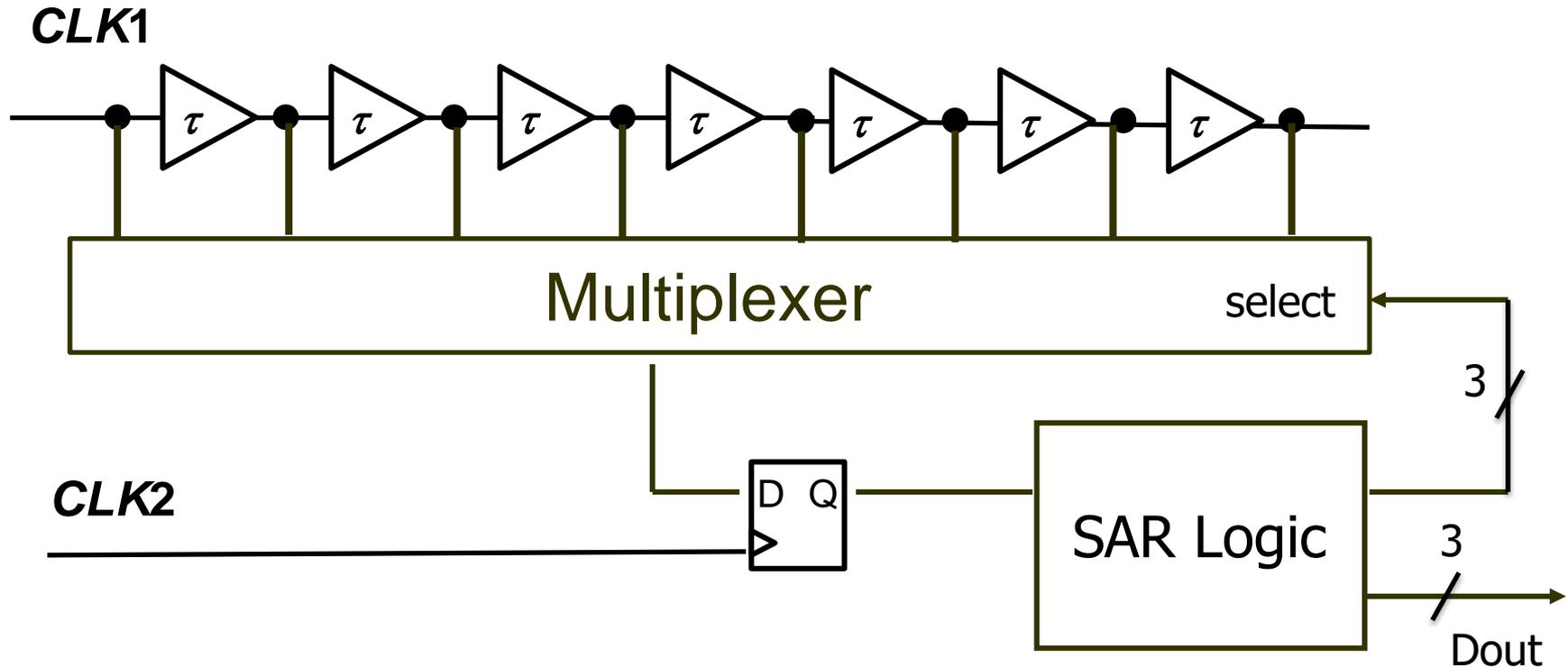
TDCの特性を線形に校正する技術が必要

アウトライン

- 時間デジタイザ回路の役割
 - 時間デジタイザ回路の構成と動作
 - 具体的な応用例
 - タイミングテストへの応用
 - 有用性
 - 技術課題
- 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

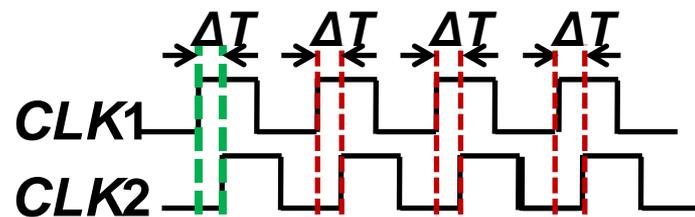
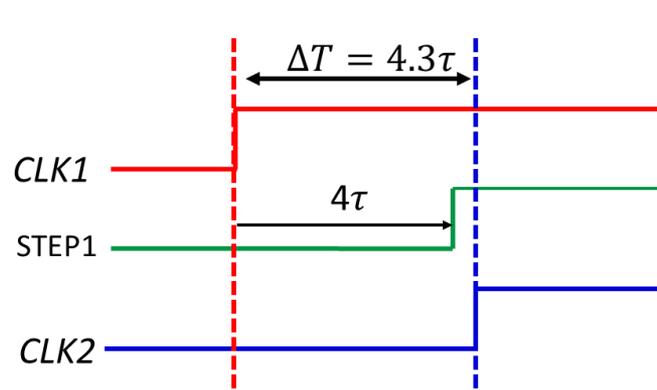
逐次比較型(SAR)TDCの構成と動作

回路構成



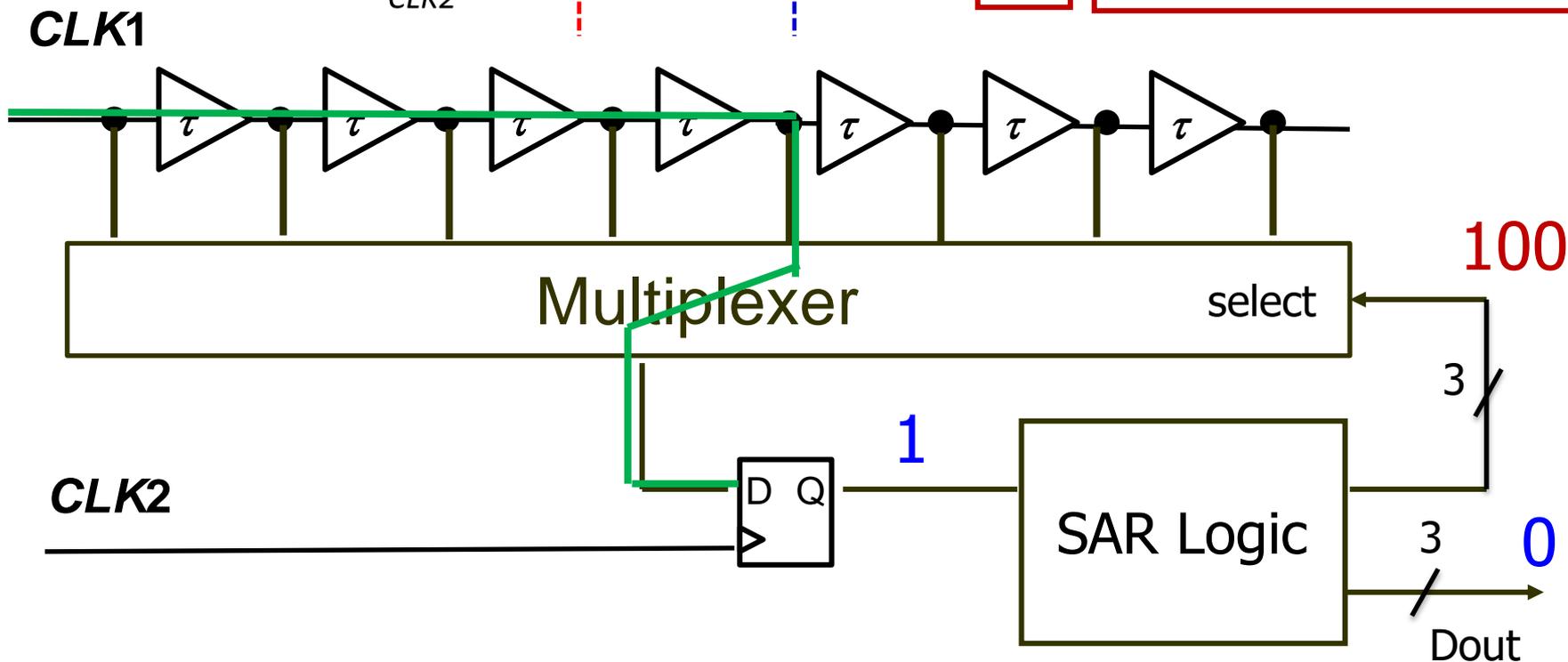
逐次比較型(SAR)TDCの構成と動作

STEP 1



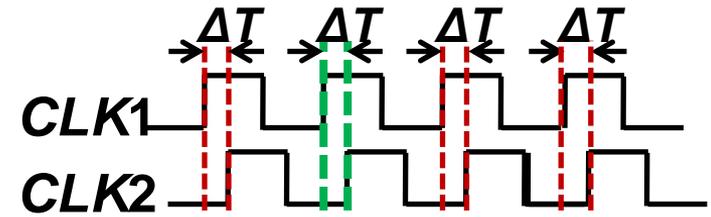
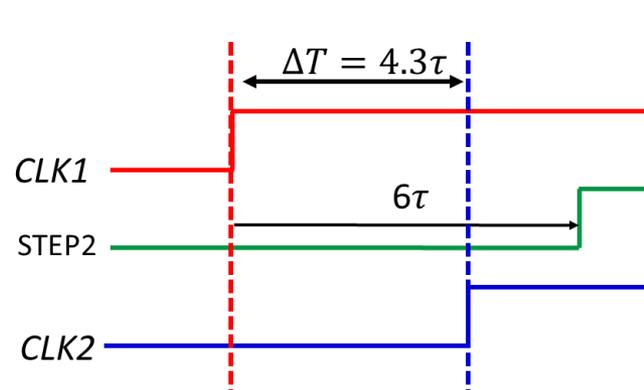
例

$\Delta T = 4.3\tau$ の場合



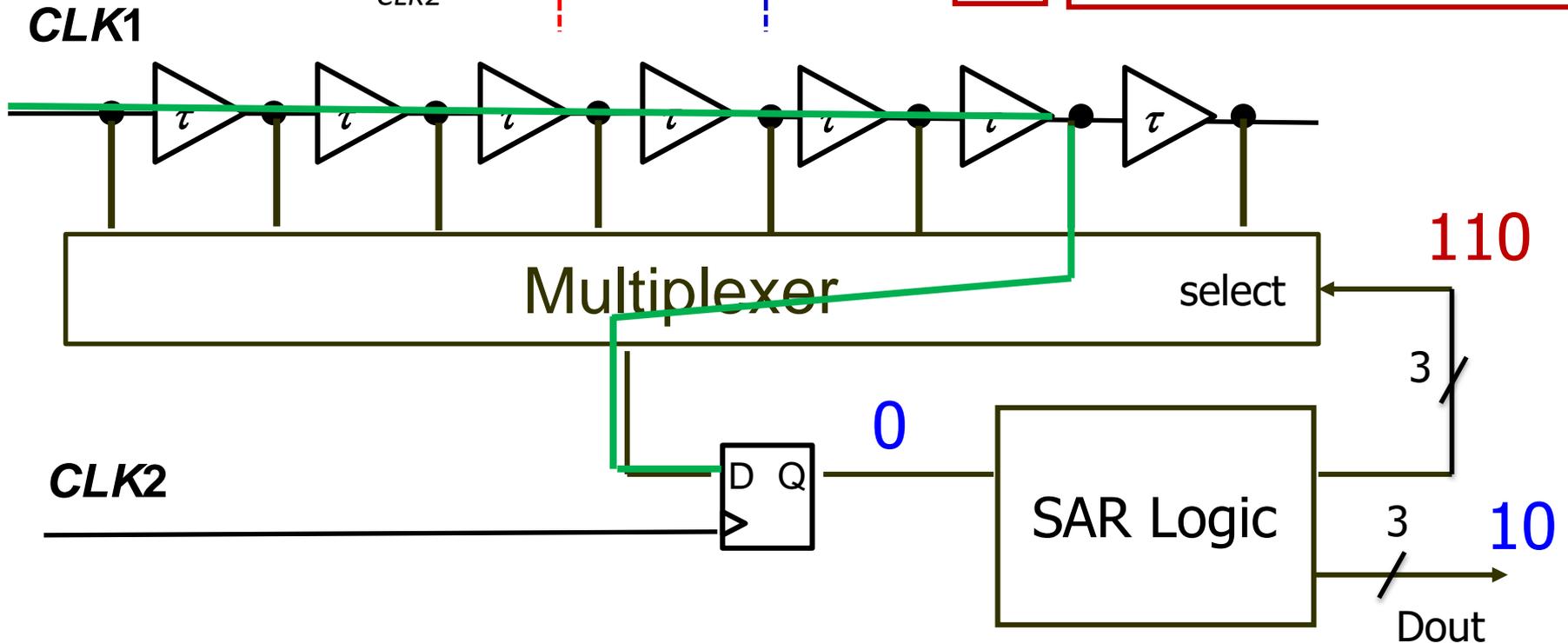
逐次比較型(SAR)TDCの構成と動作

STEP2



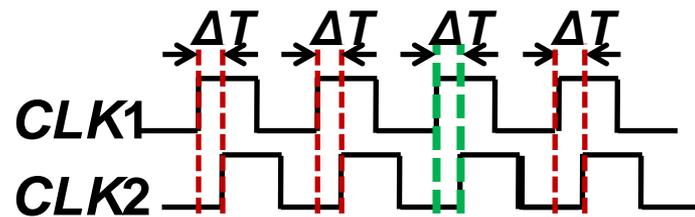
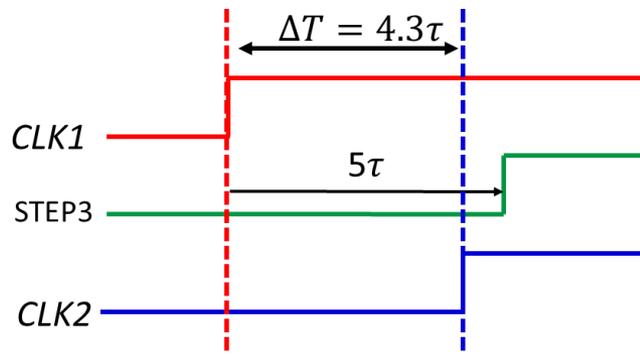
例

$\Delta T = 4.3\tau$ の場合

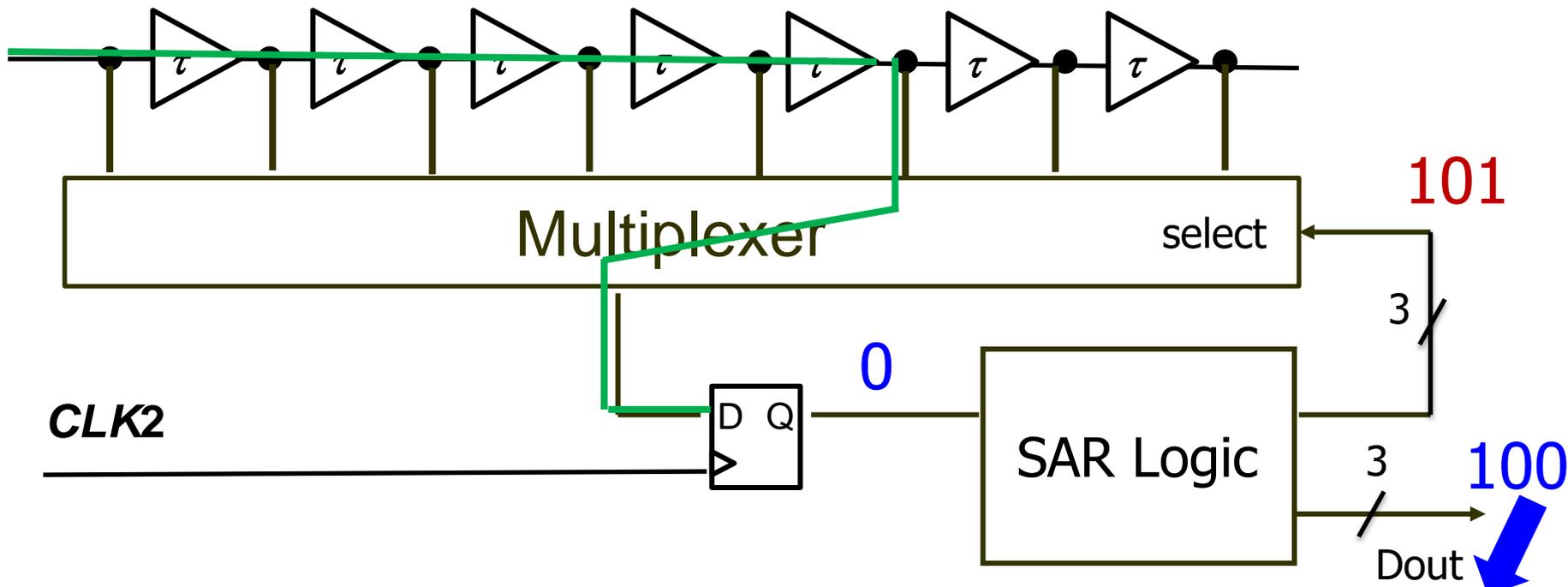


逐次比較型(SAR)TDCの構成と動作

STEP3

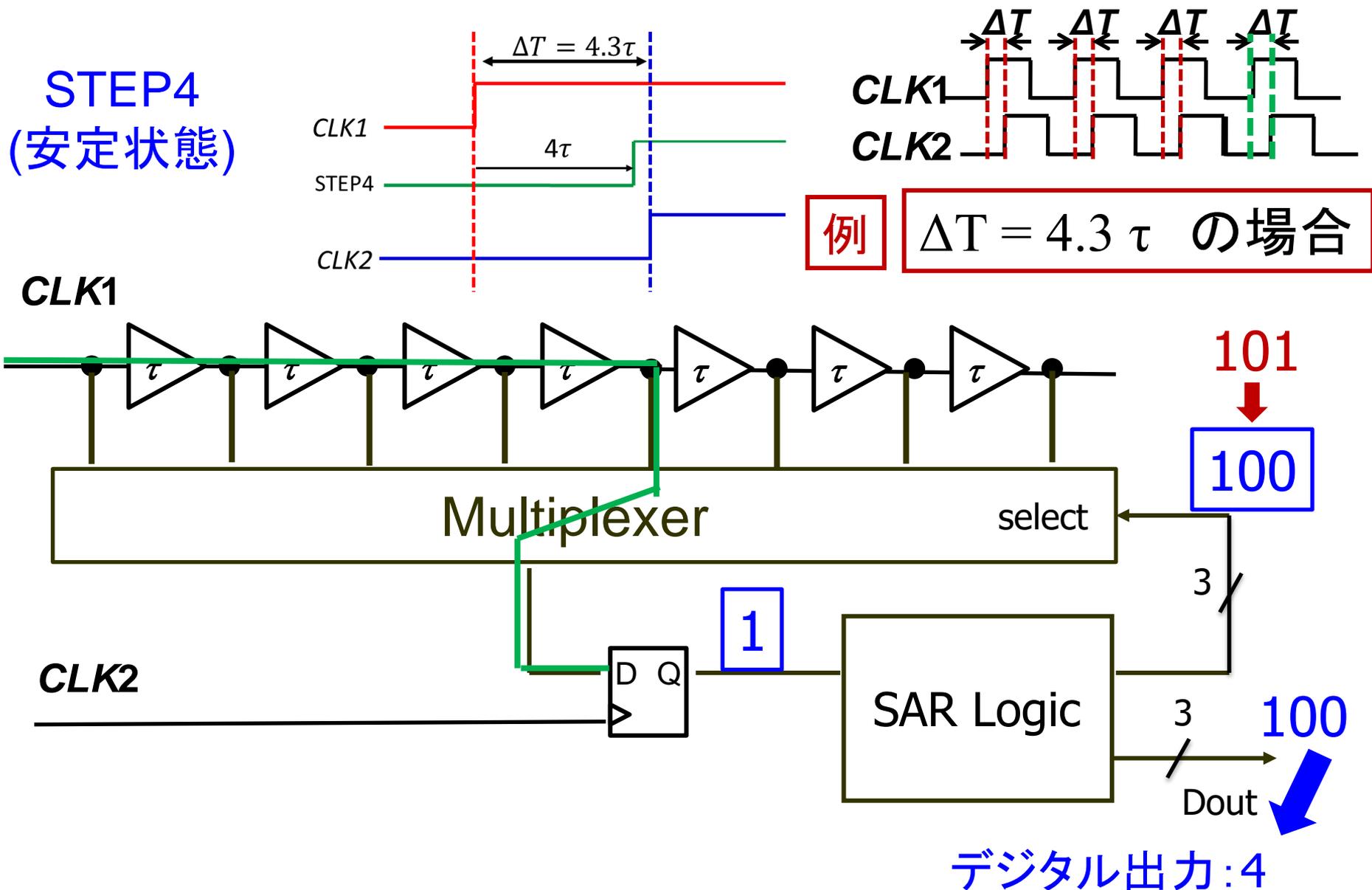


例 $\Delta T = 4.3 \tau$ の場合



デジタル出力: 4

逐次比較型(SAR)TDCの構成と動作



アウトライン

- 時間デジタイザ回路の役割
 - 時間デジタイザ回路の構成と動作
 - 具体的な応用例
 - タイミングテストへの応用
 - 有用性
 - 技術課題
- 逐次比較型(SAR)TDCの構成と動作
- **校正メカニズム**
 - ヒストグラム法による素子遅延値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

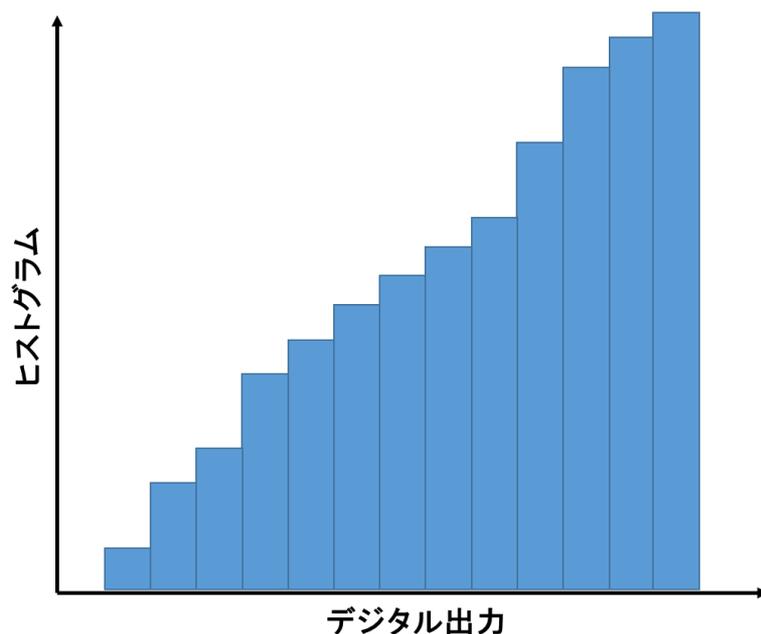
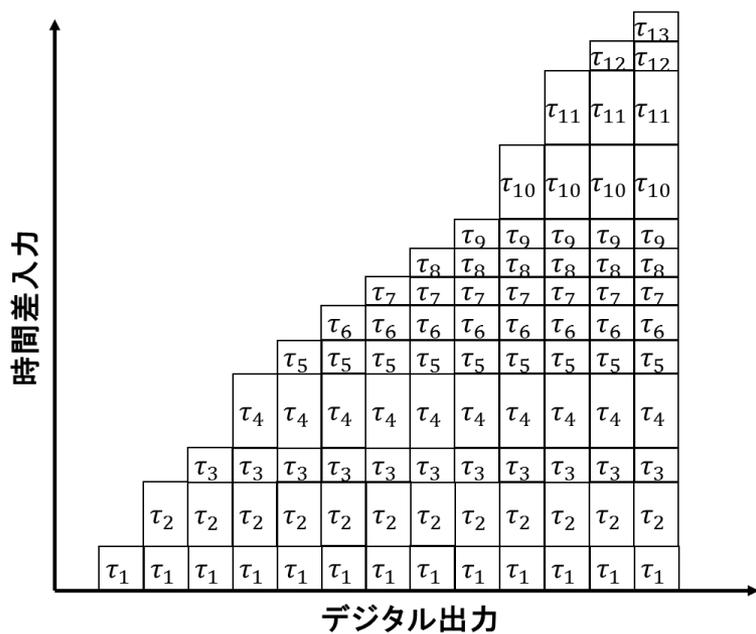
ヒストグラム法による素子遅延値の推定

ヒストグラム法



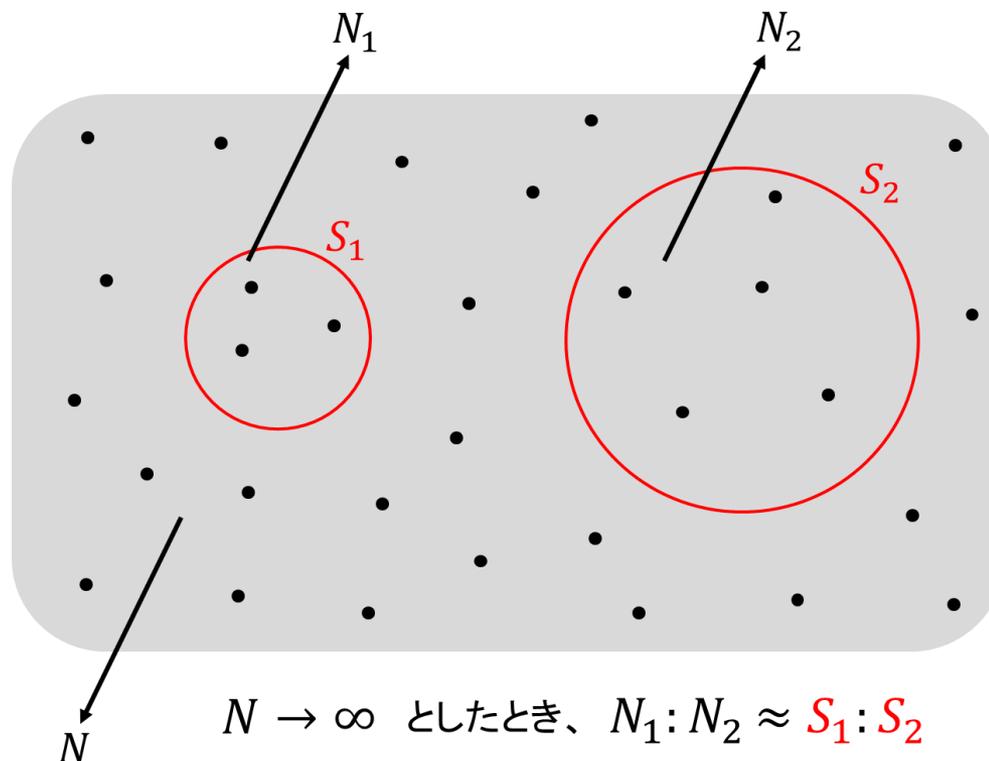
素子遅延値を間接的に知ることが可能

ヒストグラム・エンジンによる統計処理



ヒストグラム法による遅延素子値の推定

ヒストグラム法の原理



全体の面積に対して
無作為に点を打つ



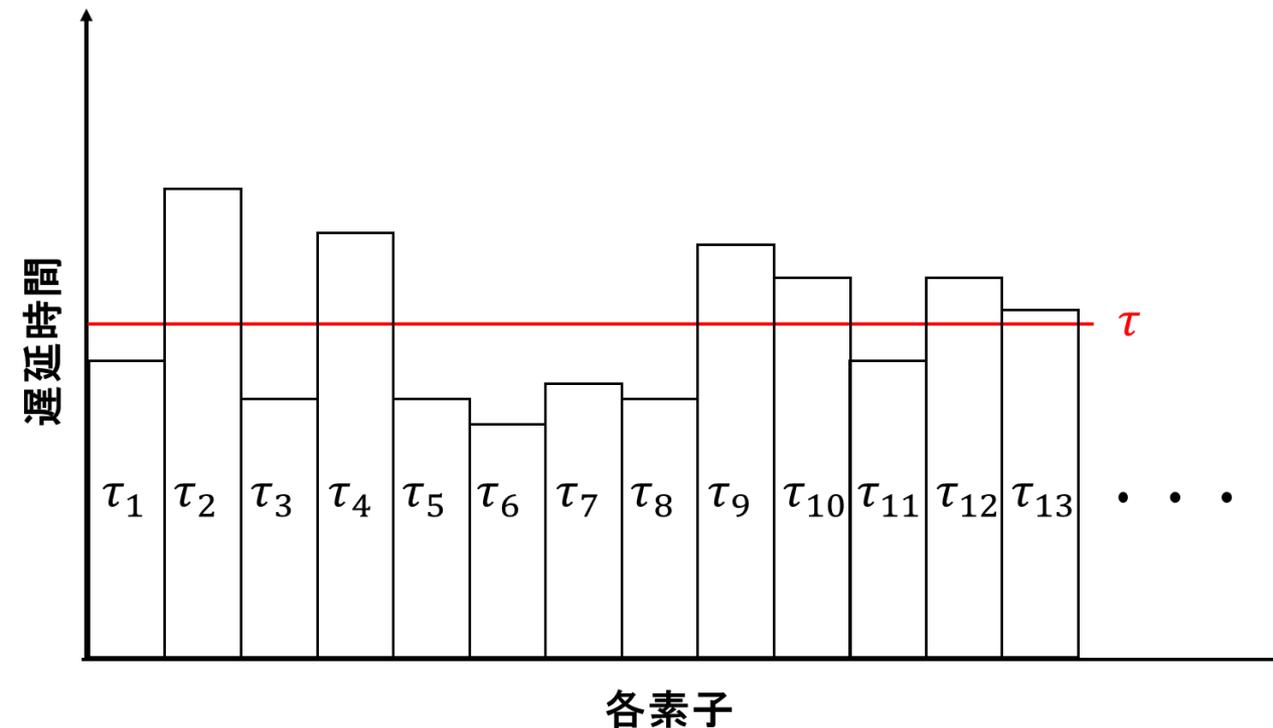
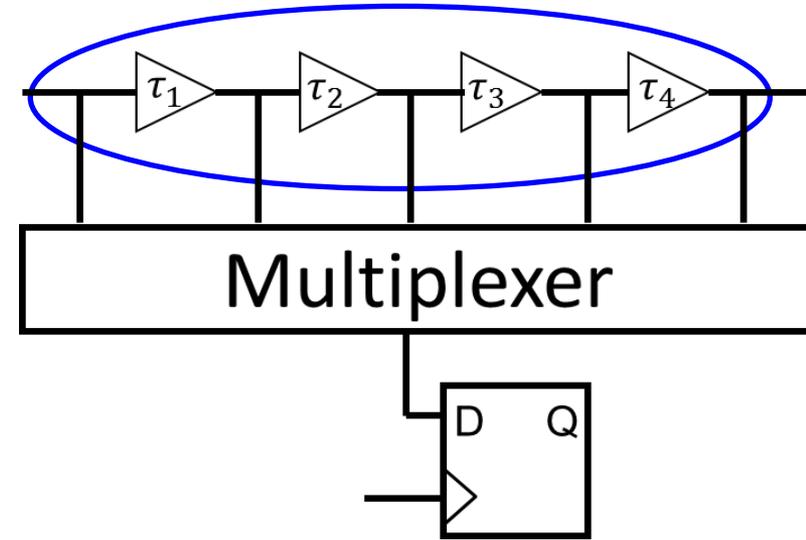
それぞれの円の面積の比は
それぞれの点数の比に近似できる

TDCの線形性劣化

素子遅延値ばらつき



TDC特性の非線形性を生む

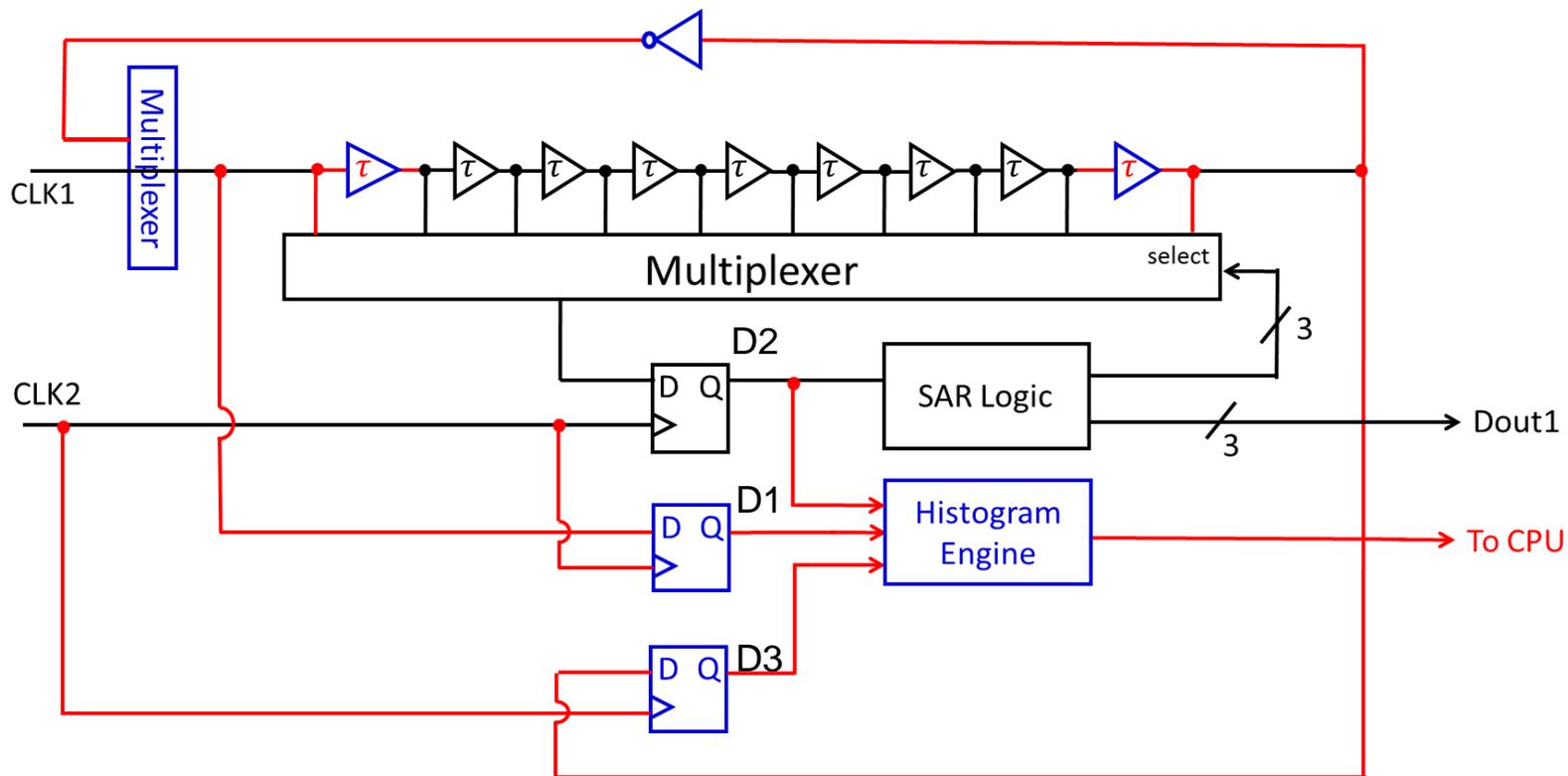


アウトライン

- 時間デジタイザ回路の役割
 - 時間デジタイザ回路の構成と動作
 - 具体的な応用例
 - タイミングテストへの応用
 - 有用性
 - 技術課題
- 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
 - ヒストグラム法による素子値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

測定回路を組み込んだSAR TDC

回路構成

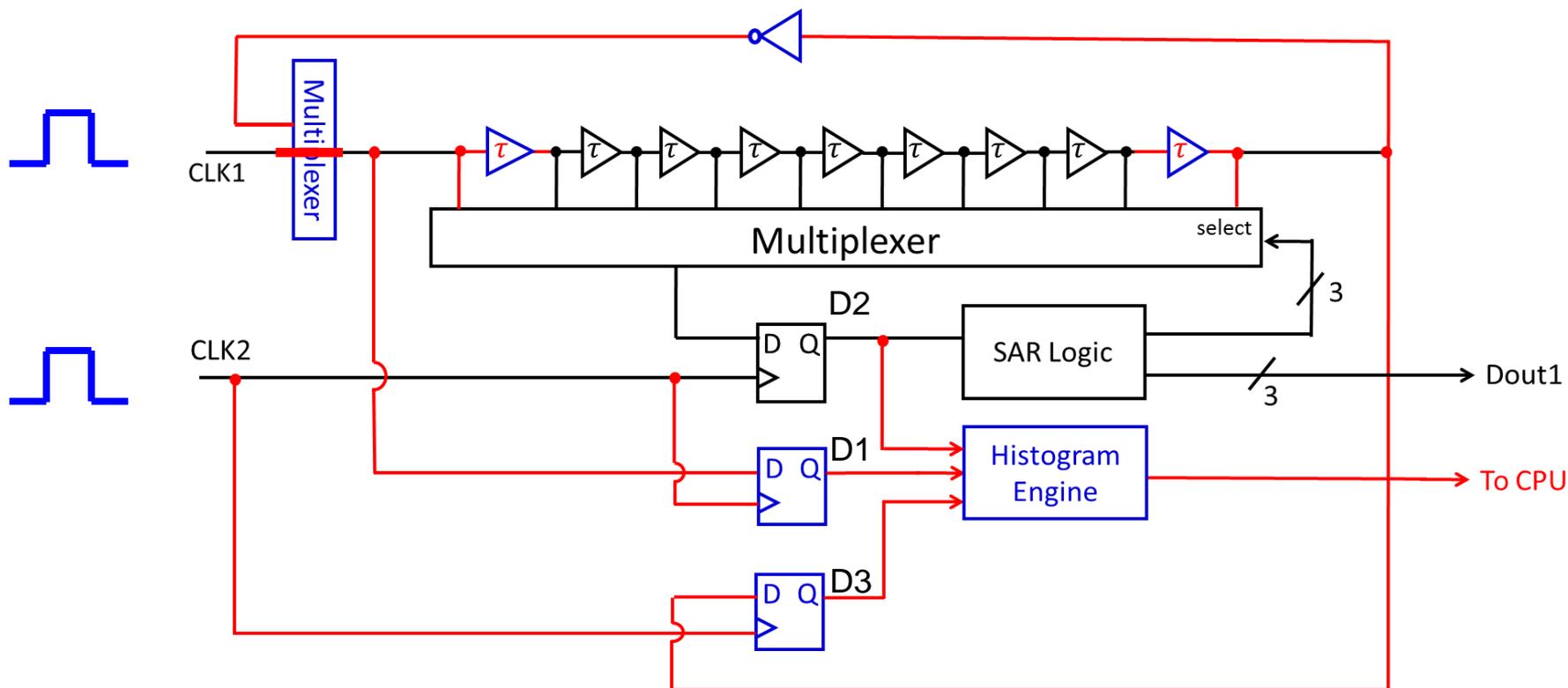


SAR-TDCに測定回路(素子:青 導線:赤)を付加

測定回路を組み込んだSAR TDC

回路動作

通常動作モード

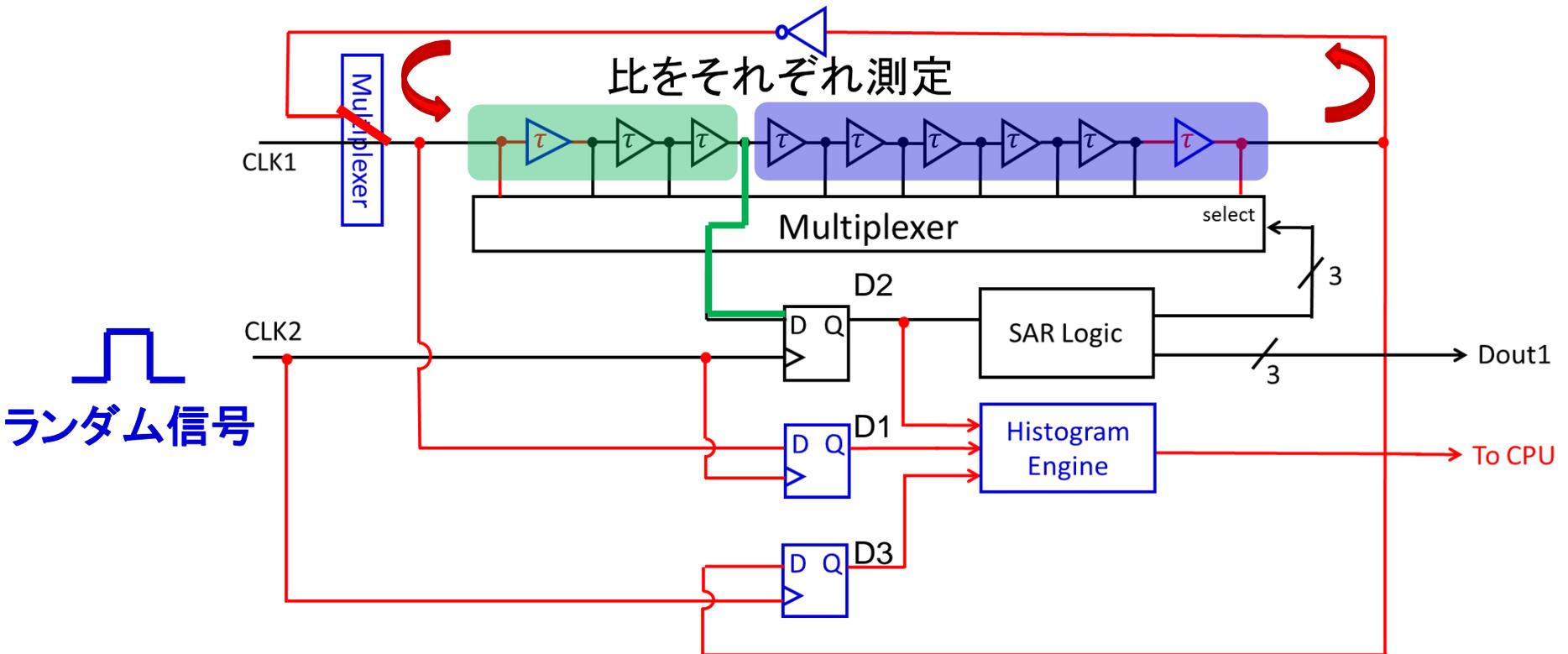


SAR-TDCに測定回路(素子:青 導線:赤)を付加

測定回路を組み込んだSAR TDC

回路動作

遅延素子値測定モード



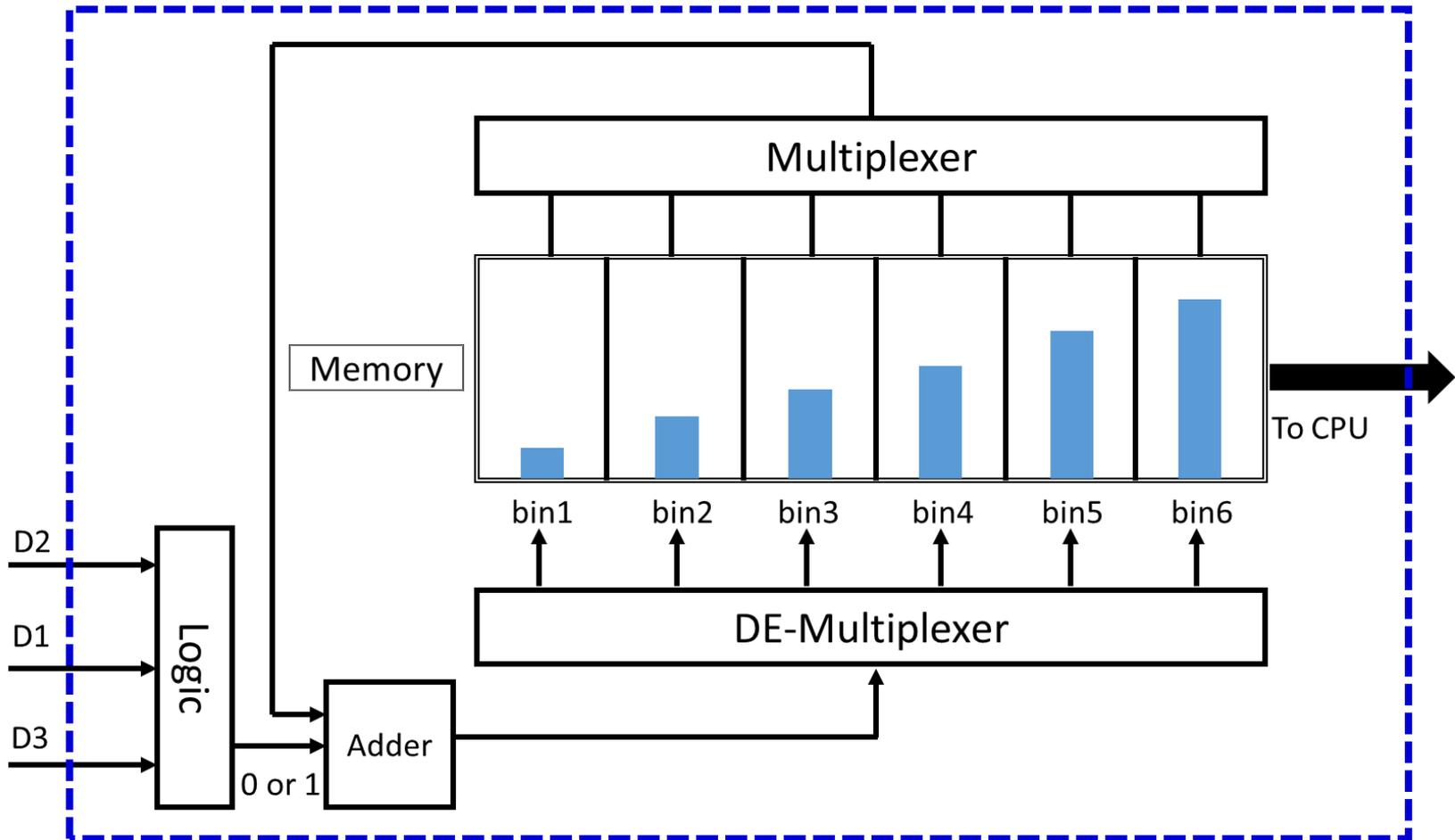
素子遅延値の比をそれぞれ測定



フラッシュ型に比べ時間を要する

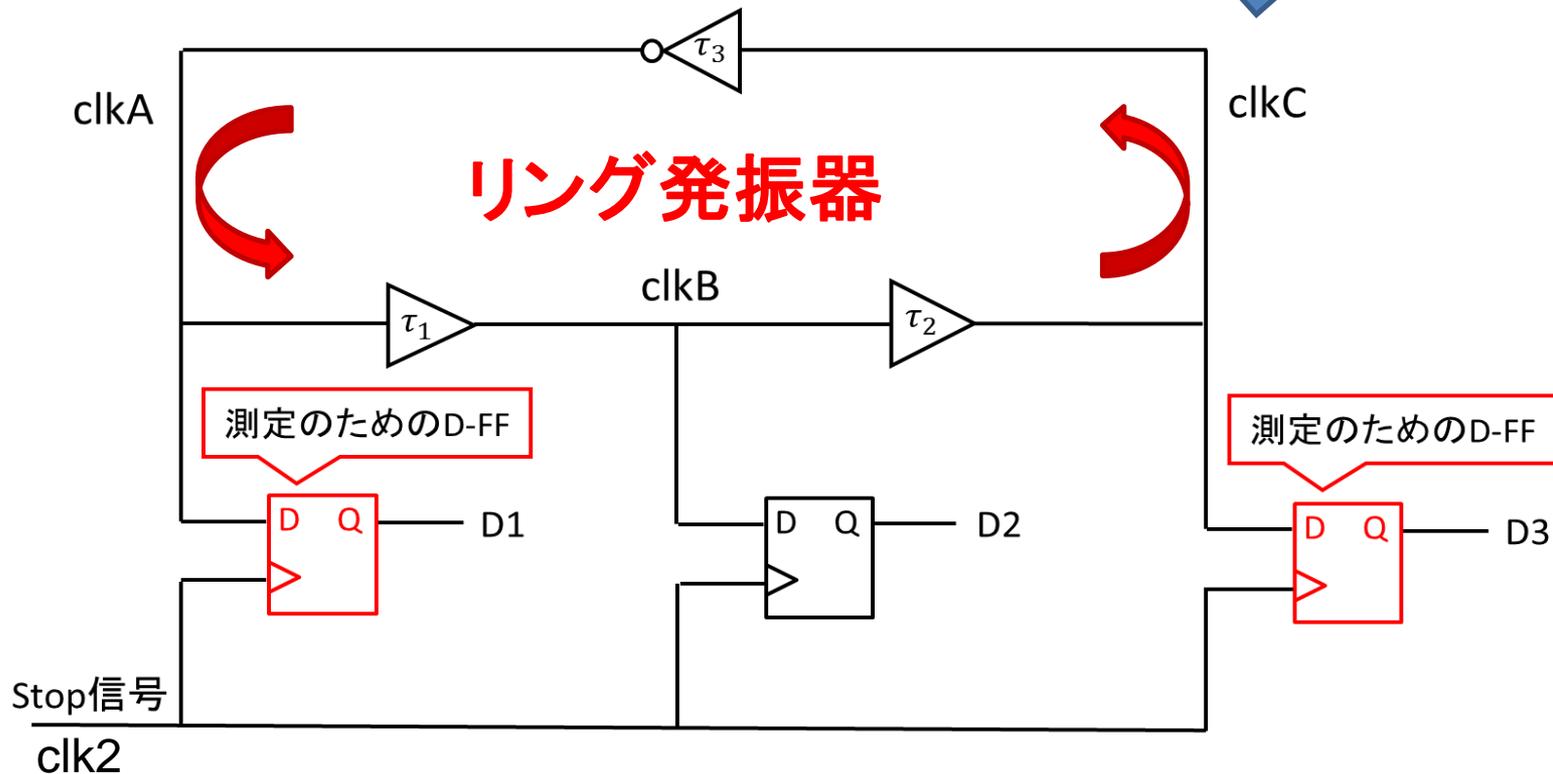
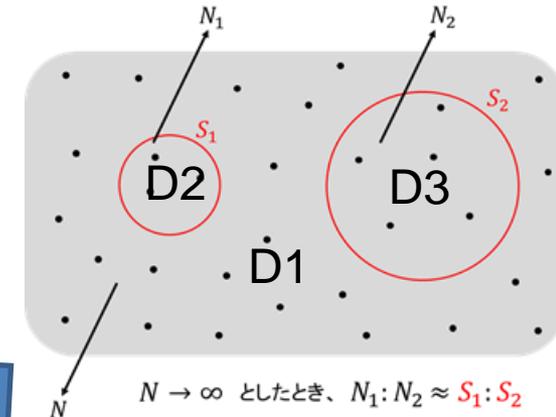
Histogram-Engineのブロック図

Histogram-Engine

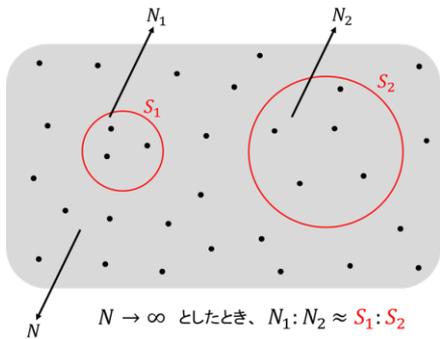


簡略化したテストモード回路の構成

無作為に点を打つことに対応



簡略化したテストモード回路の動作

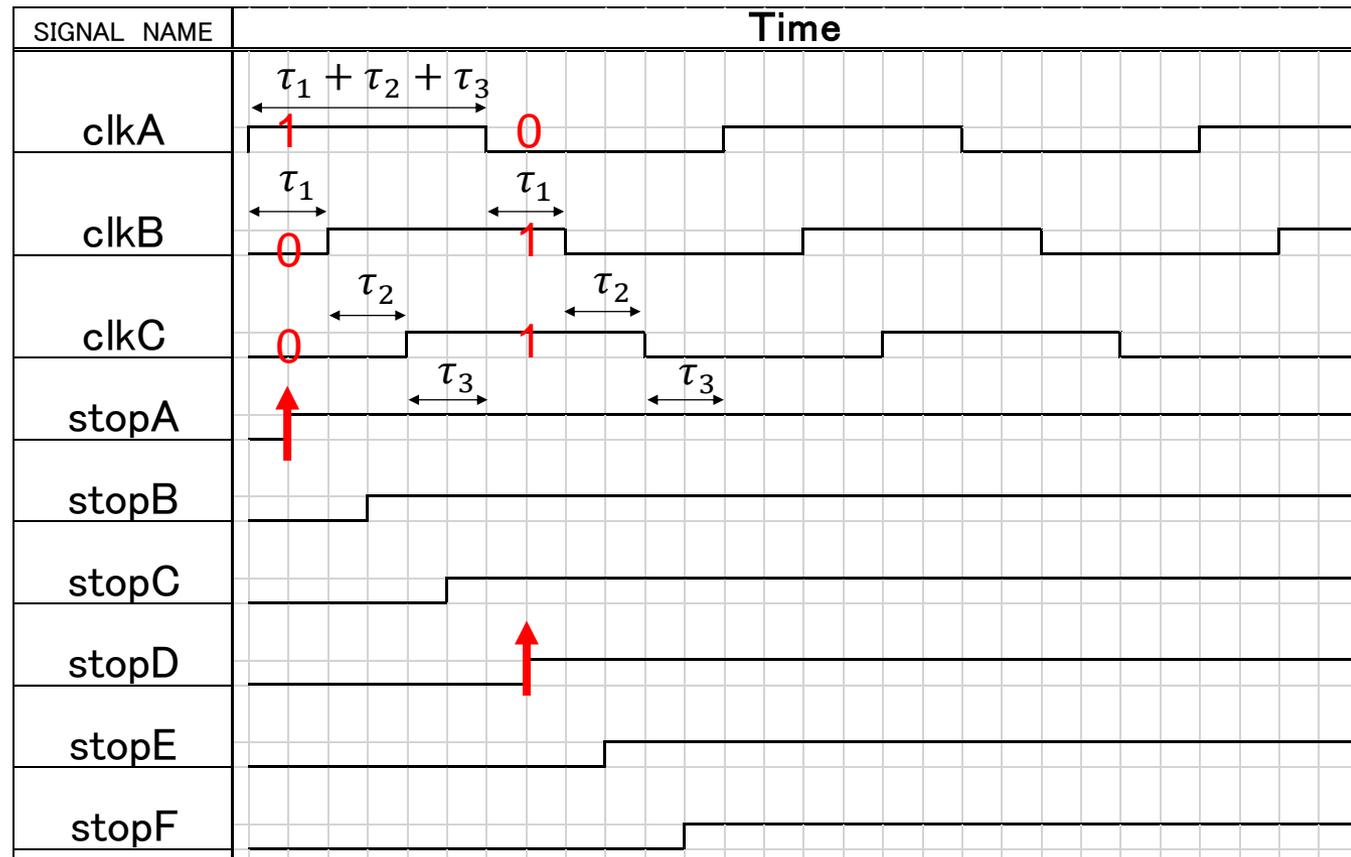


対応

タイミングチャート

リング発振

無作為に発生



アウトライン

- 時間デジタイザ回路の役割
 - 時間デジタイザ回路の構成と動作
 - 具体的な応用例
 - タイミングテストへの応用
 - 有用性
 - 技術課題
- 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
 - ヒストグラム法による素子値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

シミュレーションによる検証

Scilab 5.4.1で検証:

逐次比較型TDCのヒストグラム法を用いた校正手法を下記の条件でシミュレーション

シミュレーション条件

- 素子数6bit(64個)
- 遅延素子の仕様:

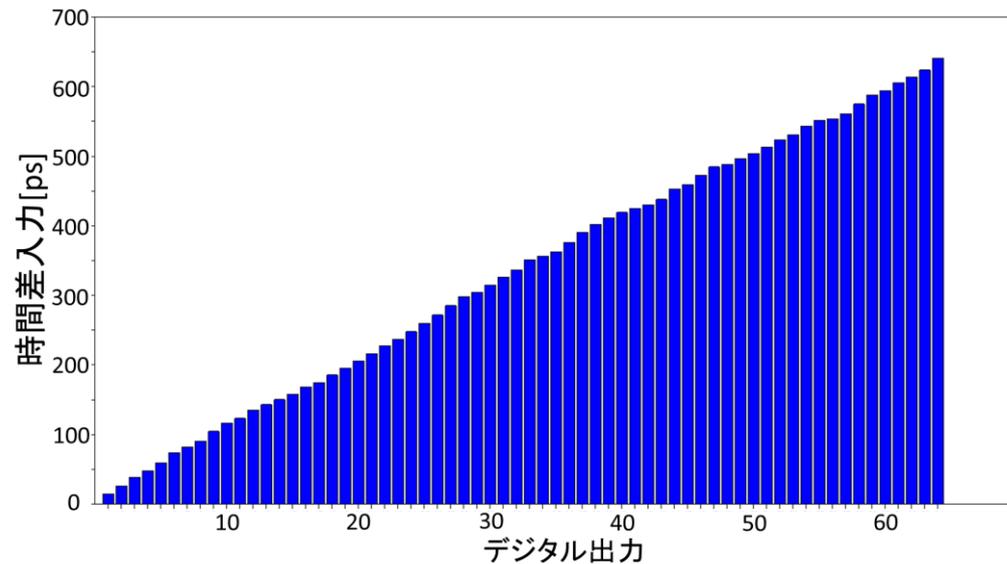
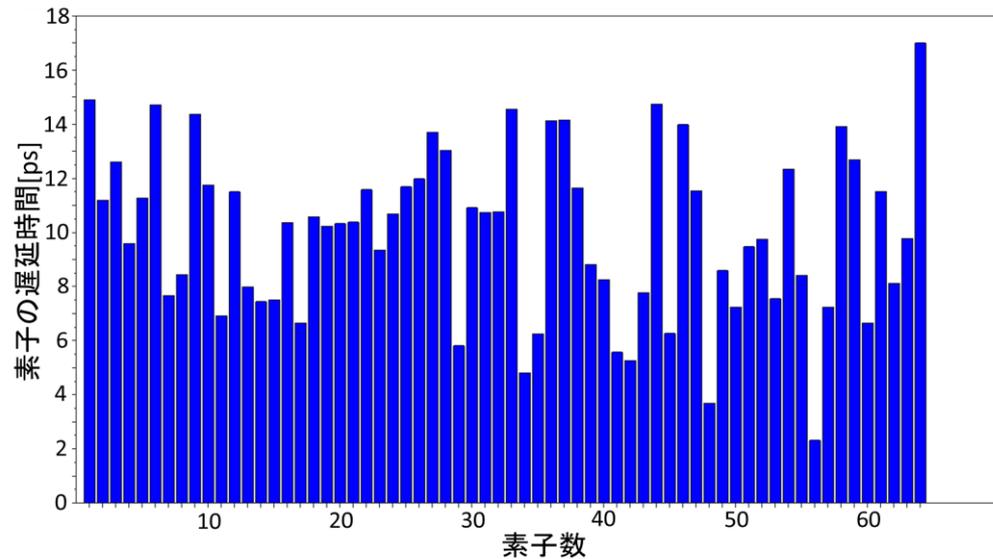
平均遅延時間	10ps	(180nmプロセスを想定)
標準偏差	3ps	(正規分布に従う)
- STOP信号の入力回数 :
50000回 (無作為に発生)

実際の値を生成

乱数を発生させ
素子遅延値のばらつきを生成



TDC特性が生成される

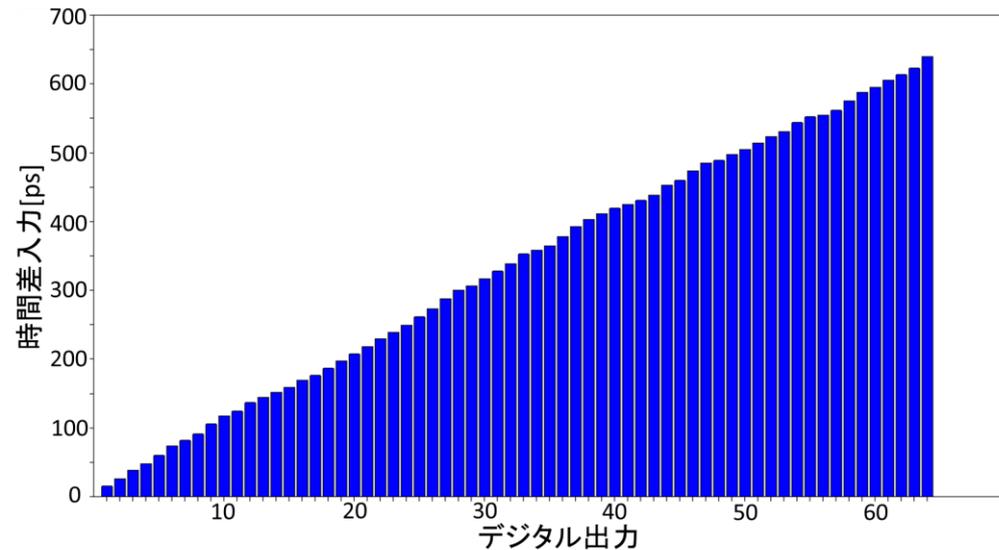
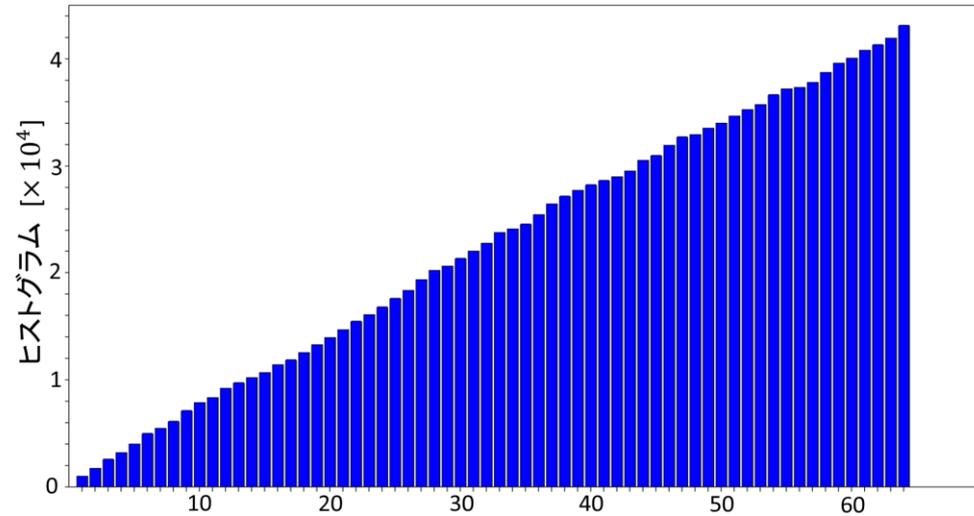


ヒストグラム法の検証

ヒストグラム法により
統計的に処理



素子遅延値に変換すると
本来のTDCと似た特性が得られる

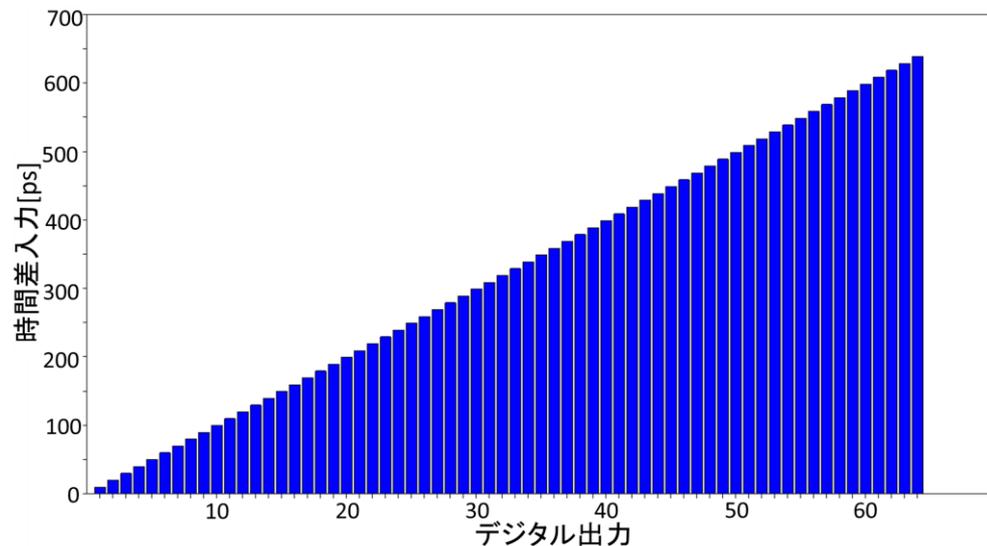
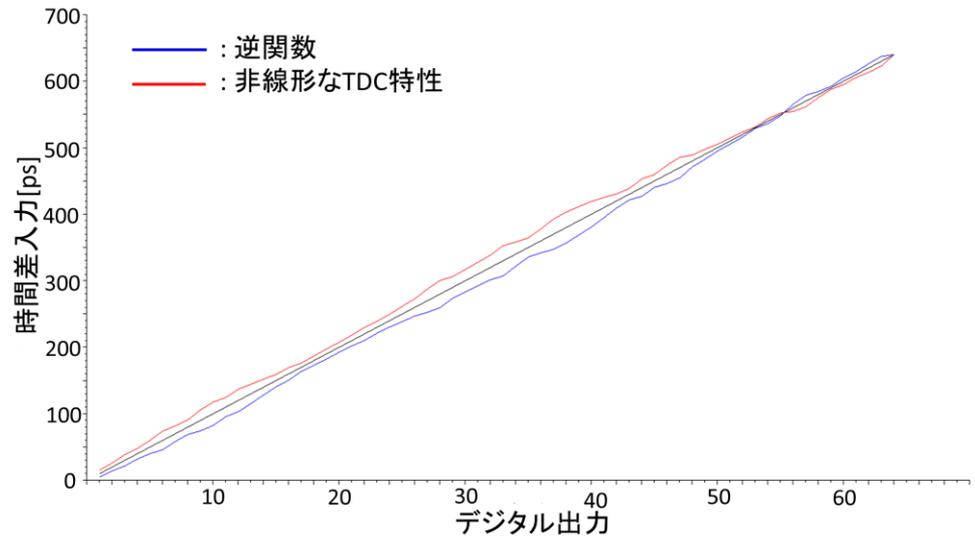


逆関数による校正の検証

非線形なTDC特性の
逆関数を用いてキャンセル

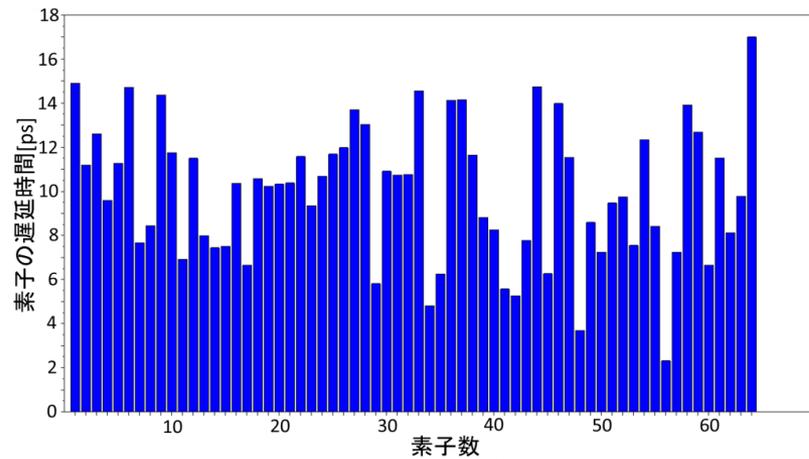


校正後のTDC特性



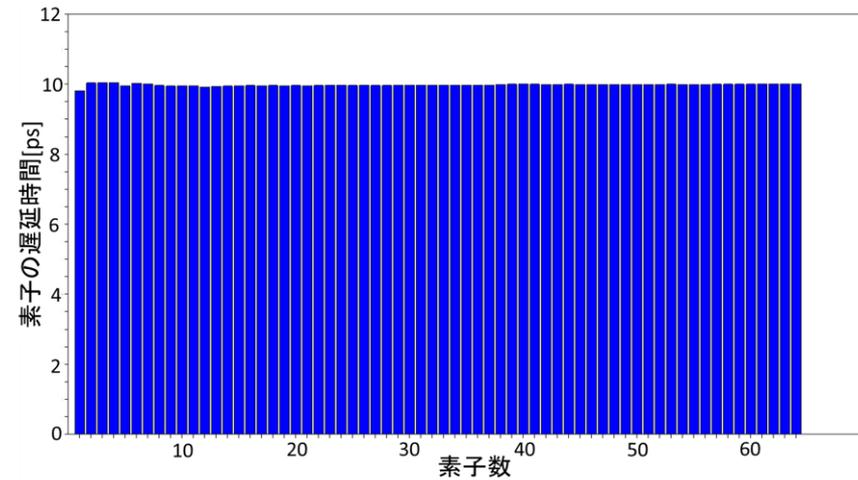
誤差について比較

Before



校正前の素子毎の遅延時間

After



校正後の素子毎の遅延時間

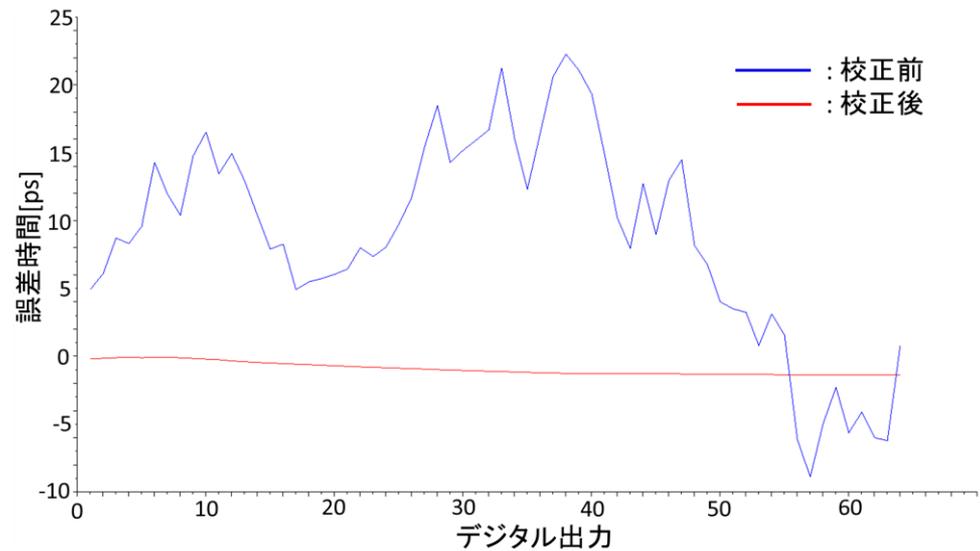
誤差について比較

校正前と校正後のINL

校正前 INL=2.22LSB

校正後 INL=0.13LSB

※ワーストケース

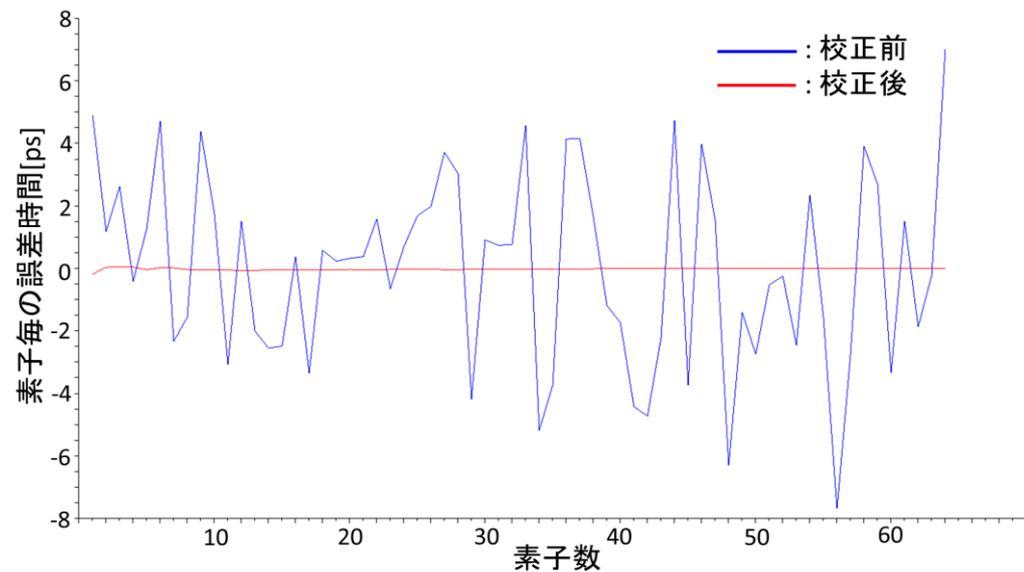


校正前と校正後のDNL

校正前 DNL=0.76LSB

校正後 DNL=0.02LSB

※ワーストケース



アウトライン

- 時間デジタイザ回路の役割
 - 時間デジタイザ回路の構成と動作
 - 具体的な応用例
 - タイミングテストへの応用
 - 有用性
 - 技術課題
- 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
 - ヒストグラム法による素子値の推定
 - 逆関数による校正
- 測定回路を組み込んだSAR TDC
 - 回路構成
 - 回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめ

まとめ

- 逐次比較型TDCの非線形な特性を校正できる回路の考案
- ヒストグラム法を用いた、逆関数による校正メカニズム
- Scilabによるシミュレーション

5 0 5 37 04 1 219 11 00 0 2636833 77 0 71 62 60 2 69 7 62 3 869
59 66 9 44 4805 639 3 61687 91 1845 0 8 7 7 7 80 8
41 3 892 5232 3 20 0160 61 97 33 45 9 8 7886 2 3 6

光陰矢の如し



高速に過ぎゆく時間を測定

新しい付加価値の創出

6 31 1 83 2 7 6 98 56 5 59 4 4 0 62721 06 8 2 63517
21 16 8 41 0 4 65 69 8 08 9 8 2 0229407 28 1 1 93216
9 40 0 48 7 6 1 07 90 35 33 1 1 3 5875035 6 3 1 64838 9

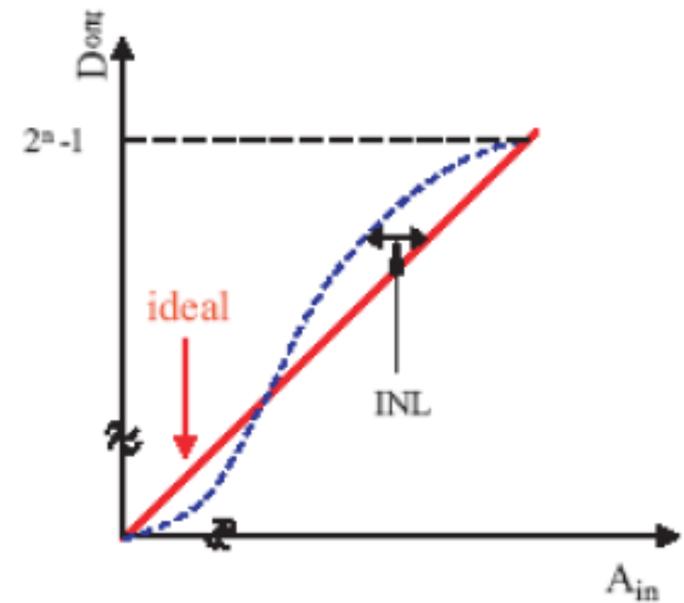
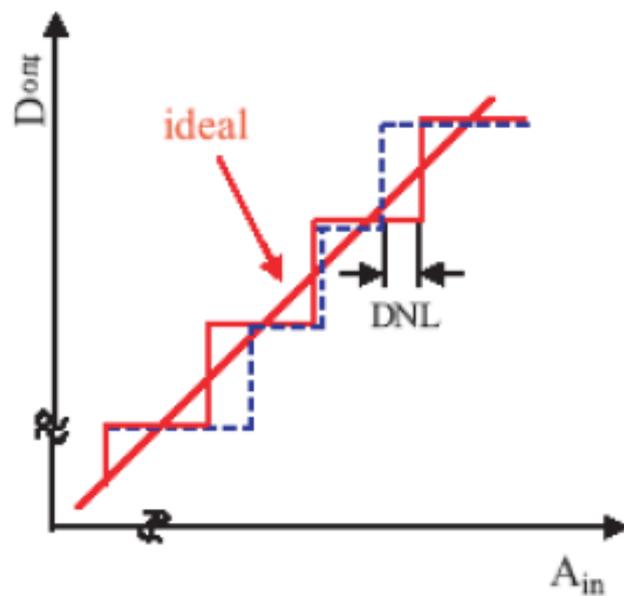
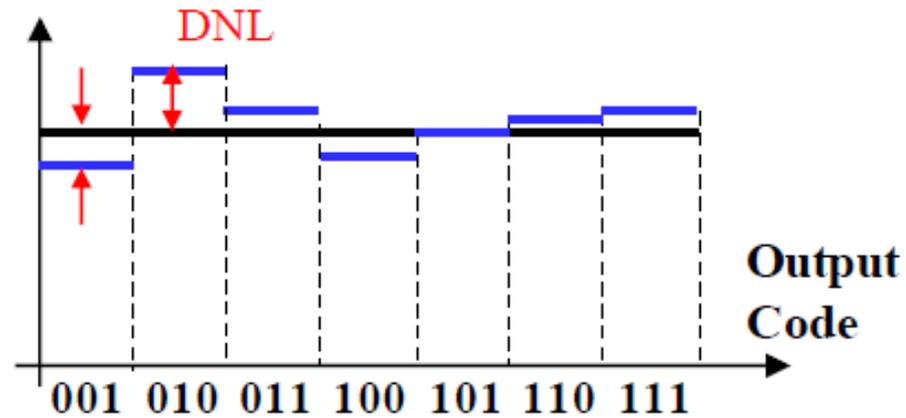
[付録]

ADCにおける自己校正方法

Reference : F.Malobeti. 2007. Data Converters. Springer Press. pp.409-414

DNL & INL

Number
of Samples



Previous & Alternative Solutions

Linear ramp (difficult)

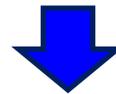


enables

Self-testing for successive self-calibration

Alternative solution

Slow ramp or Triangular test signal



replace

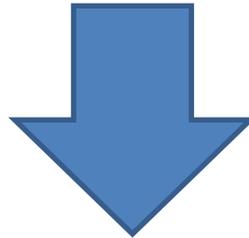
Random signal

≡ All amplitudes over measurement range

Alternative Solution

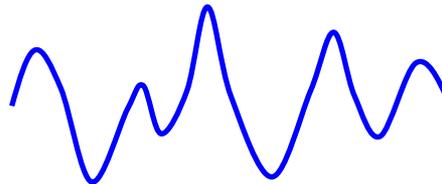
Pseudo-random digital sequence

0110101101001010100101.....

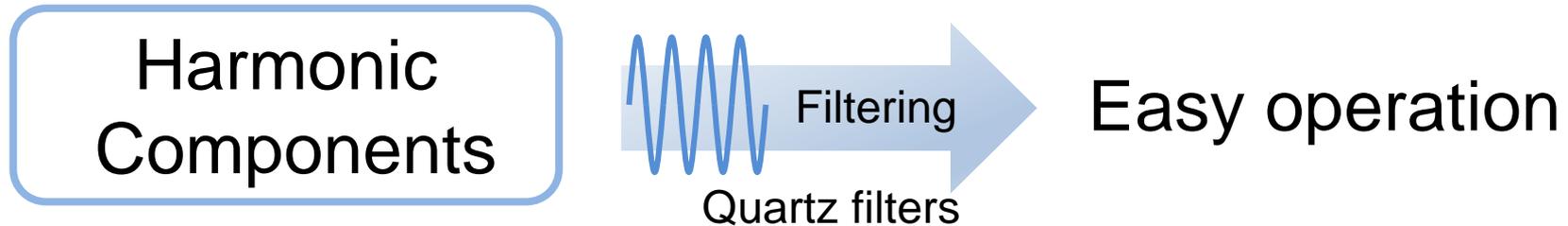


Analog filter
&
Low-pass filter

Random voltage



Sine wave test signal



Even with distorted sine wave ,
We can obtain an excellent control of the sinusoidal shape

Accurate estimation of probability density function is

$$p(V) = \frac{1}{\pi\sqrt{A^2 - x^2}}; \quad x = V - V_{os}. \quad (9.22)$$

Possible offset : $V = A \cdot \sin(x) - V_{os}$

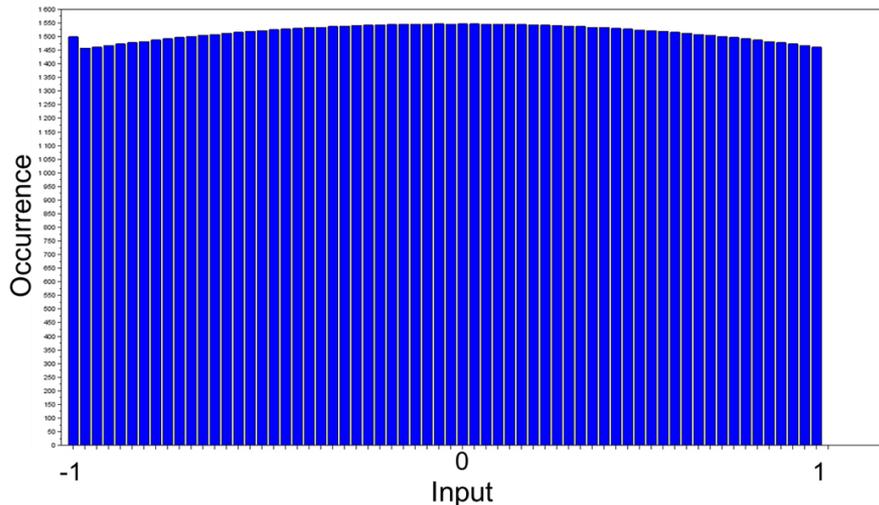
Result of Simulation

Non linear ramp

$$X(t) = 0.99kt - 0.02(kt)^3 + x_n(t);$$

$$-1/k < t < 1/k$$

Histogram of a ramp with Errors

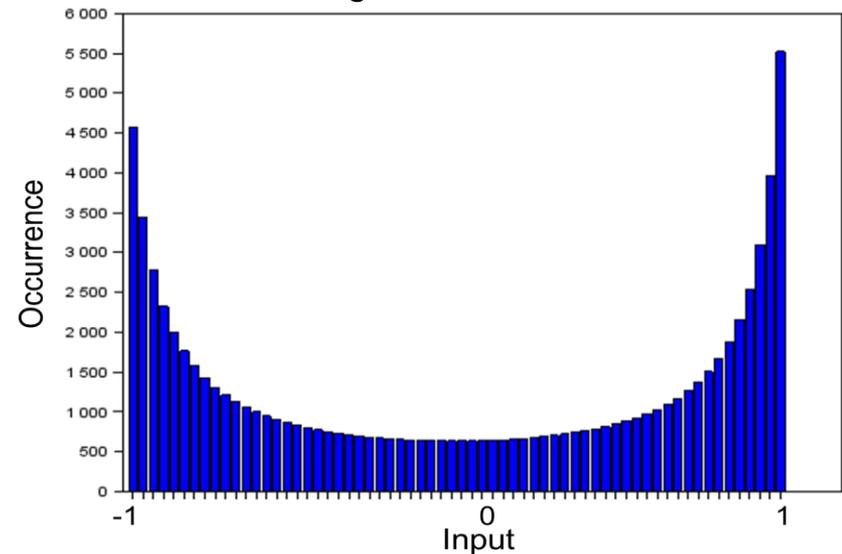


Sinewave

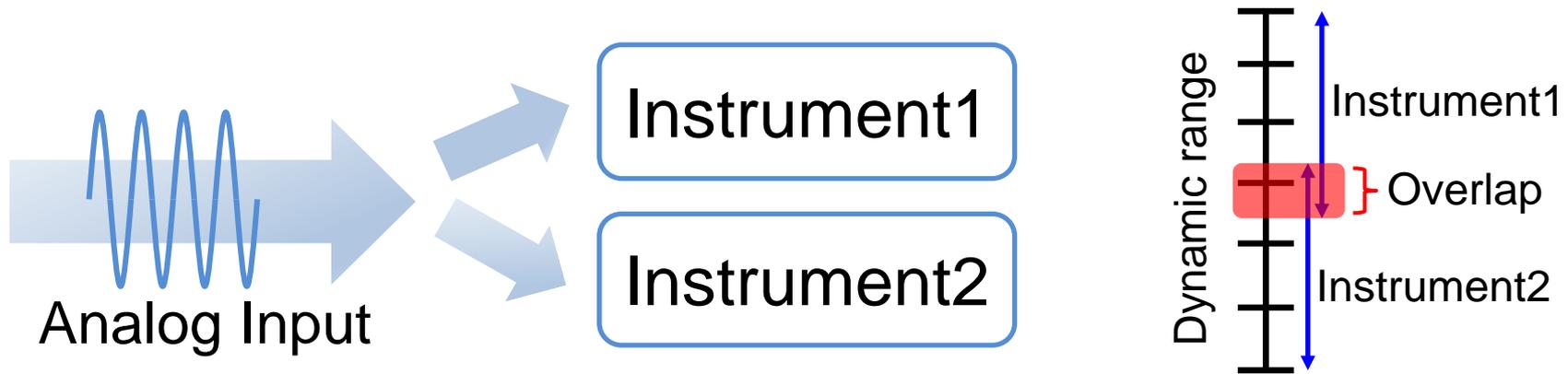
$$p(V) = \frac{1}{\pi\sqrt{A^2 - x^2}}$$

Probability density function

Histogram of sinewave



In case of two histograms



➔ Histogram results must be combined by equalizing the values

Overlap region is X_A to X_B , $\Delta X = X_B - X_A$,
with fraction of samples of the two sets M_1 & M_2 in the ΔX interval given by

$$\alpha_1 = \frac{\sum_{X_A}^{X_B} O_1(i)}{M_1}; \quad \alpha_2 = \frac{\sum_{X_A}^{X_B} O_2(i)}{M_2} \quad (9.24)$$

where O_1 & O_2 are the occurrences of the two histograms

Q&A

・早稲田大学 多和田

Q:補正はどこでやるのか？

A:測定は内部の回路だが、補正自体は外部の回路が補正することになる。

Q:測定回路を外部にすることはできる？

A:アプリケーションによってそれが必要になる事があるかは分からないが、今回は内部の回路で実現することを目的として研究を行った

Q:ヒストグラムの逆関数は具体的にどのような処理か？

A:離散的であるので足して2で割る方法でとりあえずやっているが、特性を例えば9次の関数で近似する案もあり、検討段階です。

Q:TDCで求めた値が量子的にかなりバラつきがあるのではないか？T葉測定したい量子化よりも小さい値に設定しなければいけないのではないか？

・北陸センター大？ 金子

Q:補正はいつ、どのタイミングでやる？

A:使う前に1度校正すればいいが、温度によって遅延時間も変わる可能性があるので、アプリケーションによっては数秒置きに校正し直す必要もあるかもしれない

Q:かなりの回数やらないといけませんが、具体的にどれぐらいの時間がかかるのか？

A:どの程度の時間を以って長時間とするのかはアプリケーションによって異なるが、今後その時間について具体的に示していきたい。

Q:分解能はどうやって定義するのか？

A:校正度合いによるが、それについても今後定量的に示していきたい。

Q&A

・東工大 岡田

Q:なぜ逐次比較型にしたのか？

A:フラッシュ型に比べ、bit数が増えたときの回路規模を小さくすることができるから。

Q:MUXはbit数が大きくなると回路規模がかなり大きい？そして、MUXを校正することも考えれば、フラッシュ型に合うわけがない。

A:bit数に対する定量的な回路規模についてはまだ検討できていないが、それは初めて知った。

Q:今はリング発振器の原理で一つの遅延素子を何段か用いて使うのが一般的だし、わざわざこんな回路を作る必要がそもそも無い。

A:デンソー方式のことを言っているのか分からないが、周波数によってはその方法では無理があったと認識している

Q:致命的なのが、時間はサンプル&ホールドできないことだ。

A:確かに、電圧のようにキャパシタに貯めておくことはできないが、同じ遅延時間のクロックが複数入力されることを前提にしている。

Q:そんなアプリケーション無いよ

A:確かにこれではアプリケーションが限られてくると思うので、次の段階として、回路の前段にワンショットのクロック信号をコピーして何度も出力する回路を考えている

Q:そんな回路は実在しない

A:テクトロニクス社がトリガ回路というのを以前開発したが、ご存じないか？

Q:トリガ回路といっても、色々あるし、少なくともそのような回路は知らないね

A:研究室のHPをご覧ください

Q:少なくとも、SAR-TDCよりも、そっちの回路の方が大変だし、逐次比較はその回路ありきだ。

A:色々なことを包括的に一気にやるのは不可能なので、ある点にフォーカスして改善点を探していくアプローチです。

Q:いずれにしても、何をしたいのかが分からない。それを示してほしい。小面積なのか、低消費電力なのか。小面積であれば、この回路はMUX、校正回路が膨大なので現段階では意味を成さないとと思う。

A:小面積になる事を期待した研究ですので完ぺきではないです。

Q&A

・中央大 築山

Q:なぜ、ヒストグラム法で逆関数を使ったのに、直線にならないの？

(なぜ誤差が0にならないの？)

A:ヒストグラム法自体に誤差があるので、例えば1000回くらいの試行回数では誤差はもっと大きくなるし、100000回にすればもっと誤差は小さくなる。