

擬似アナログ信号を用いたヒステリシス制御方式 降圧形 DC-DC コンバータの EMI 低減化の検討

浅石 恒洋* 小堀 康功 白石 尚也 須永祥希
築地 伸和 高井 伸和 小林 春夫 (群馬大学)

EMI Reduction in DC-DC Converter using Hysteretic Control with Pseudo Analog Signal
Koyo Asaishi*, Yasunori Kobori, Naoya Shiraishi, Yoshiki Sunaga
Nobukazu Tsukizi, Nobukazu Takai, and Haruo Kobayashi (Gunma University)

キーワード : ヒステリシス制御, DC-DC コンバータ, EMI 低減, 擬似アナログ信号, M 系列回路
Keyword : (Hysteretic Control, DC-DC Converter, EMI Reduction, Pseudo Analog Signal, Maximal-length sequences)

1. はじめに

電子機器に用いられるスイッチング電源の制御にはパルス幅変調 (Pulse Width Modulation : PWM) 方式が広く用いられている。PWM 制御方式として、電圧モード制御や電流モード制御が用いられるが、前者では負荷応答特性が悪く、後者では回路規模が大きい等の欠点がある。

このような背景から負荷変動に対する応答性の速い制御方式として、ヒステリシス制御方式が注目されている。この制御方式は、出力電圧と基準電圧をコンパレータにより直接比較し、スイッチングを制御することにより、電圧モード制御に比べ応答性が優れている。

スイッチング電源が電子機器に広く利用される一方で、大電力のスイッチングが撒き散らす電磁ノイズ (Electro Magnetic Interference : EMI) が問題となっている。PWM 制御方式ではスイッチング周波数およびその高調波にエネルギーが集中し易く、対策法として PWM 信号の周波数変調や位相変調方式が利用される。しかし、ヒステリシス制御方式ではクロックを使用せず、負荷条件によってスイッチング周波数が変動するため、PWM 信号の変調による EMI 対策が困難であった。これまで筆者達は擬似アナログ信号を用いた EMI 低減手法を提案⁽¹⁾⁽²⁾してきたが、本論文ではこの手法のヒステリシス制御方式への適用方法を提案する。

2. ヒステリシス制御方式の動作原理

<2・1>ヒステリシス制御回路の構成と動作原理

ヒステリシス制御方式降圧型 DC-DC コンバータの概略図を図 1 に示す。Comp1 はヒステリシスコンパレータであり、わずかなヒステリシスを持たせることでチャタリング現象を防ぐとともに、動作周波数を制限することができる。

図 2 に動作波形を示すとともに、基本動作を以下に説明する。スイッチ SW1 の OFF とともに出力電圧 V_{out} が減少し、非反転端子の基準電源電圧 V_{ref} を下回ると Comp1 の出力である PWM 信号が少し遅れて Hi になり SW1 が ON になる。この結果、 V_{out} が上昇する。そして、 V_{out} が V_{ref} を上回ると少し遅延の後 PWM 信号が Low になり SW1 が OFF になり、この結果 V_{out} が再び減少する。以上の動作を繰り返すことで V_{out} が一定の電圧 V_{ref} に一致するよう制御している。

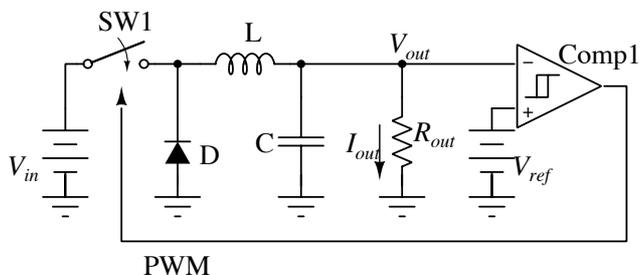


図 1. 従来回路の概略図

Fig.1. Schematic of conventional circuit

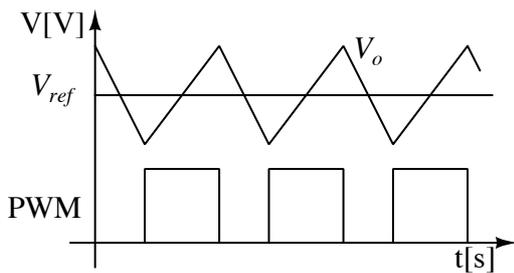


図 2. ヒステリシス制御方式の動作波形

Fig2. Operation waveforms of hysteresis control

<2・2>ヒステリシス制御方式の特徴

ヒステリシス制御は、制御部分にコンパレータのみを有して制御することで、クロックによるサンプリング遅延やエラーアンプの時間遅れがないことより、電圧モード制御に比べて応答が速いという特徴があるが、一方、クロックレス制御であり負荷条件によってスイッチング周波数が変動するため、従来手法による EMI 対策が困難であった。この問題の解決手法として、PWM 信号を外乱信号を用いてランダムに周波数変調させる方式を検討した。

3. M 系列回路を用いた疑似アナログ信号の生成

<3・1>EMI 低減の概要

デジタル信号とアナログ信号を比較して、EMI 低減の概要を図 3 を用いて説明する。同図において 2bit 動作の場合、デジタル信号では 4 つの電圧レベルによって PWM 信号は変調されることにより、4 つの周波数にスペクトルが拡散される。一方、LPF による滑らかなアナログ信号を用いると、この信号は連続信号であるので様々な電圧レベルを有していることにより、同じ bit 数でもアナログ信号の方がより多くのスペクトルに拡散させることができる。

<3・2>M 系列回路の動作原理

M 系列回路とは、n-bit シフトカウンタにより、1 周期に $N=(2^n - 1)$ 個のランダムなレベルを出力する回路である。図 4 に 3bit の M 系列回路の概略図を、図 5 にその出力波形を示す。この回路はシフトレジスタと XNOR ゲートによって構成され、デジタル出力信号を図 5 の実線の波形に示すような 7 レベルのパターンに変換する。このパターンに LPF を施し、疑似アナログ信号(Pseudo Analog Signal : PAS)を生成する。PAS を図 5 の点線に示す。この PAS を用いて、ヒステリシス制御電源の EMI 低減を検討する。

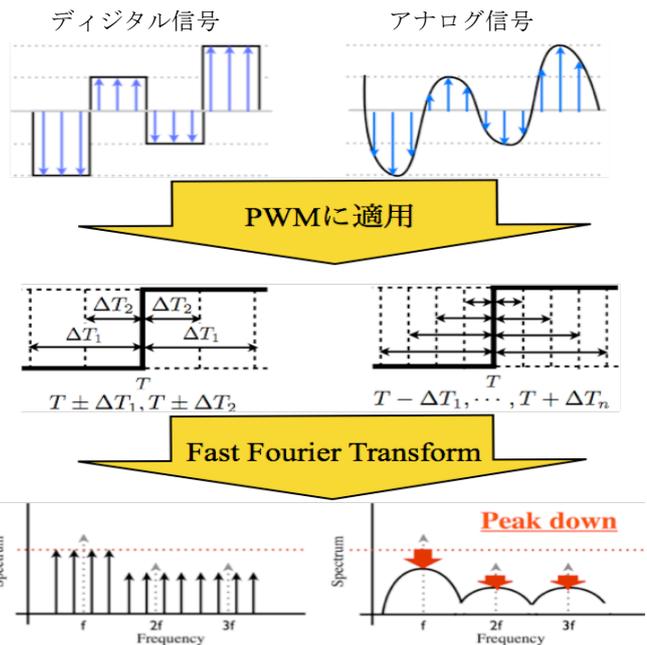


図 3. EMI 低減の概要

Fig.3. EMI reduction overview

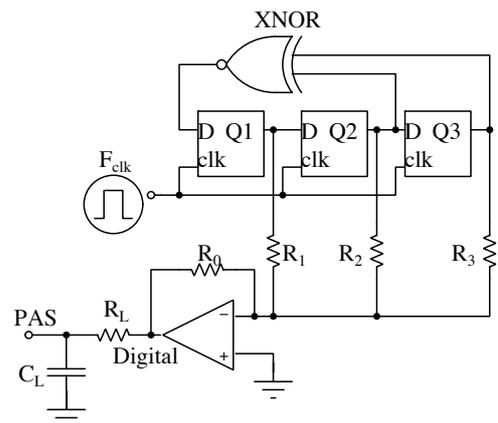


図 4. M 系列回路の概略図

Fig4. Schematic of M sequence circuit

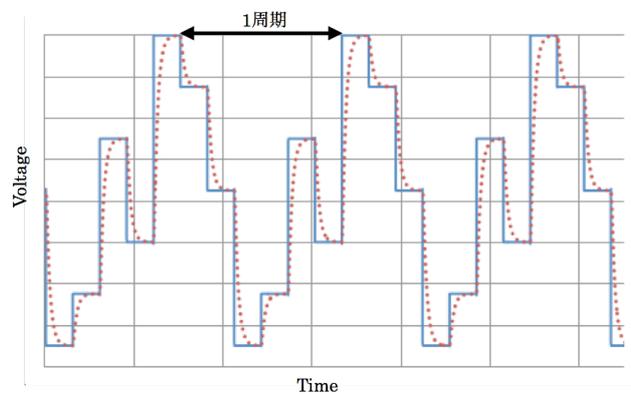


図 5. M 系列回路のデジタル・アナログ信号

Fig5. Digital and Analog signal of M sequence

4. 擬似アナログ信号を用いたヒステリシス制御

<4・1> 動作原理

図6に提案回路の概略図を、図7に提案回路の動作波形を示す。図7において、メインスイッチ SW1 から Comp1 の出力 PWM 信号までは前節の説明と同様である。提案方式では、PWM 信号の両端にわずかな位置変調を施して、位置変調された PWM1 を生成する。位置変調方式として、PWM 信号の Hi および Low 期間にそれぞれ逆位相の鋸歯状波 SAWP と SAWN を発生する。これらの鋸歯状波と上述の擬似アナログ信号 PAS をコンパレータで比較し、両端が位置変調された信号 PWM1 を発生する。ここで、鋸歯状波の傾斜をやや急峻にするとともに、PAS の直流レベルを低めに設定して時間遅延を極小に抑えている。

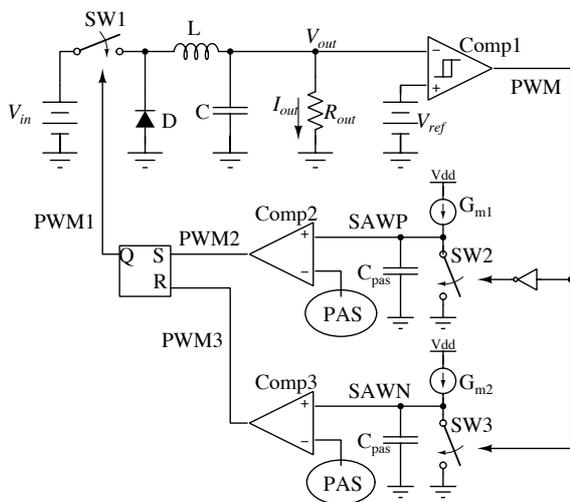


図6. 提案回路の概略図

Fig6. Schematic of proposed circuit

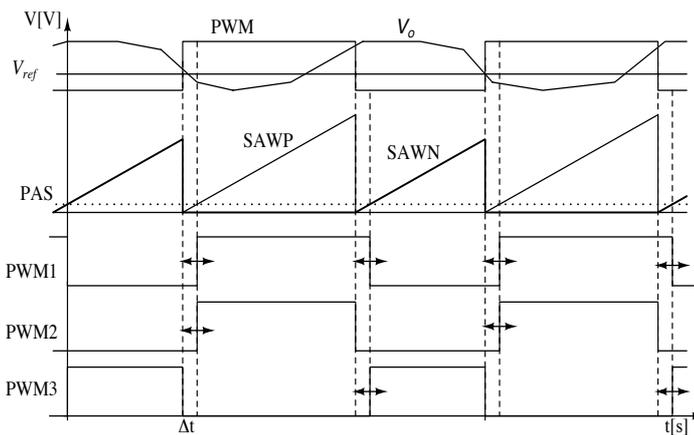


図7. 提案回路の動作波形

Fig7. Operation waveforms of proposed circuit

<4・2> シミュレーション結果

提案回路は、Comp2,3 で比較することなどによって図7の PWM と PWM1 の立ち上がり位相差が発生し、応答性が悪くなると考えられる。そこで平均遅延量 Δt を計算する。

コンパレータの Δt を $0.1\mu s$ とすると、動作周波数 F は $100kHz$ における位相遅延量はわずかに $\Delta\theta = 3.6^\circ$ と無視できるレベルである。

次に、従来回路と提案回路について、SIMPLIS を用いてシミュレーションを行った。表1にシミュレーション条件を、表2にシミュレーション結果を示す。また図8、図9に従来回路と提案回路の PWM 信号のスペクトルを示す。表2より提案回路では従来回路に比べスペクトルが 55% 減少した。図10、図11に従来回路と提案回路の V_{out} でのリップルを示す。提案回路では従来回路よりリップルが増大したが提案回路のリップルは $2.0mV_{pp}$ であり V_{out} の $5.1V$ に対して約 0.04% と非常に小さい。

次に、従来回路と提案回路の過渡応答特性を比較して示す。負荷電流 I_{out} が負荷変動した場合の V_{out} を図12、図13に示す。まず、 $0.51A$ から $2.21A$ に負荷変動したとき、 $2.21A$ から $0.51A$ に負荷変動した時の結果を表2に示した。提案回路では整定時間が $25\mu s$ とやや不安定気味であるが、位相補償の見直しにより改善できる。シュートは V_{out} の $5.1V$ に対して約 0.4% と非常に小さい。

表1. シミュレーション条件

Table1. Simulation conditions

入力電圧 V_{in}	9V
出力電圧 V_{out}	5.1V
負荷抵抗 R_{out}	10Ω
負荷電流 I_{out}	0.51A
インダクタ L	$10\mu H$
出力容量 C	$220\mu F$
ヒステリシスの比率	0.3%
M 系列クロック周波数 F_{clk}	33kHz

表2. シミュレーション結果

Table2. Simulation results

	従来回路	提案回路
スペクトル	3.00V	1.35V
動作周波数	590kHz	320kHz
リップル	$0.8mV_{pp}$	$2.0mV_{pp}$
アンダーシュート	1.8mV	20mV
整定時間	3.6us	25us
オーバーシュート	1.7mV	17mV
整定時間	3.2us	8.4us

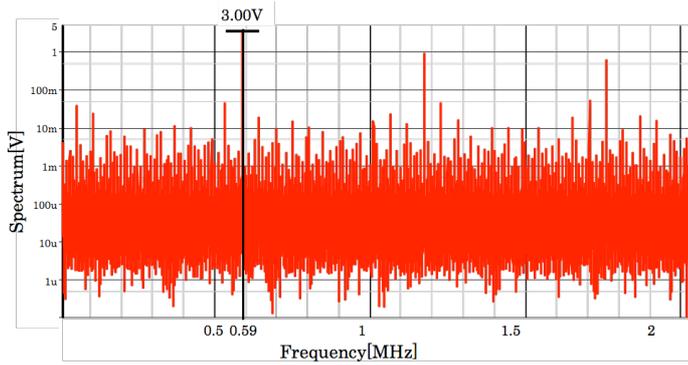


図 8. 従来回路の PWM でのスペクトル
Fig8. PWM spectrum of conventional circuit

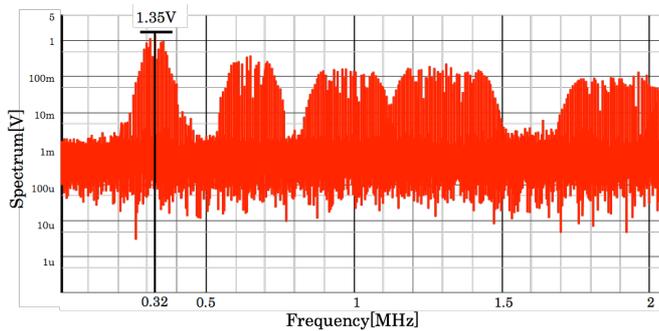


図 9. 提案回路の PWM でのスペクトル
Fig9. PWM spectrum of proposed circuit

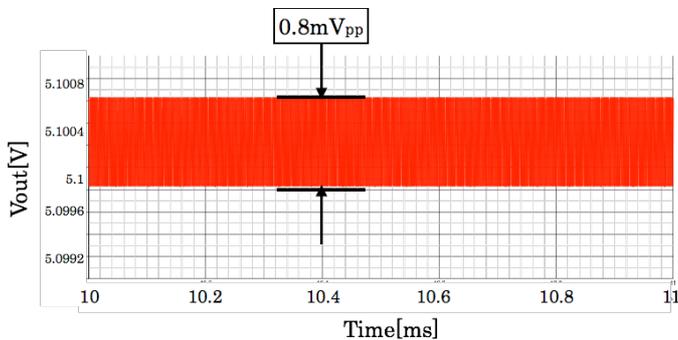


図 10. 従来回路のリップル
Fig10. Ripple of conventional circuit

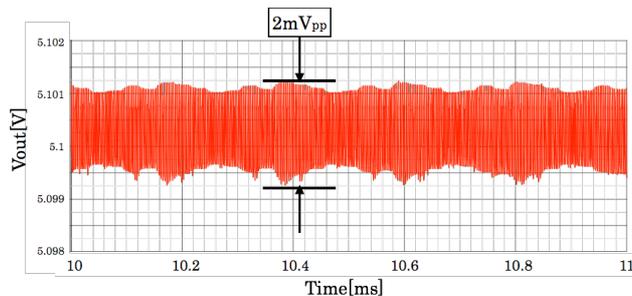


図 11. 提案回路のリップル
Fig11. Ripple of proposed circuit

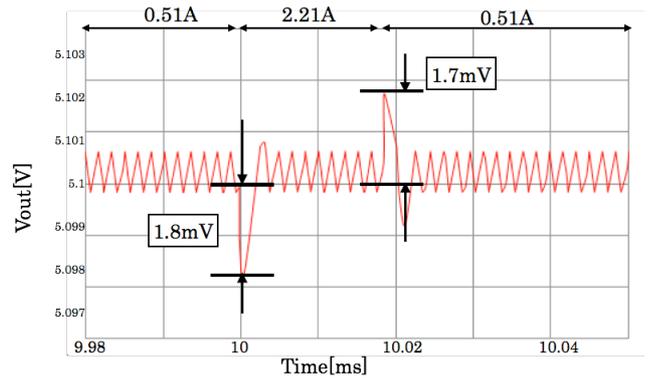


図 12. 従来回路の負荷変動時の出力電圧
Fig12. Output voltage at the time of load change of conventional circuit

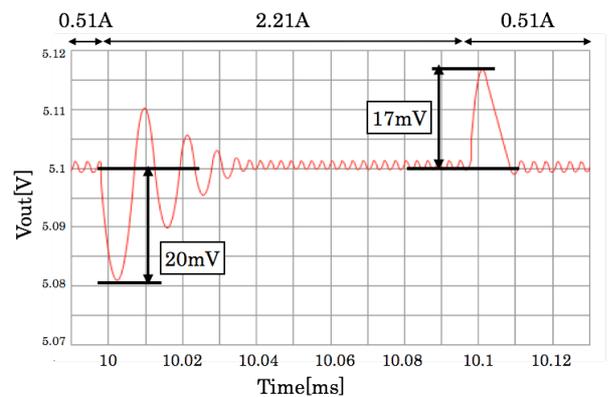


図 13. 提案回路の負荷変動時の出力電圧
Fig13. Output voltage at the time of load change of proposed circuit

5. まとめと今後の課題

本論文では、ヒステリシス制御方式における EMI 低減を提案した。シミュレーションの結果、PAS を用いて PWM 信号を位置変調することでスペクトル拡散を実現した。従来方式と比較して、最大スペクトルが 55% (-3.5dB) 低減した。定常リップルは 2.0mV で、 V_{out} の 0.04% と十分小さい。

今回用いた PAS はデジタル信号より生成しており、基本的には周期性を持っている。今後の課題は、よりランダムな信号にすることでさらにスペクトル拡散することを検討する。

文 献

- 金谷浩太郎、田中駿祐、白石尚也、小堀康功、高井伸和、小林春夫：
「疑似アナログ信号を適用した PLL 回路と DC-DC コンバータのスイッチング EMI 低減化」、電気学会 電子回路研究会、ECT-14-081、秋田（2014 年 10 月）
- 小堀康功、落合伸弥、金谷浩太郎、築地伸和、高井伸和、小林春夫、
「疑似アナログノイズを用いたスペクトラム拡散によるスイッチング電源の EMI 低減化」、信学技報、EMCJ2014-93、pp.45-50、沖縄（2015 年 1 月）