

高信頼デュアル RESURF N-ch LDMOS のスイッチング損失の検討

神山 雅貴* 松田 順一 小島 潤也 築地 伸和 小林 春夫 (群馬大学)

キーワード：横方向拡散 MOS, 信頼性, 電流増大, カーク効果, オン抵抗, スwitching 損失 (LDMOS, reliability, current expansion, Kirk effect, on-resistance, switching loss)

1. はじめに

民生用の電源等の回路に多く用いられている集積型中高耐圧 (30~50V) LDMOS (Lateral Double-diffused MOSFET) を車載用に展開する場合、より一層の高い信頼性と広い SOA (Safe Operating Area) が要求される。このためには、LDMOS 中の真性 MOSFET のドレイン側ゲート端周りでのインパクト・イオン化による電子正孔対の発生を抑え、Kirk 効果⁽¹⁾によるドレイン電流の増大 (current expansion)⁽²⁾⁽³⁾を抑えることが必要である。また、LDMOS 本体を ESD (Electro-Static Discharge) 素子として兼用する場合、ドレインのブレークダウンはバルクの pn 接合で発生させる必要がある。先に、これらの必要性を満たす高信頼性デュアル RESURF Nch-LDMOS を提案⁽⁴⁾したが、オン抵抗が高いという問題があった。今回、これを改善する構造を提案し、トレードオフの関係にある耐圧・オン抵抗の改善の確認とスイッチング損失について検討することで新型の有用性を確認する。

2. 従来型と新提案構造

〈2・1〉LDMOS の構造

図 1 に従来の単純な構造 (従来型①)、電流増大を抑えた構造 (従来型②)、従来型②のパラメータの最適化を行なった新提案構造 (新型) の 3 つの構造図を示す。

従来型②のドリフト層は二段階になっており、従来型①の単純な構造と異なる。今回提案する新型は従来型②を元に、ドリフト層の半分までフィールド・プレートを追加しドリフト層のドーピング量を増量した他に、ドリフト層の距離を短縮し、ソース側のドーピングを増やした構造である。ドリフト層とフィールド・プレート間の酸化膜厚は $0.3\mu\text{m}$ とした。フィールド・プレートを追加することにより、構造上 RESURF を強化することができるため、ドリフト層のドーピングを増やすことができ、オン抵抗をさらに減らすことができる。

〈2・2〉シミュレーションによる解析方法

$0.35\mu\text{m}$ プロセスをベースに、デバイス・シミュレータ

を用いて不純物プロファイルを関数入力し、従来型と新型 Nch-LDMOS (以下では LDMOS と記す) を形成した。ここで、ゲート酸化膜厚は 12nm 、ゲート長は $0.35\mu\text{m}$ 、ゲート幅は $0.3\mu\text{m}$ 、ドリフト長 (ゲート端~ドレイン端) は $2.95\mu\text{m}$ (従来型①、従来型②)、 $2.65\mu\text{m}$ (新型) である。

用いたデバイス・シミュレータはアドバンスソフト社の 3 次元 TCAD 中の Advance/DESSERT (β 版) である。このシミュレータは 3 次元機能を有するが、2 次元で本解析を行なった。

3. 各構造の特性比較

〈3・1〉電気的基本特性

図 2 に各構造の $I_{\text{DS}}-V_{\text{DS}}$ 特性 ($V_{\text{GS}}=5\text{V}$) の比較を示す。従来型①では kirk 効果によるドレイン電流が増大する現象がおきていることが確認できる。しかし、従来型②と新型では p 埋め込み層 1,2 により段階的なデュアル RESURF 構造により電流増大現象は起きていない。また、 $I_{\text{DS}}-V_{\text{DS}}$ 特性から各構造の特性オン抵抗値 R_{onA} は、従来型①で $68.7\text{m}\Omega\text{mm}^2$ 、従来型②で $69.3\text{m}\Omega\text{mm}^2$ 、新型で $44.8\text{m}\Omega\text{mm}^2$ となり、従来型の 2 構造に対し、新型で大幅に減少している。

図 3 に各構造のブレークダウン特性の比較を示す。この図からブレークダウン電圧 BV_{DS} は、従来型①で 68V 、従来型②で 61V 、新型で 60V となり、新型で最も低くなっているが、車載用への応用を考えた 50V 動作の場合、問題ないと考える。このとき、新型の $R_{\text{onA}}-BV_{\text{DS}}$ (トレードオフ特性) は、今迄発表⁽⁵⁾された中で最も良いレベルと同等である。

次に、図 4 に各構造のブレークダウン時の正孔電流密度分布を示す。これは、ブレークダウン時に構造上のどこで多く電流が流れているかを示す図であり、濃度が高い (ソース近傍を除く) ところがブレークダウン箇所である。従来型①と②ではドレイン端子の真下で起きている。新型では、ドレイン端子側からドリフト領域の下へ潜り込むように起きている。したがって、全ての構造でブレークダウン時にインパクト・イオン化によって発生する電子・正孔の酸化膜中へのトラップ、または界面への影響は抑えられ、ESD 時の特性変動は少ないと考える。

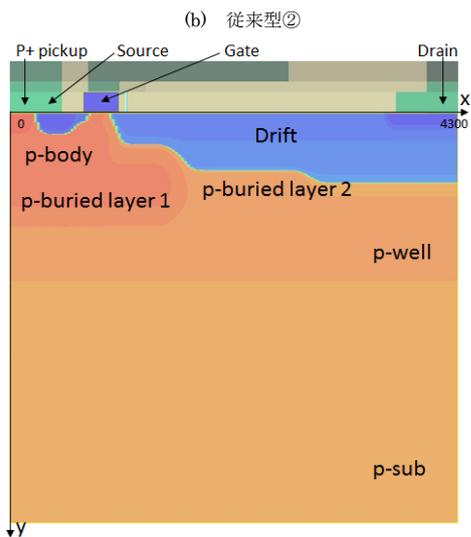
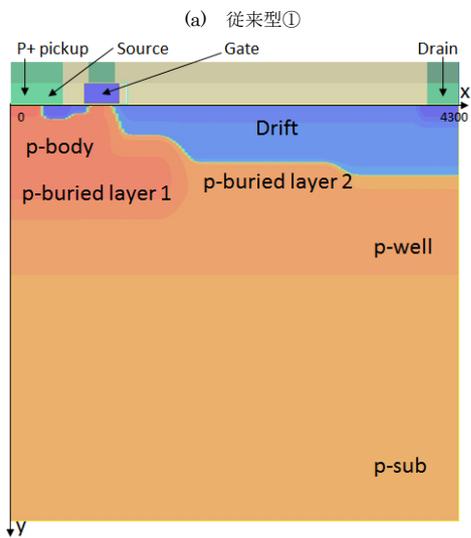
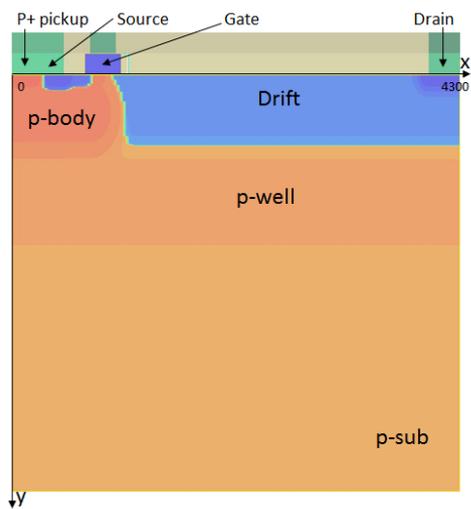


図 1 構造の断面図

Fig. 1. Cross sectional views of the structures.

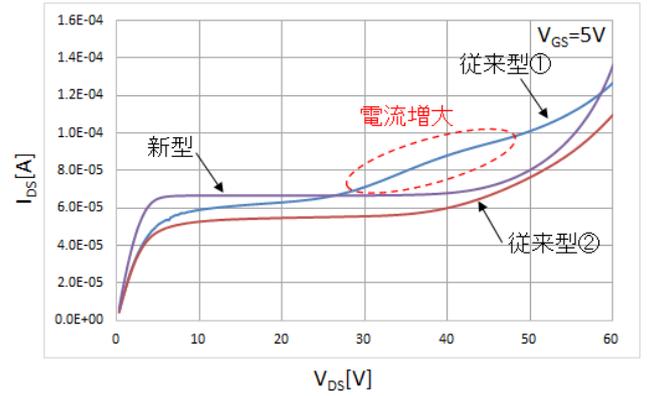


図 2 Ids-V_{DS} 特性

Fig. 2. Ids-V_{DS} characteristics.

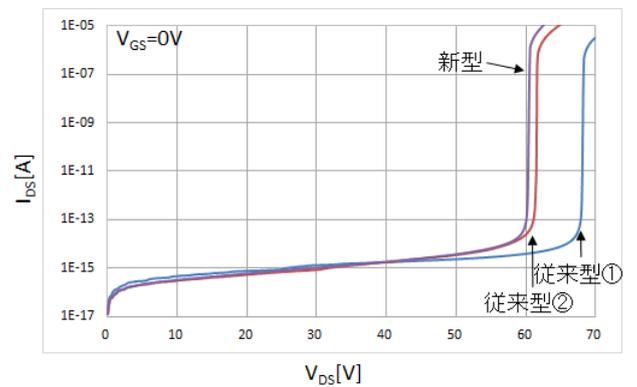


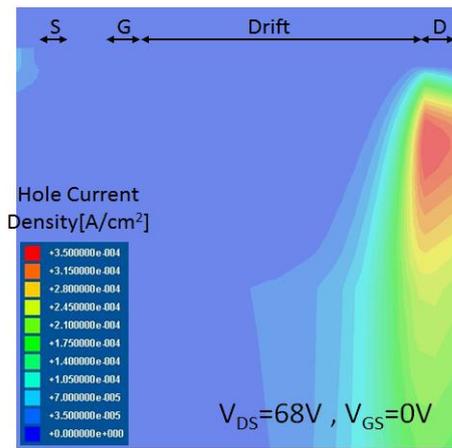
図 3 ブレークダウン特性

Fig. 3. Breakdown characteristics.

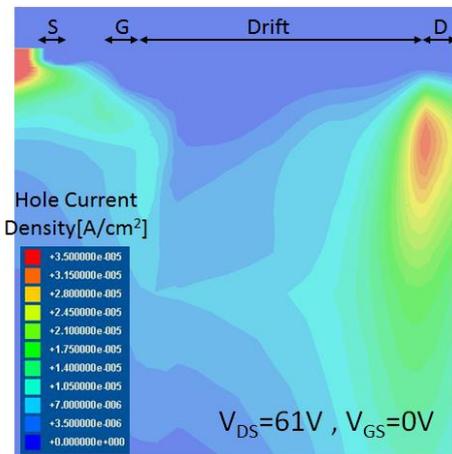
〈3・2〉界面の正孔電流密度と電界強度

図 5(a)に、各構造の界面 ($y=0$) の正孔電流密度、(b)に界面下 ($y=15\text{nm}$) の電界強度を示す。正孔電流密度は従来型①ではドリフト領域のゲート側とドレイン側の両端近傍で大きなピークを持つが、他の構造では大幅に下がっている。電界はゲート領域で全ての構造で高いが、この電界はゲート電圧による縦方向の電界であり、インパクト・イオン化に寄与しない。ドリフト領域における横方向の電界について考察する。

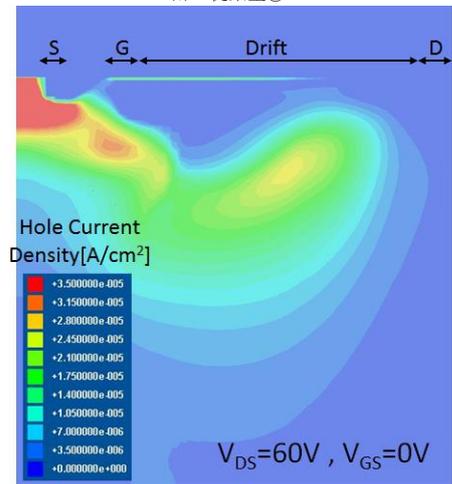
従来①と②の電界は、Kirk 効果によりドレイン側のドリフト端近傍で大きなピークを持つ。一方、新型では、(a) $x=1700\text{nm}$ 辺りと (b) $x=2700\text{nm}$ 辺りに電界のピークがある。(a) 辺りの高電界とそこを流れる電子電流により表面においてインパクト・イオン化によって正孔電流密度のピークが発生する (図 5(a))。 (b) 辺りの高電界により表面では正孔電流密度の上昇はないが、表面から少し深いドリフト層内において正孔の発生があり、これがドリフト層のゲート側へ流れて行き、(a) 辺りで発生した正孔と合流するが、ゲート側のドリフト端近傍で正孔電流密度を大きく上昇させるまでには至らないと考える。結果として、新型の正孔電流密度は、ゲート側のドリフト端近傍で従来型②と同程度にまで低下しており、インパクト・イオン化による真性



(a) 従来型①

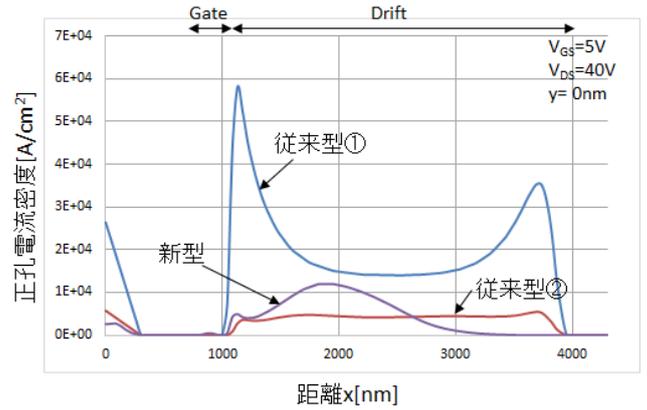


(b) 従来型②

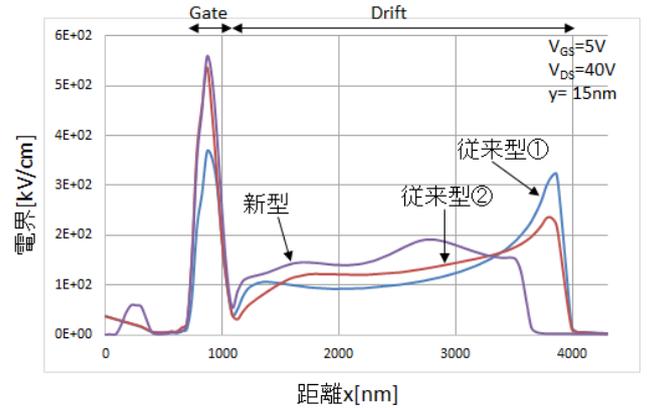


(c) 新型

図4 ブレークダウン時の正孔電流密度分布
Fig. 4. Hole current density distributions at the breakdown voltages.



(a) 界面の正孔電流密度



(b) 界面の電界強度

図5 界面の正孔電流密度と電界分布

Fig. 5. Hole current density profile along the surface and electric field profile along near the surface.

MOSFET への特性変動は、新型と従来型②で同程度に低く抑えられるものと推定する。これは、ドリフト領域を二つの p 埋め込み層で構成しデュアル RESURF 構造にしたために起きたと考える。

4. スイッチング損失の考察

LDMOS を電源回路のスイッチング素子として用いるときに消費する損失を考える。一つ目は、スイッチング時に LDMOS のゲート容量の充放電の際に生じるゲートドライブ損失である (図 6)。二つ目は、スイッチング損失である (図 7)。スイッチング損失をスイッチングに消費するスイッチング損失①と導通時に消費するスイッチング損失②に便宜上分ける。

ここで、 $I_{DS}-V_{DS}$ 特性において電流増大現象が起きていない信頼性のある従来型②と新型に注目する。新型は従来型に比べオン抵抗 R_{on} が低い、フィールド・プレートを付けたことによりゲート容量が大きくなる。ゲートドライブ損失は、ゲート容量に充電された分の電荷量 Q_g がドライバー部の MOS の抵抗成分で消費する損失であるため、ゲート容

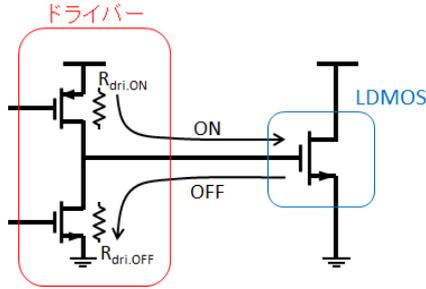


図 6 ゲートドライブ損失
Fig. 6. Gate drive loss.

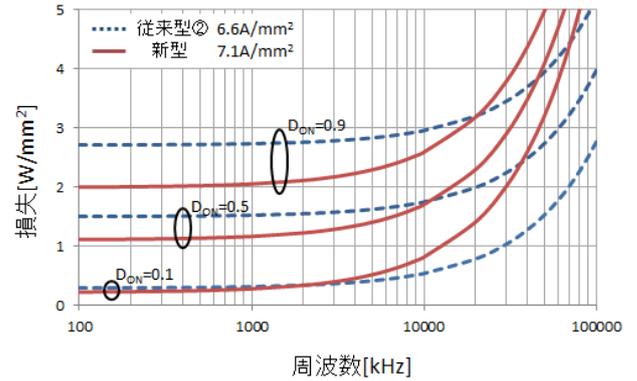


図 9 損失の周波数特性

Fig. 9. Frequency characteristics of loss.

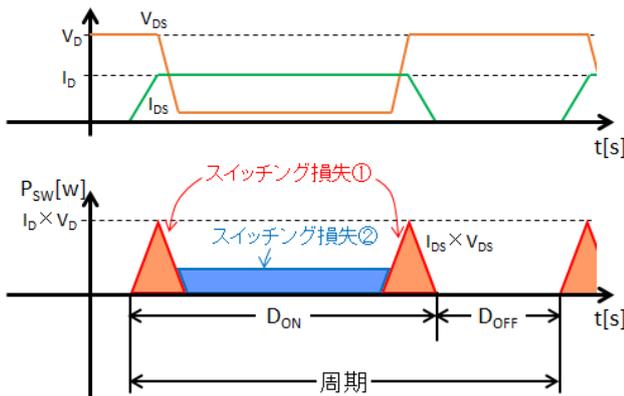


図 7 スwitching損失
Fig. 7. Switching loss.

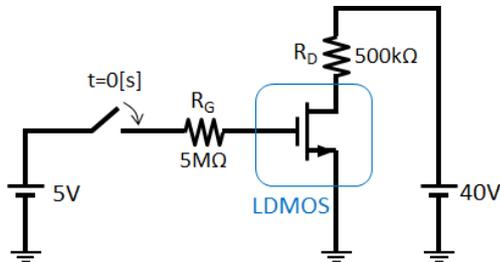


図 8 過渡解析時のシミュレーション回路
Fig. 8. Simulation circuit of transient analysis.

量が多いほど大きくなる。電荷量 Q_g は図 8 の条件でシミュレーションより得た。オン抵抗とゲート容量のチャージ電荷量のトレードオフを評価する FOM (figure of merit) $=R_{on} \times Q_g$ を計算すると従来②では、 $104\text{m}\Omega\text{nC}$ 、新型では、 $141\text{m}\Omega\text{nC}$ となり、従来型②の方が良い。

次に、実用的な使用条件下での損失計算を行う。ゲートドライブ損失とスイッチング損失①は、スイッチの ON/OFF 毎に生じるため周波数に依存する。一方、スイッチング損失②は 1 周期に対し、導通時間分生じるためにデューティ D_{ON} に依存する。図 9 に各構造の損失を合計した損失の周波数特性を示す。電源回路で使用する際のパワー MOS の一般的なスイッチング周波数は数 100kHz である。そのため、どのデューティ比でも損失が少ないのは新型であることがわかる。

5. まとめ

以前発表した高信頼デュアル RESURF N-ch LDMOS 構造 (従来型②) に対して、フィールド・プレートの追加・ドリフト領域の縮小・要所のドーピング濃度の変更などのオン抵抗を減らす改善を行った。その際信頼性は落としていない。新型にすることで、特性オン抵抗値は $69.3\text{m}\Omega\text{mm}^2$ から $44.8\text{m}\Omega\text{mm}^2$ へ減らすことができた。FOM ($R_{on} \times Q_g$) は $104\text{m}\Omega\text{nC}$ から $141\text{m}\Omega\text{nC}$ と増えてしまったが、パワー MOS の実用的なスイッチング周波数帯での損失は新型の方が良いことを示した。

謝辞

本研究で用いた 3 次元 TCAD は、アドバンスソフト社から借用させて頂いているものであり、アドバンスソフト社に深謝申し上げます。

文 献

- (1) C. T. Kirk : "A Theory of Transistor Cutoff Frequency (ft) Falloff and High Current Densities", IRE Transactions on Electron Devices, Vol. 9, No. 2 pp.164-174(1962).
- (2) Chih-Chang Cheng, H. L. Chou, F. Y. Chu, R. S. Liou, Y. C. Lin, K. M. Wu, Y. C. Jong, C. L. Tsai, C.L. Jun Cai, and H. C. Tuan : "Investigation of Parasitic BJT Turn-on Enhanced Two-stage Drain Saturation Current in High-voltage NLD MOS", 23rd International Symposium on International Power Semiconductor Devices & IC's (ISPSD), pp.208-210(2011).
- (3) Jingxuan Chen : "HV EDMOS Design with Expansion Regime Suppression", Master Thesis of Applied Science, Department of Electrical and Computer Engineering, University of Toronto, (2013).
- (4) 松田順一・神山雅貴・築地伸和・小林春夫 : 「高信頼性 Nch-LDMOS の提案」, 電気学会研究会, EDD-15-066, SPC-15-148(2015 年).
- (5) Choul-Joo Ko, et al., "Implementation of Fully Isolated Low Vgs nLDMOS with Low Specific On-resistance," ISPSD, pp. 24-27 (2011).