

高信頼デュアルRESURF N-ch LDMOS のスイッチング損失の検討

神山 雅貴*

松田 順一

小島 潤也

築地 伸和

小林 春夫

群馬大学大学院 理工学府 電子情報・数理教育プログラム
情報通信システム第2 小林研究室

アウトライン

- 研究背景・目的
- 従来・新提案(DR①・DR②) Nch-LDMOS構造
 - シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度特性・電界特性
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM($R_{ON}Q_g$)
 - 損失の周波数特性
- まとめ

アウトライン

- 研究背景・目的
- 従来・新提案(DR①・DR②) Nch-LDMOS構造
 - シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度特性・電界特性
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM($R_{ON}Q_g$)
 - 損失の周波数特性
- まとめ

研究背景・目的

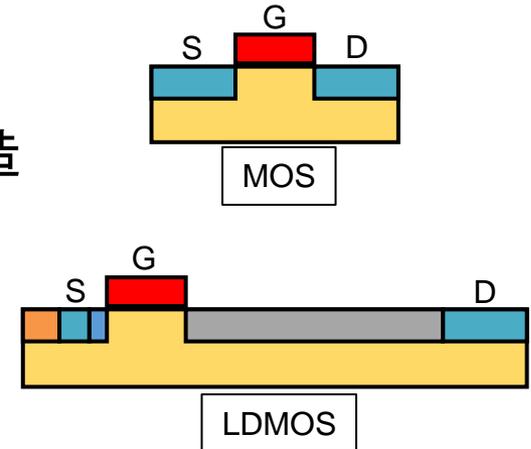
LDMOS (Laterally Diffused MOS)

・横方向拡散MOS

ゲート-ドレイン間の電界強度を緩和する構造
耐圧が高い⇒高い電圧を印加可能

・パワーMOSの一種

電源回路のスイッチングなどに使用

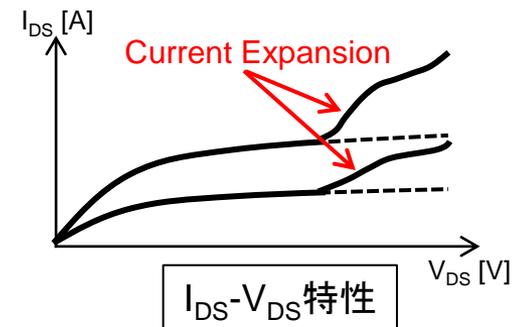


集積型中高耐圧 (30-50V) **車載用LDMOS** に注目!!

信頼性：車載用LDMOS > 民生用LDMOS

信頼性の低下要因

- ・インパクトイオン化
- ・カーク効果
- ・電流増大 (Current Expansion)



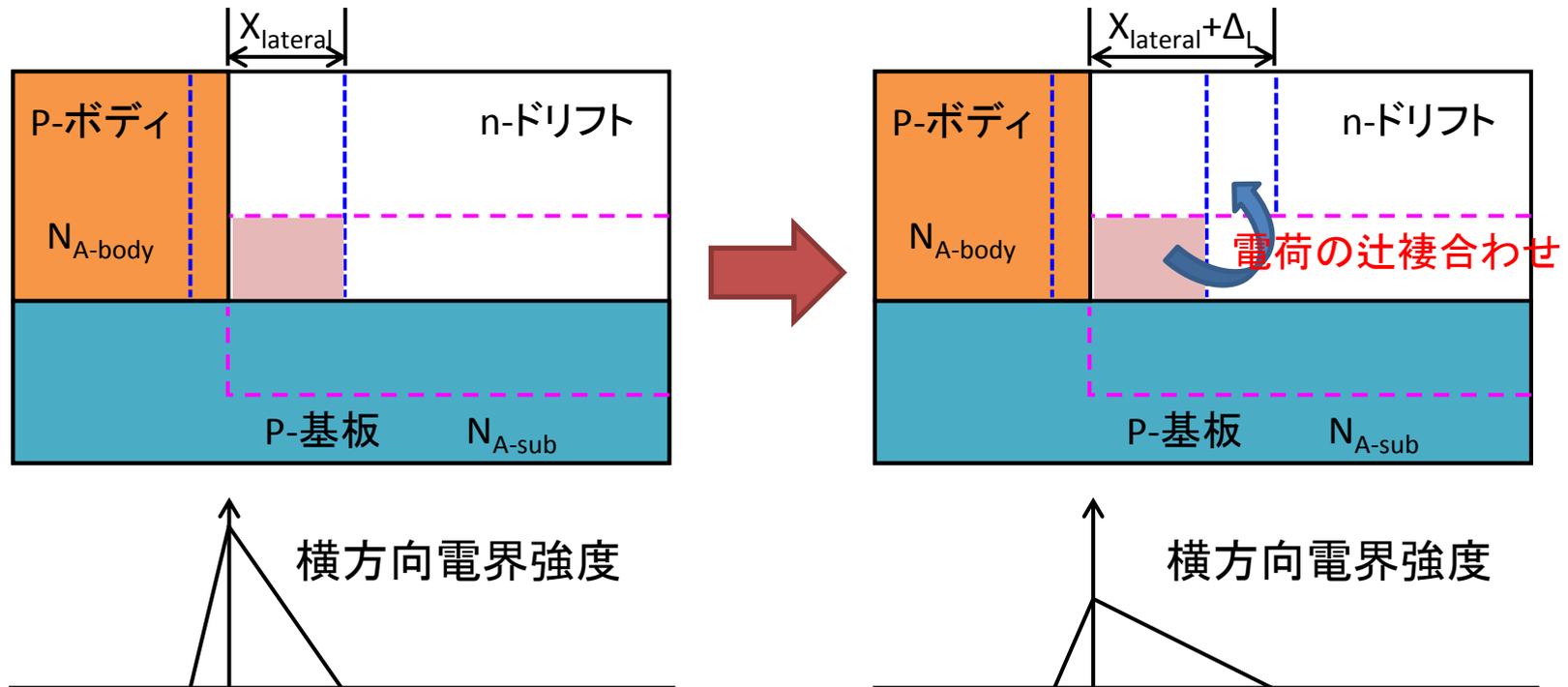
研究目的

耐圧60V・高信頼性LDMOS構造を提案!!!

RESURF

RESURF (Reduced Surface Field)

表面電界を減少させる技術



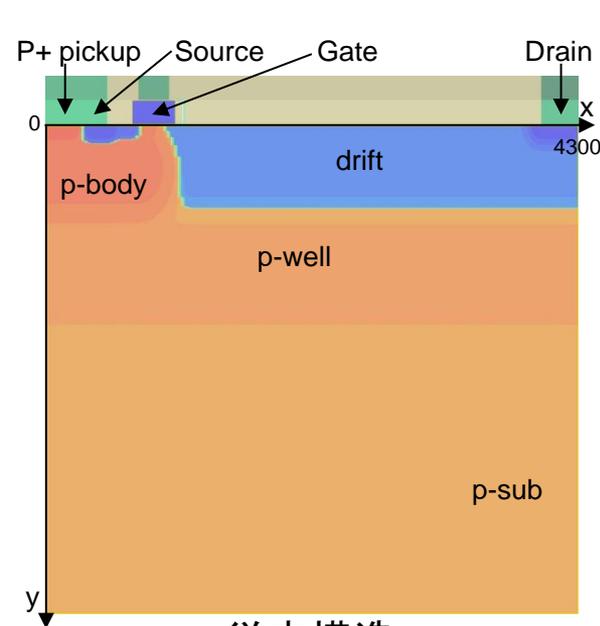
pn接続による空乏層の縦と横方向電界の相互作用を利用

- ⇒横方向空乏層が拡張
- ⇒横方向の電界緩和

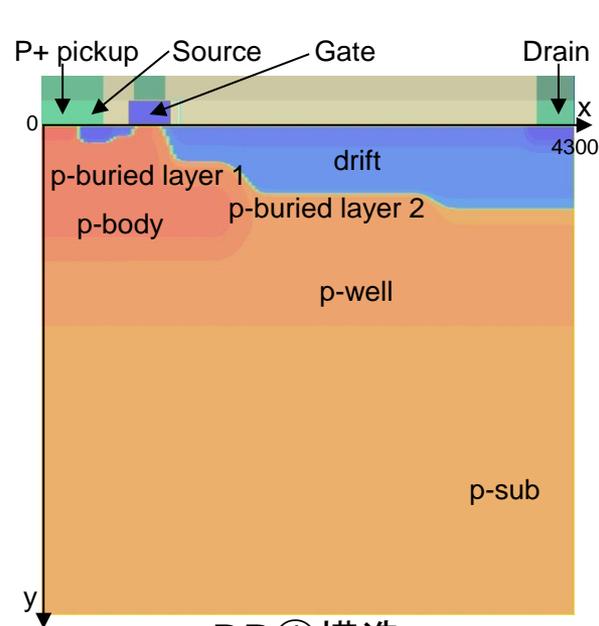
アウトライン

- 研究背景・目的
- 従来・新提案(DR①・DR②) Nch-LDMOS構造
 - シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度特性・電界特性
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM($R_{ON}Q_g$)
 - 損失の周波数特性
- まとめ

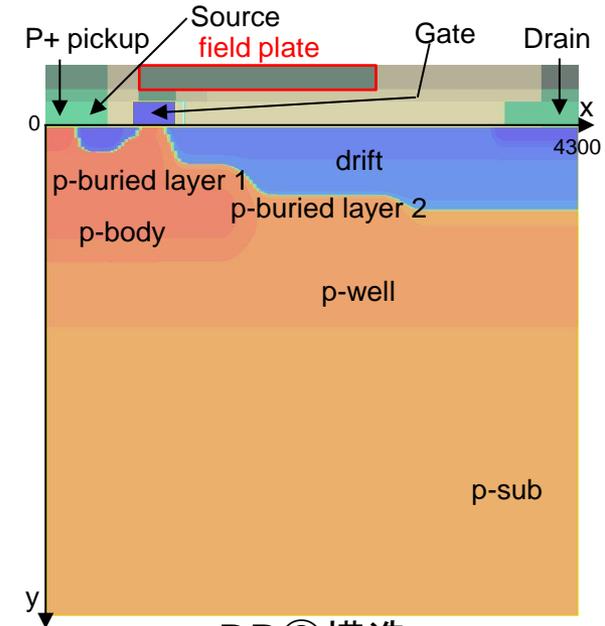
従来・DR①② Nch-LDMOS構造



従来構造



DR①構造



DR②構造

0.35 μm プロセスベース
 ゲート長 0.35 μm
 ゲート酸化膜厚 12nm
 ドリフト長 2.95 μm
 デバイス幅 0.3 μm
 (フィールドプレート長 1.625 μm)
 (ドリフト-フィールドプレート
 間酸化膜厚 0.3 μm)

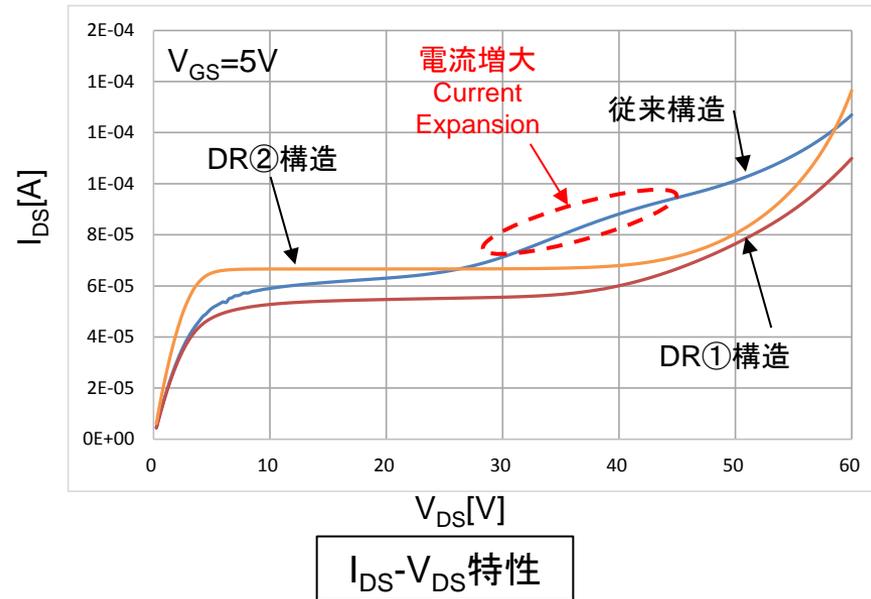
デュアルRESURF構造 (高信頼性)

- ・p-buried layer 1 ⇒ドリフト端周りでのRESURFの強化と電流増大の抑制
- ・p-buried layer 2 ⇒ドリフト領域に沿ったRESURFの強化
- ・ドレイン下のp-buried layer 2の開口⇒電流増大の抑制と耐圧の維持

低オン抵抗化

- ・ドリフト領域縮小化
- ・ソース領域のドーズ量増加
- ・フィールドプレート
- ・ドリフト領域のドーズ量増加

$I_{DS}-V_{DS}$ 特性



従来構造

電流増大 (Current Expansion) 有り

低信頼性

- ・特性オン抵抗 $R_{ON}A=68.7\text{m}\Omega\text{mm}^2$
($A=\text{幅} \times \text{距離}_{S-D\text{間}}=0.3 \times 4\mu\text{m}^2$)

DR①構造

電流増大 (Current Expansion) 無し

高信頼性

- ・特性オン抵抗 $R_{ON}A=69.3\text{m}\Omega\text{mm}^2$
($A=\text{幅} \times \text{距離}_{S-D\text{間}}=0.3 \times 4\mu\text{m}^2$)

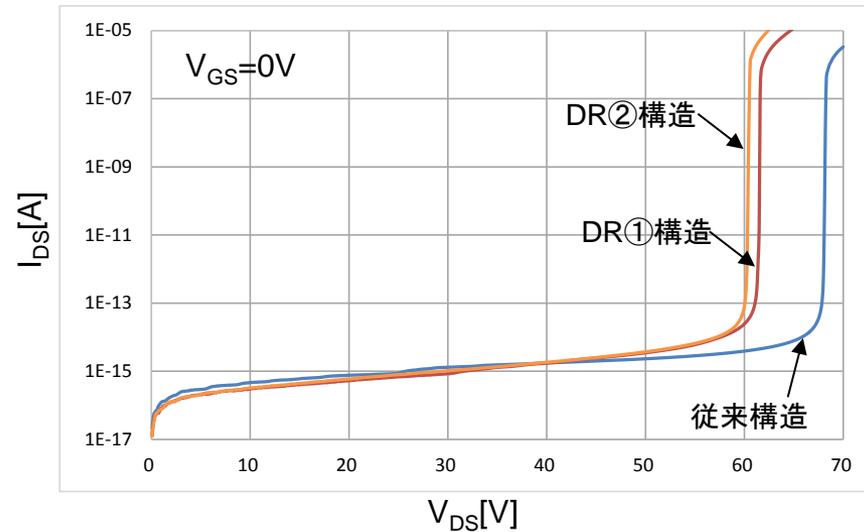
低オン抵抗化

DR②構造

- ・特性オン抵抗 $R_{ON}A=44.8\text{m}\Omega\text{mm}^2$
($A=\text{幅} \times \text{距離}_{S-D\text{間}}=0.3 \times 3.725\mu\text{m}^2$)

高信頼・低オン抵抗構造!!

ブレークダウン特性



ブレークダウン特性

従来構造

$BV_{DS}=68V$

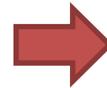
DR①構造

$BV_{DS}=61V$

DR②構造

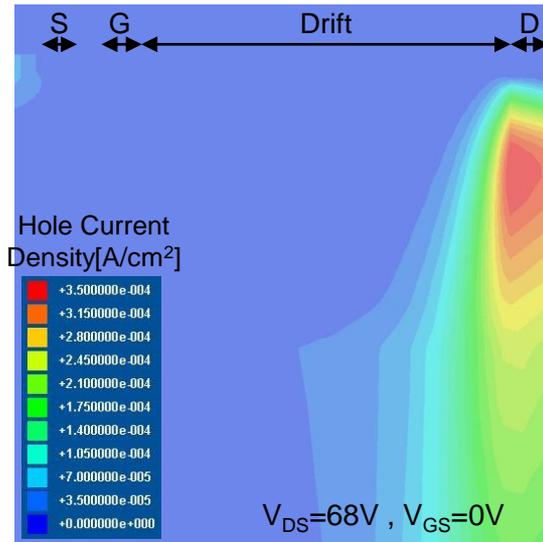
$BV_{DS}=60V$

($I_{DS}=1E-13$)

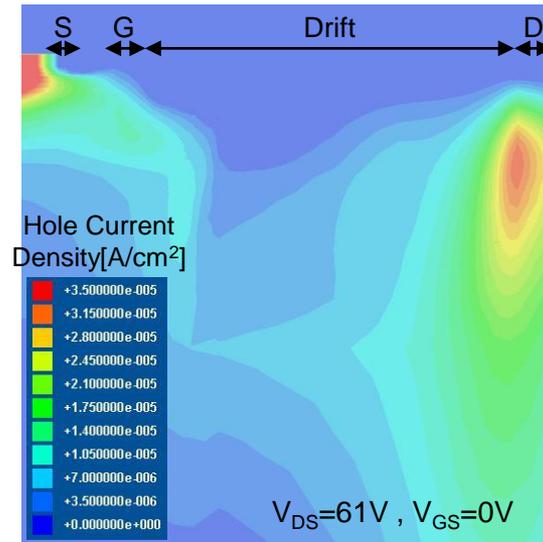


車載用中高耐圧LDMOS(50V動作)への応用
全ての構造で問題無し

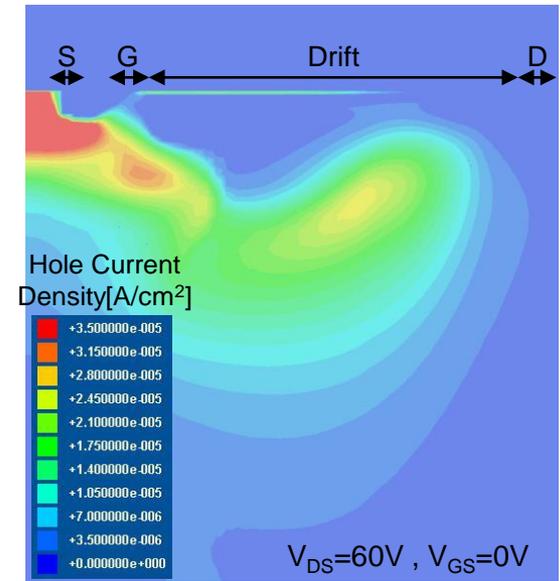
ブレークダウン時の正孔電流密度分布



従来構造



DR①構造



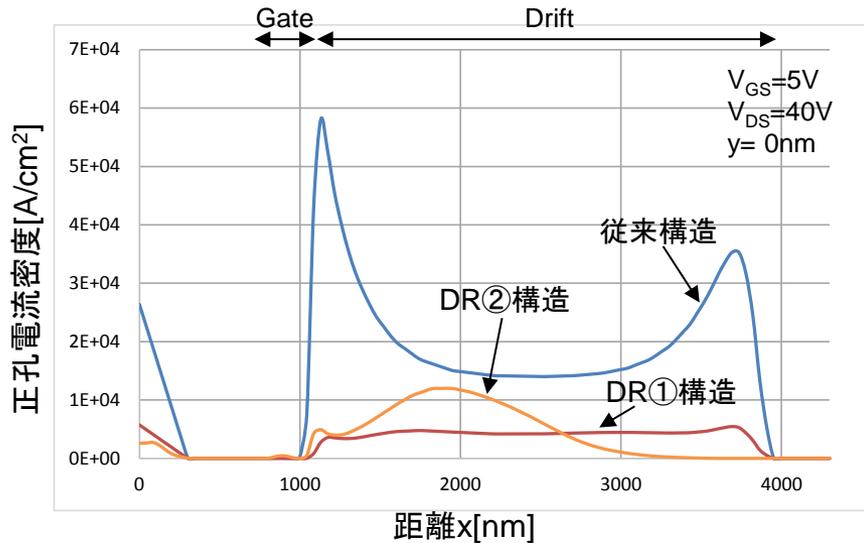
DR②構造

従来構造・DR①②構造どれもバルクブレークダウン
(界面でブレークダウンが発生していない)

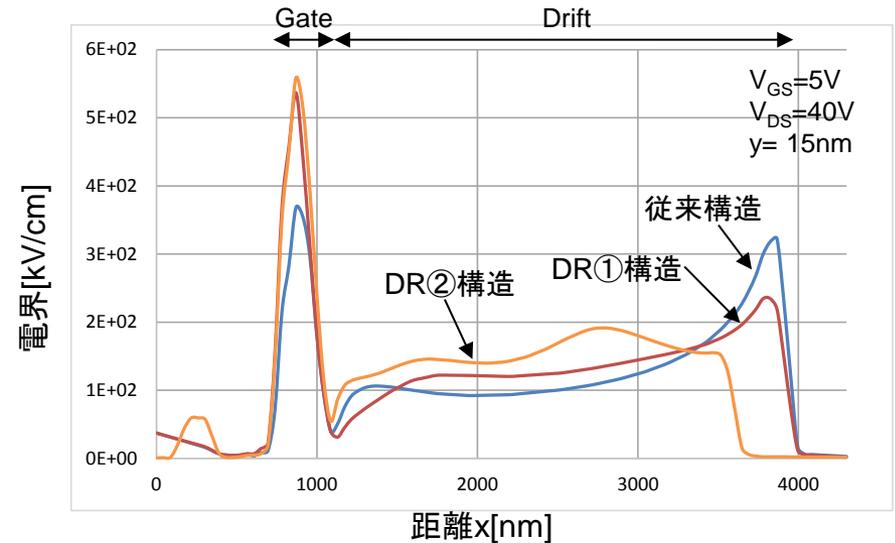


・酸化膜へのトラップ
・界面への影響 を抑制

正孔電流密度・電界



正孔電流密度分布の形状

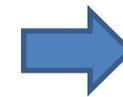


電界分布の形状

インパクトイオン化による正孔電流 \propto 電子電流 \times 電界 $\times \exp(-A/\text{電界})$

従来構造

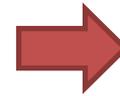
・正孔電流密度・電界・・・ドリフト両端近傍で大きな値



インパクトイオン化が
起きやすい

DR①構造

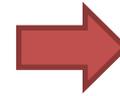
・電界・・・ドレイン側のドリフト領域で大きな値
・他にピークをもたない



インパクトイオン化が
起こりにくい

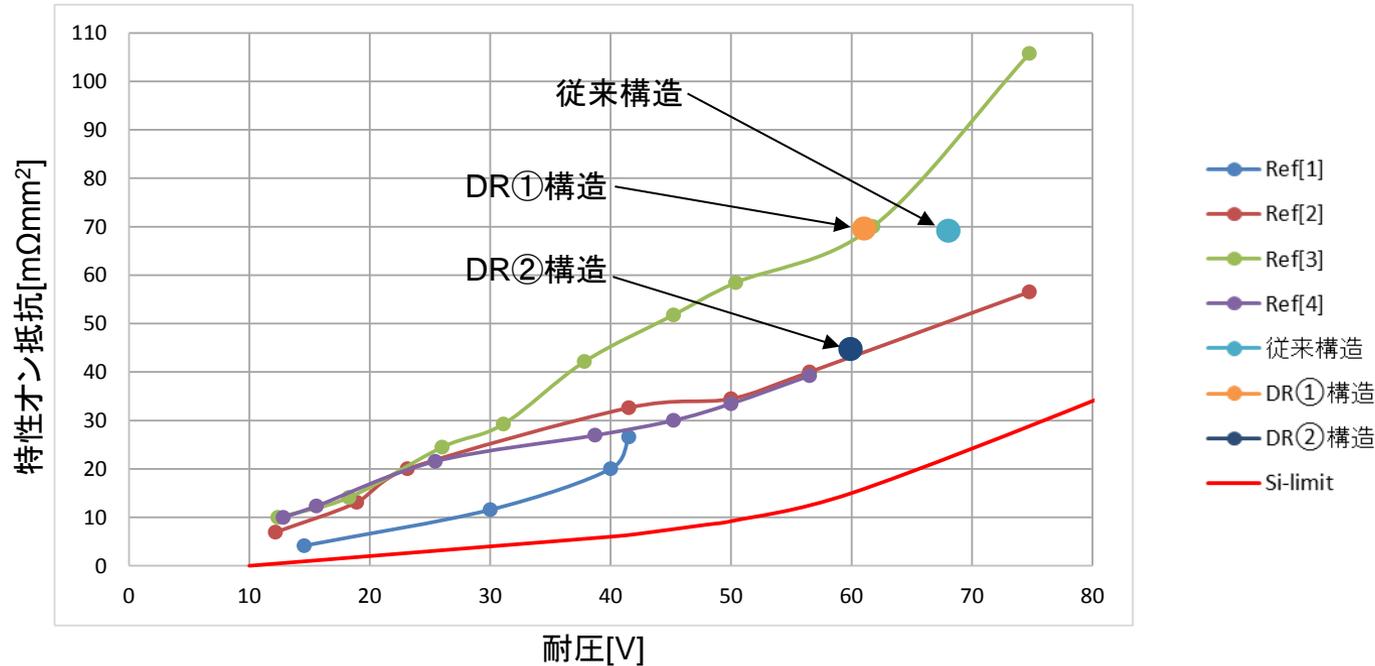
DR②構造

・正孔電流密度・・・x=2000nm辺りで大きな値
・電界・・・x=2700nm辺りで少し大きな値



ピーク位置のズレがある
インパクトイオン化が起こりにくい
(デュアルRESURF構造による)

オン抵抗-耐圧特性



特性オン抵抗-耐圧特性

DR②構造・・・高い信頼性 & オン抵抗値が既存のレベル

Ref[1]: S. Pendharkar "7 to 30V state-of-art power device implementation in 0.25 μ m LBC7 BiCMOS-DMOS process technology" Proc. Of ISPSD, p419-422, 2004. (Texas Instruments (米))

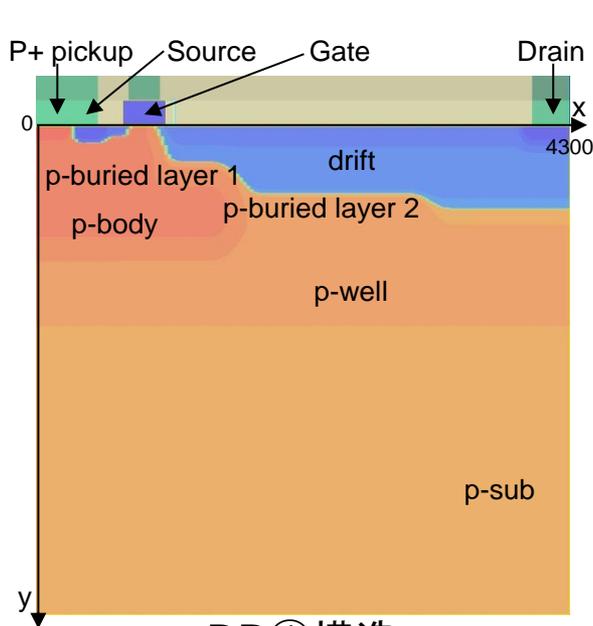
Ref[2]: R. Zhu, "Implementation of high-side, "high-voltage RESURF LDMOS in a sub-half micron smart power technology", ISPSD, p403-406, 2001. (Motorola (米))

Ref[3.4]: Choul-Joo Ko, et al., "Implementation of Fully Isolated Low Vgs nLDMOS with Low Specific On-resistance," ISPSD, pp. 24-27 (2011). (Dongbu Hitek (韓国))

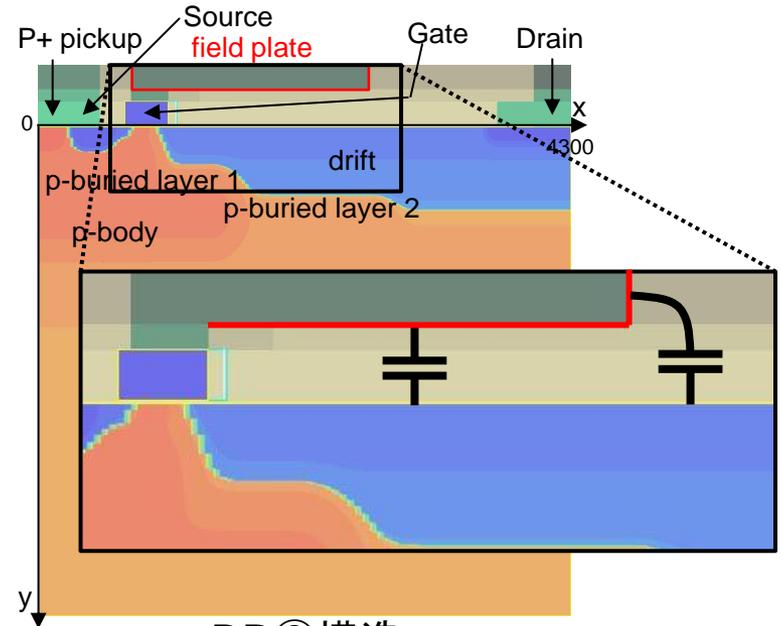
アウトライン

- 研究背景・目的
- 従来・新提案(DR①・DR②) Nch-LDMOS構造
 - シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度特性・電界特性
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM($R_{ON}Q_g$)
 - 損失の周波数特性
- まとめ

構造の解析・評価



DR①構造

オン抵抗 R_{ON} 大入力容量(電荷量 Q_g)小

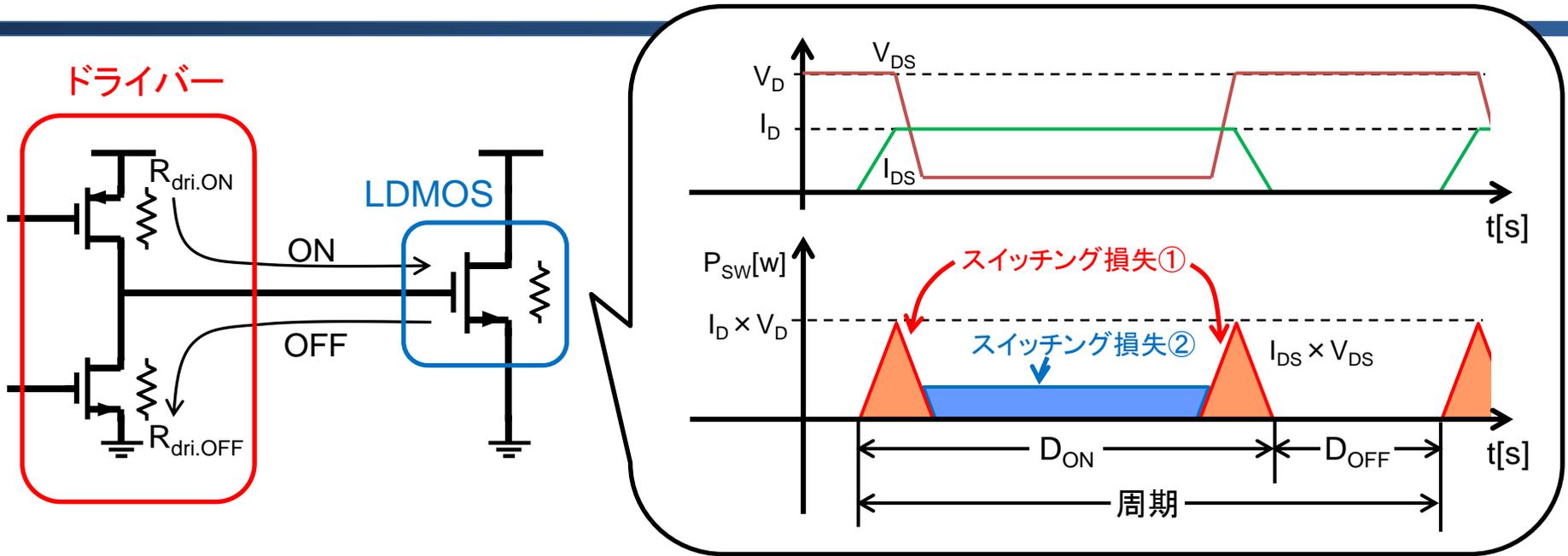
DR②構造

オン抵抗 R_{ON} 小入力容量(電荷量 Q_g)大

性能評価

トレードオフを考慮できる
使用周波数帯の損失から性能を比較

LDMOSの損失



ゲートドライブ損失

(ドライバー部の損失)

$$\begin{aligned} \text{ON時} & \frac{1}{2} CV^2 \\ \text{OFF時} & \frac{1}{2} CV^2 \end{aligned} \left. \vphantom{\begin{aligned} \text{ON時} \\ \text{OFF時} \end{aligned}} \right\} \text{周期 } CV^2$$

$$\downarrow Q = CV$$

損失_{all} [W]

$$= f \times Q_g V_{GS}$$

周波数依存

スイッチング損失

スイッチング損失①
(スイッチング時)

スイッチング損失②
(導通時)

三角形の面積

$$f \times 2 \int_{turn_ON} i_{ds} v_{ds} dt$$

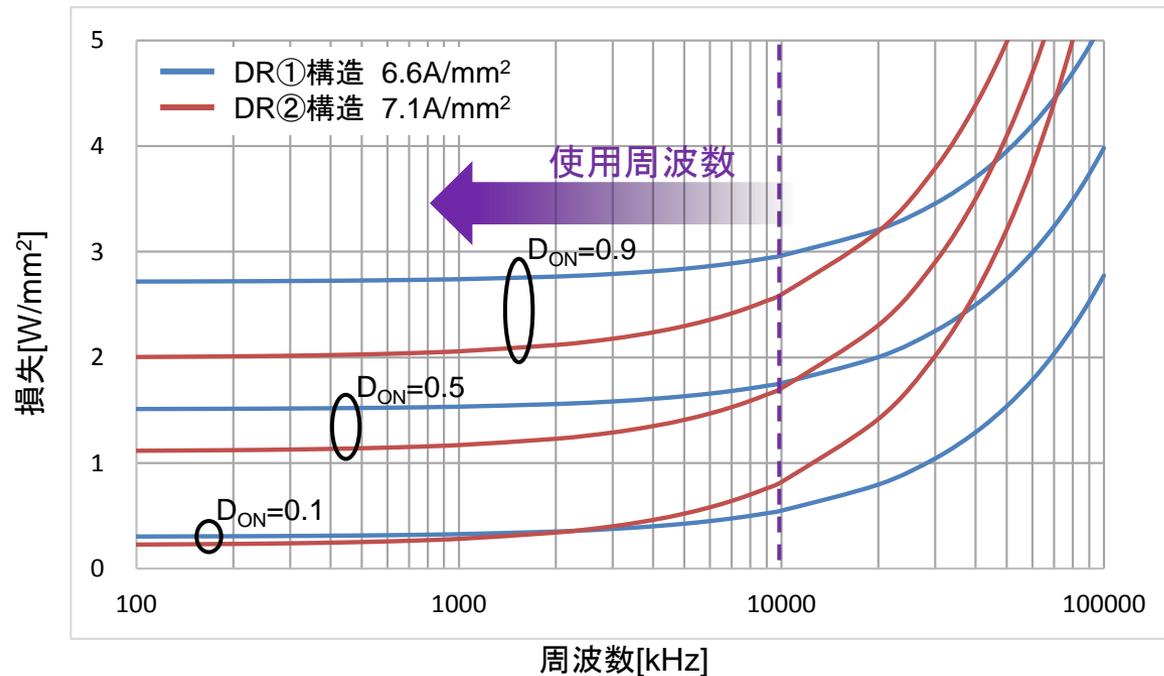
周波数依存

ON期間 定常状態

$$D_{ON} \times I_{DS} V_{DS}$$

デューティ比依存

損失の周波数特性



損失の周波数特性

※損失=ゲートドライブ損失+スイッチング損失

パワーMOSの使用スイッチング周波数・・・数100kHz

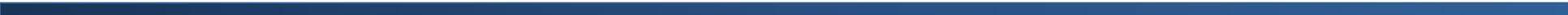
損失： DR①構造 > DR②構造
低損失!!!

アウトライン

- 研究背景・目的
- 従来・新提案(DR①・DR②) Nch-LDMOS構造
 - シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度特性・電界特性
 - オン抵抗-耐圧特性
- 構造の解析・性能評価
 - FOM($R_{ON}Q_g$)
 - 損失の周波数特性
- まとめ

まとめ

項目	従来構造	DR①構造	DR②構造
真性MOSFETのドレイン側ゲート端周りでのインパクト・イオン化による正孔電流密度	高	低	低
真性MOSFETのドレイン端周りのドリフト領域内の電界の大きさ	高	低	中 〔インパクトイオン化発生の問題は無し〕
ドレイン電流増大	強 (Current Expansion)	弱	弱
ブレークダウンの箇所	バルク	バルク	バルク
BV_{DS} [V]	68	61	60
R_{onA} [$m\Omega mm^2$]	68.7	69.3	44.8
損失		使用スイッチング周波数帯で大きい	使用スイッチング周波数帯で小さい



Q&A

- どのような周波数帯で使用するのですか？

⇒具体的な周波数は想定していません。

- 今回LDMOSの構造提案には、どのようなシミュレータを用いて行ったのですか？

⇒3D TCADシミュレータを用いて行いました。

- 現実的なパラメータ？実装は？

⇒実装はしてありません。機会があれば、行いたいと思います。

パラメータに関しては、非現実的なパラメータは使用していません。実物を想定したパラメータを使用しております。

付録

まとめ

- 電流増大 (Current Expansion) による信頼性の低い従来 Nch-LDMOS に対して デュアル RESURF 構造を用い 信頼性のある DR① 構造を示した
- オン抵抗値が大きい DR① 構造に対して オン抵抗を減らす構造を取り入れることで 信頼性を損なうことなく 低オン抵抗化した DR② 構造を示した
- DR② 構造は DR① 構造に比べ FOM は低い が 実用的なスイッチング周波数帯での損失は小さいという有用性を示した

(・Wai Tung Ng 教授 (トロント大学) グループと共同研究に発展しつつある)

まとめ

項目	従来構造	DR①構造	DR②構造
真性MOSFETのドレイン側ゲート端周りでのインパクト・イオン化による正孔電流密度	高	低	低
真性MOSFETのドレイン端周りのドリフト領域内の電界の大きさ	高	低	中 〔インパクトイオン化発生の問題は無し〕
ドレイン電流増大	強 (Current Expansion)	弱	弱
ブレークダウンの箇所	バルク	バルク	バルク
BV_{DS} [V]	68	61	60
$R_{on,A}$ [$m\Omega mm^2$]	68.7	69.3	44.8
FOM ($R_{ON}Q_g$) [$m\Omega nC$]		104	141
損失		使用スイッチング周波数帯で大きい	使用スイッチング周波数帯で <small>小さい</small>

3D TCADシミュレータ

3D TCADシミュレータ ... Advance/DESSERT (β版) アドバンスソフト株式会社

・実物に近いモデルの使用



高精度

・実物を作らなくても良い



短時間で多くの構造の開発・評価

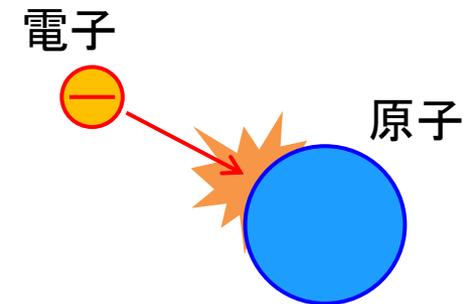
インパクトイオン化

インパクトイオン化(電離衝突)

高い電界によって加速された電子が結晶格子との衝突によって電子・正孔対を発生させる現象

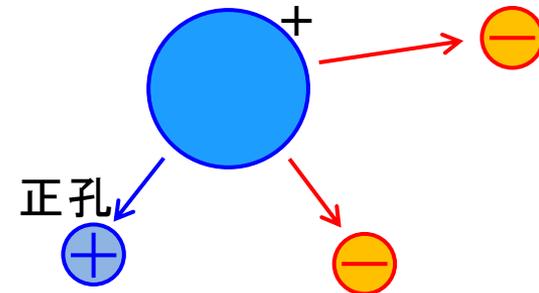
インパクトイオン化による正孔電流
 \propto 電子電流 \times 電界 $\times \exp(-A/\text{電界})$

A: 定数



衝突後

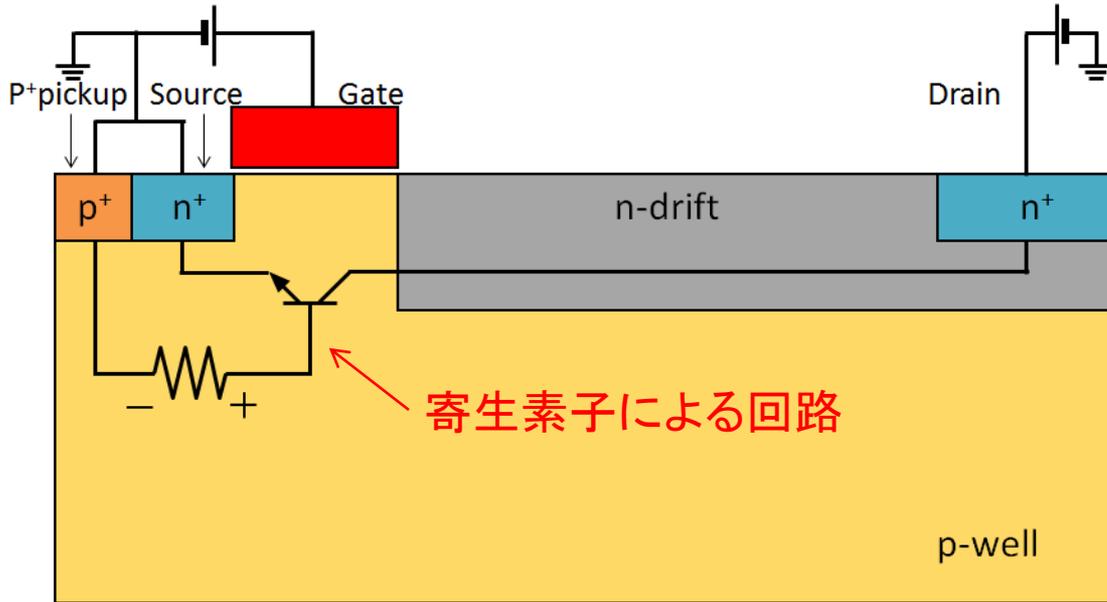
原子(イオン化)



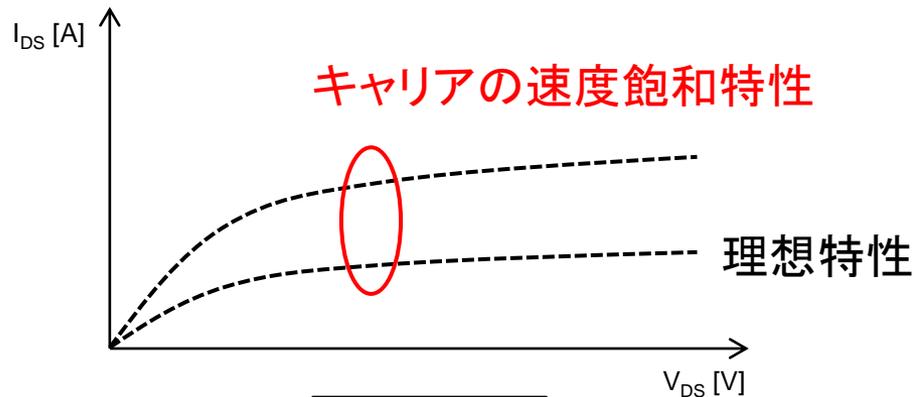
電子正孔対の発生

イメージ図

LDMOSの使用 基本特性



LDMOS構造

 $I_{DS}-V_{DS}$ 特性

ドリフト領域の
電子の速度飽和(高い V_{GS})

高いドレイン電圧による
インパクトイオン化が発生

コンダクタンス
モジュレーション

真性MOSのドレイン端の
電圧上昇
真性MOSが飽和領域へ

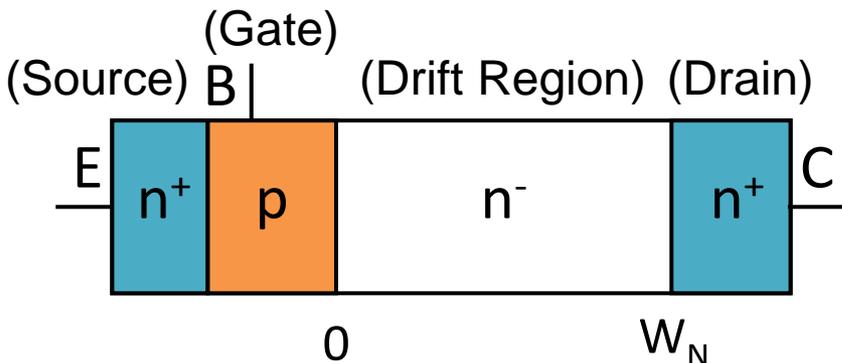
真性MOSのドレイン端で
インパクトイオン化発生

寄生バイポーラが顕著に

Kirk効果

カーク効果 (コレクタ電流増大時)

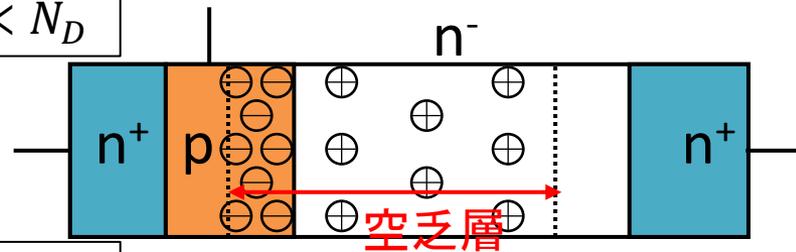
バイポーラの増幅率が低下する現象
⇒ドリフト領域の電界分布が変化



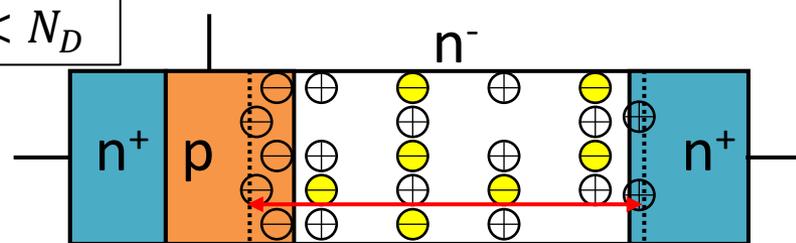
電界分布

- 電子
- ⊖ アクセプタ電荷
- ⊕ ドナー電荷

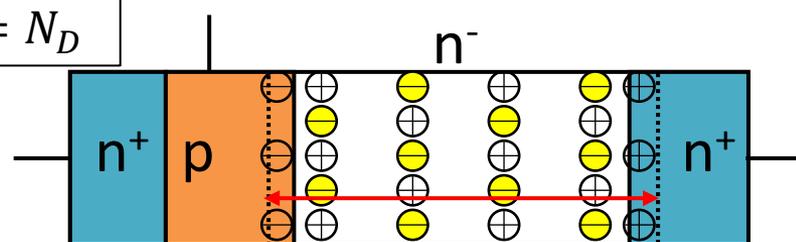
(a) $n \ll N_D$



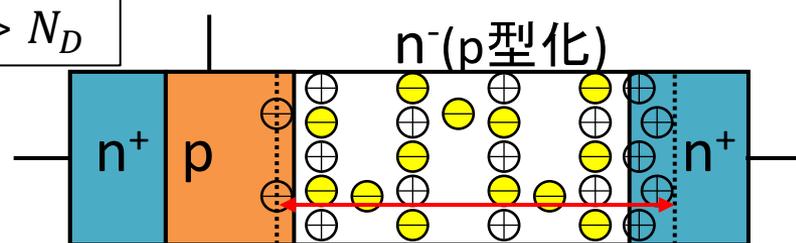
(b) $n < N_D$



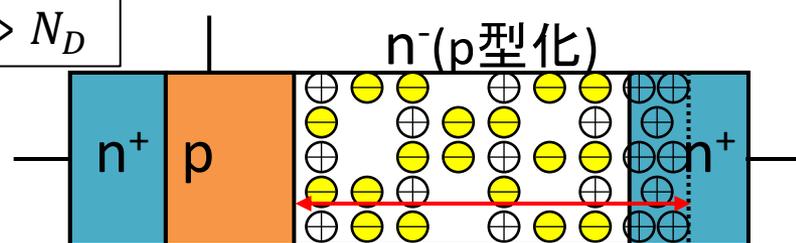
(c) $n = N_D$



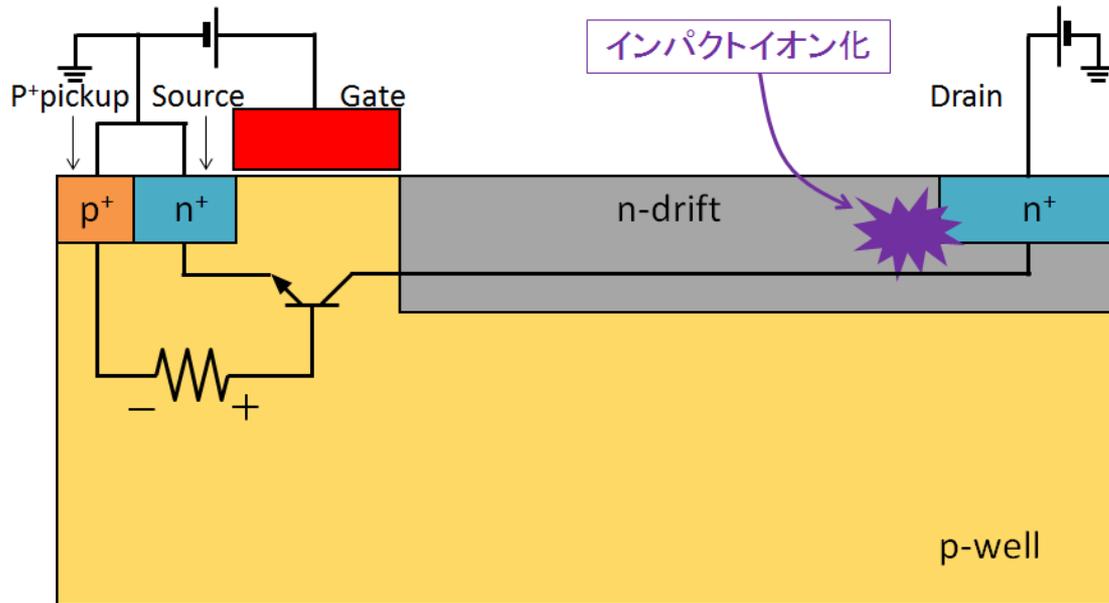
(d) $n > N_D$



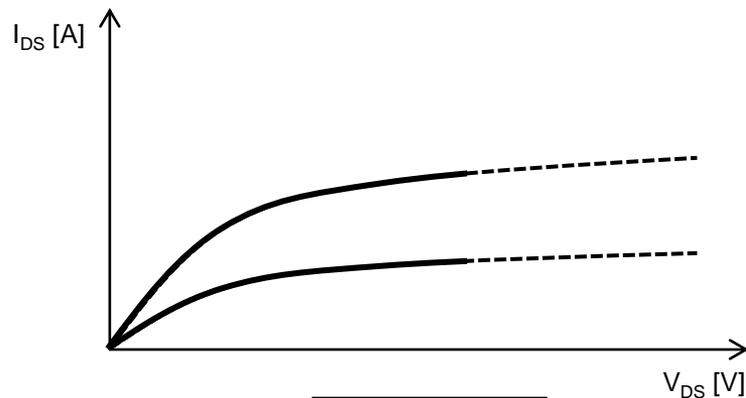
(e) $n \gg N_D$



電流増大 (Current Expansion)



LDMOS構造

 I_{DS} - V_{DS} 特性

ドリフト領域の
電子の速度飽和(高い V_{GS})



高いドレイン電圧による
インパクトイオン化が発生

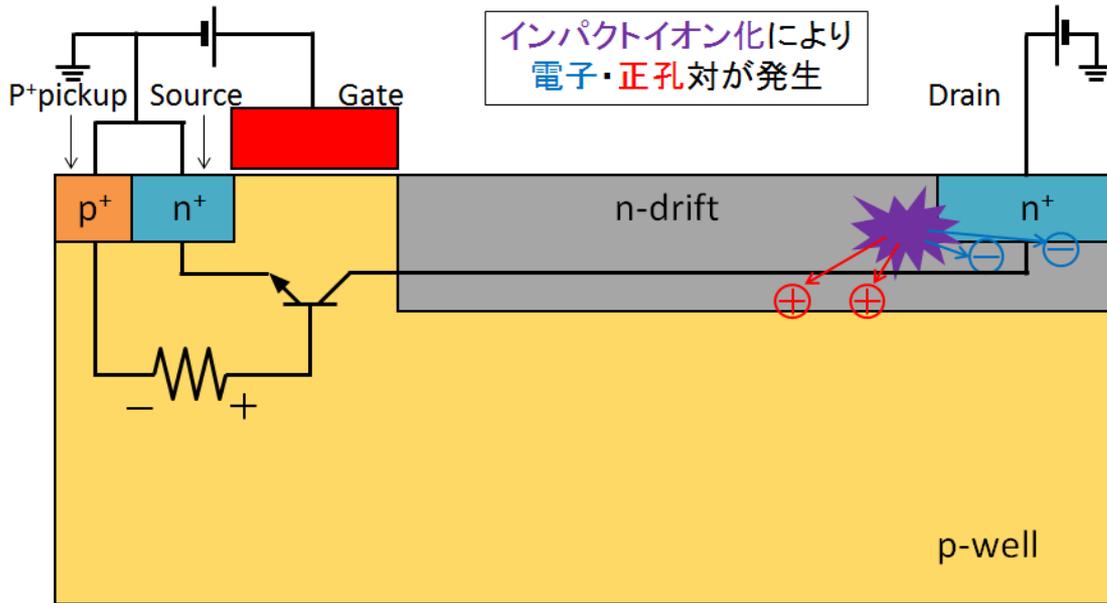
コンダクタンス
モジュレーション

真性MOSのドレイン端の
電圧上昇
真性MOSが飽和領域へ

真性MOSのドレイン端で
インパクトイオン化発生

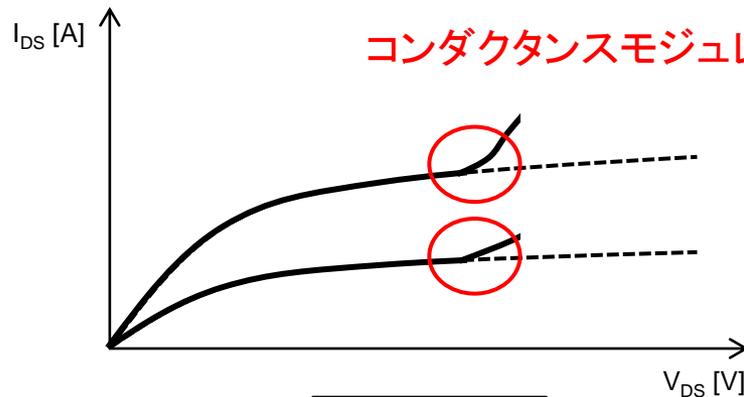
寄生バイポーラが顕著に

電流増大 (Current Expansion)



インパクトイオン化により
電子・正孔対が発生

LDMOS構造



コンダクタンスモジュレーション

$I_{DS}-V_{DS}$ 特性

ドリフト領域の
電子の速度飽和(高い V_{GS})



高いドレイン電圧による
インパクトイオン化が発生



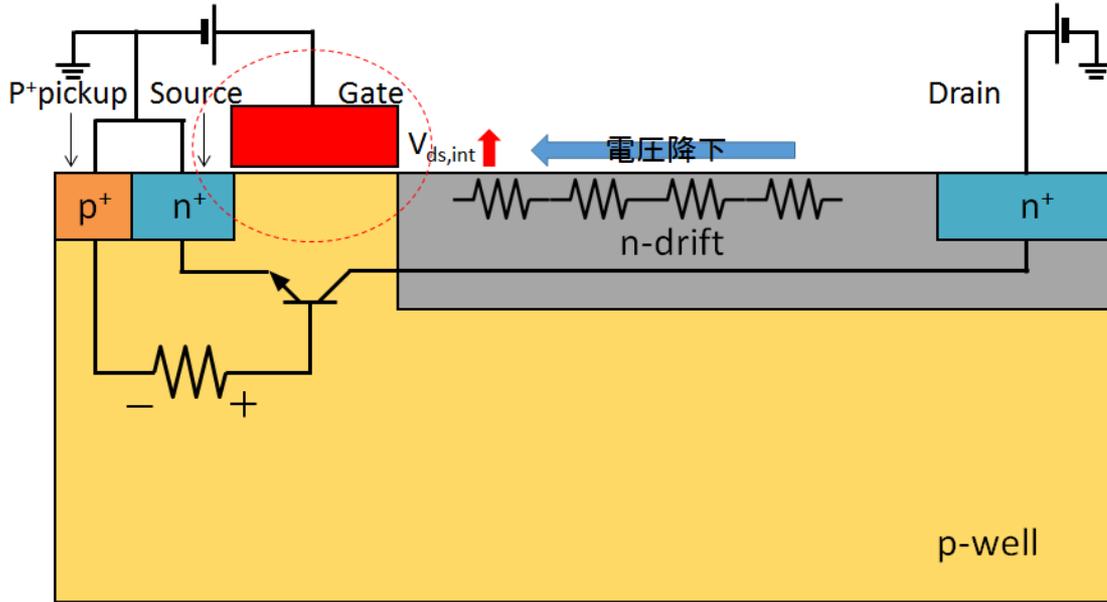
コンダクタンス
モジュレーション

真性MOSのドレイン端の
電圧上昇
真性MOSが飽和領域へ

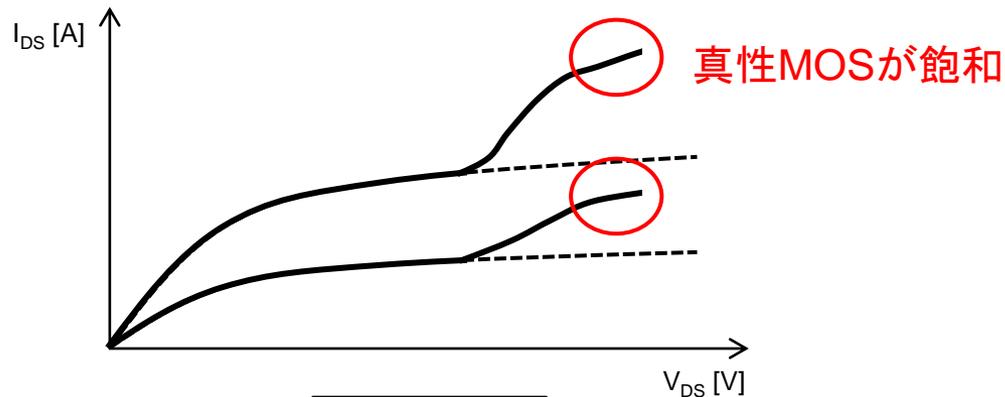
真性MOSのドレイン端で
インパクトイオン化発生

寄生バイポーラが顕著に

電流増大 (Current Expansion)



LDMOS構造

 $I_{DS}-V_{DS}$ 特性

ドリフト領域の
電子の速度飽和(高い V_{GS})



高いドレイン電圧による
インパクトイオン化が発生



コンダクタンス
モジュレーション

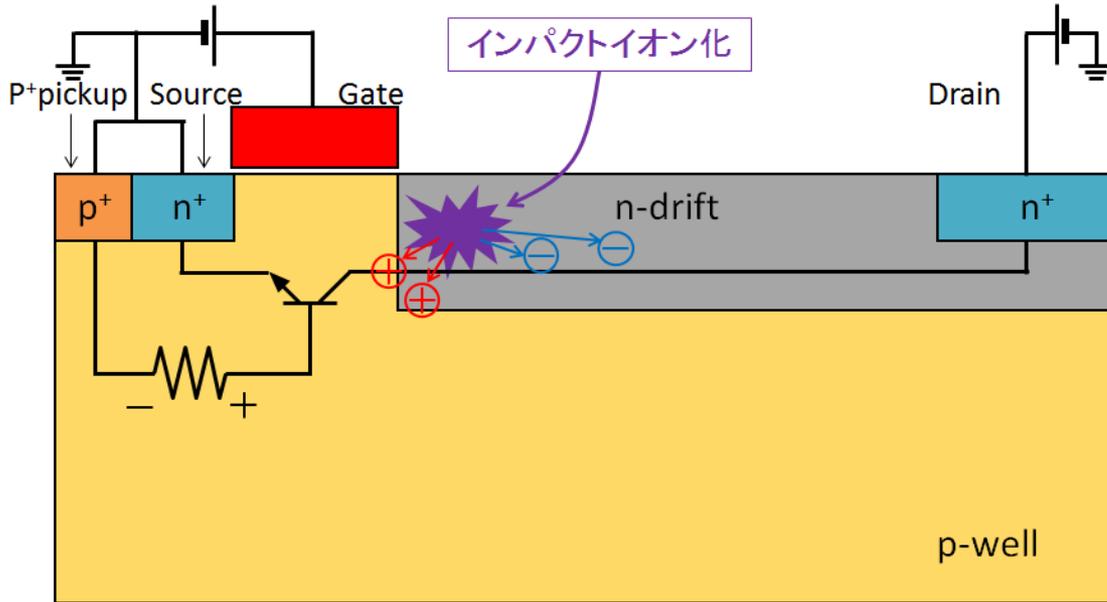


真性MOSのドレイン端の
電圧上昇
真性MOSが飽和領域へ

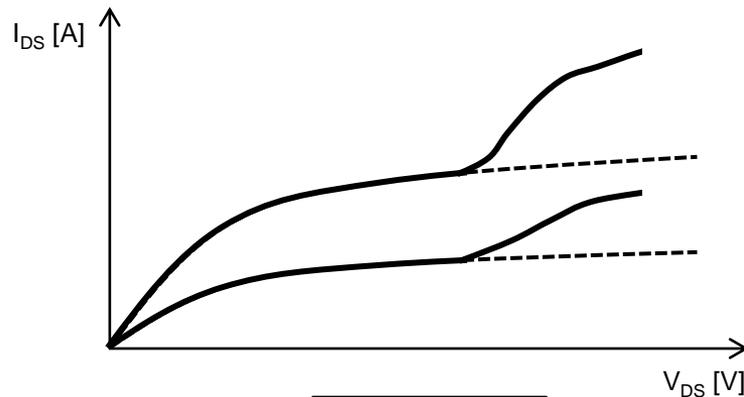
真性MOSのドレイン端で
インパクトイオン化発生

寄生バイポーラが顕著に

電流増大 (Current Expansion)



LDMOS構造

 $I_{DS}-V_{DS}$ 特性

ドリフト領域の
電子の速度飽和(高い V_{GS})



高いドレイン電圧による
インパクトイオン化が発生



コンダクタンス
モジュレーション



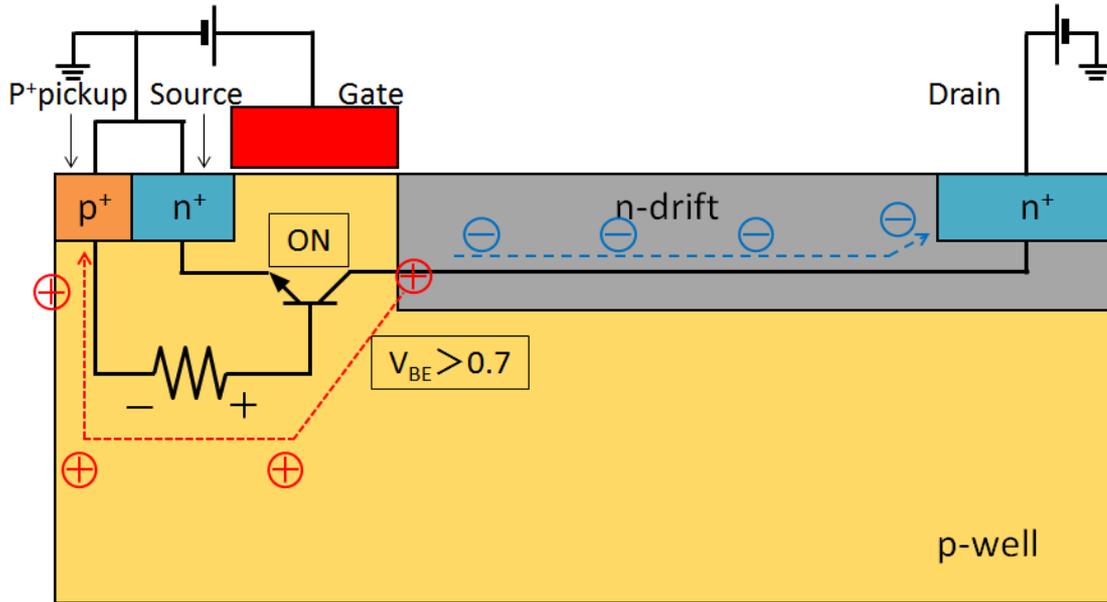
真性MOSのドレイン端の
電圧上昇
真性MOSが飽和領域へ



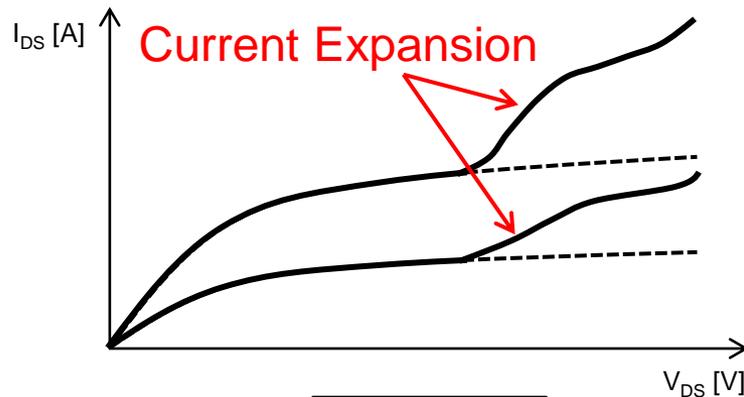
真性MOSのドレイン端で
インパクトイオン化発生

寄生バイポーラが顕著に

電流増大 (Current Expansion)



LDMOS構造

 I_{DS} - V_{DS} 特性

ドリフト領域の
電子の速度飽和(高い V_{GS})



高いドレイン電圧による
インパクトイオン化が発生



コンダクタンス
モジュレーション



真性MOSのドレイン端の
電圧上昇
真性MOSが飽和領域へ

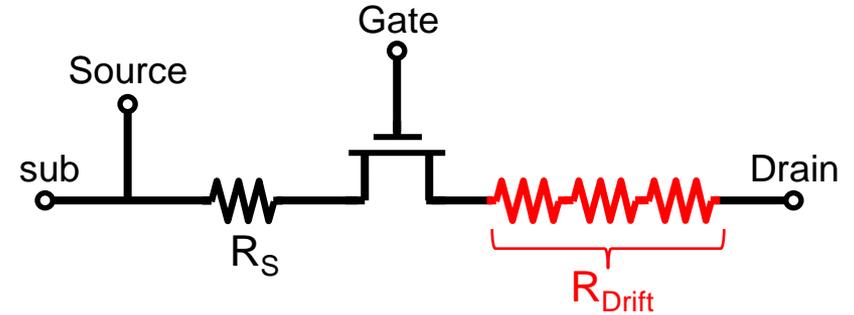
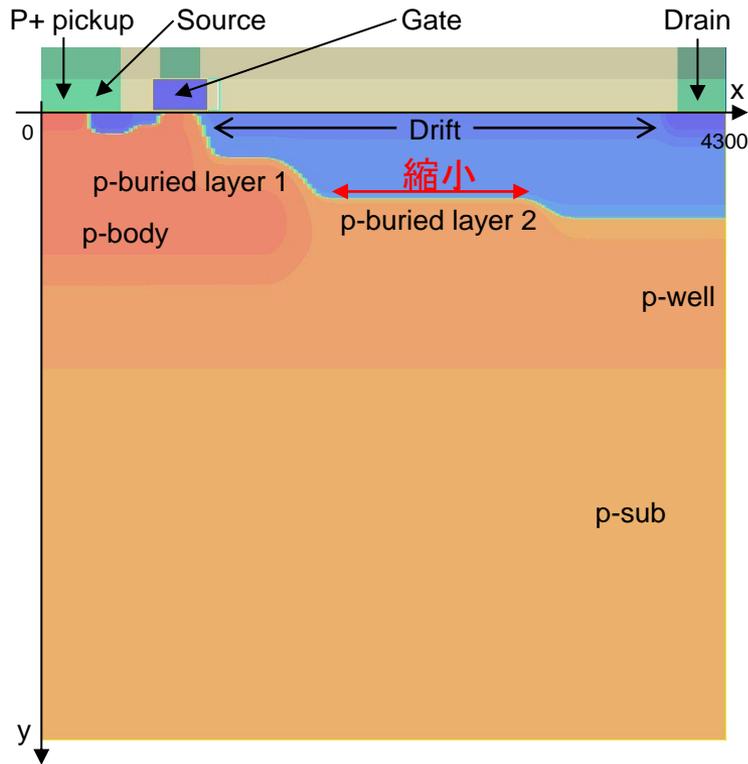


真性MOSのドレイン端で
インパクトイオン化発生



寄生バイポーラが顕著に

ドリフト領域縮小化



抵抗 $R \propto$ 長さ

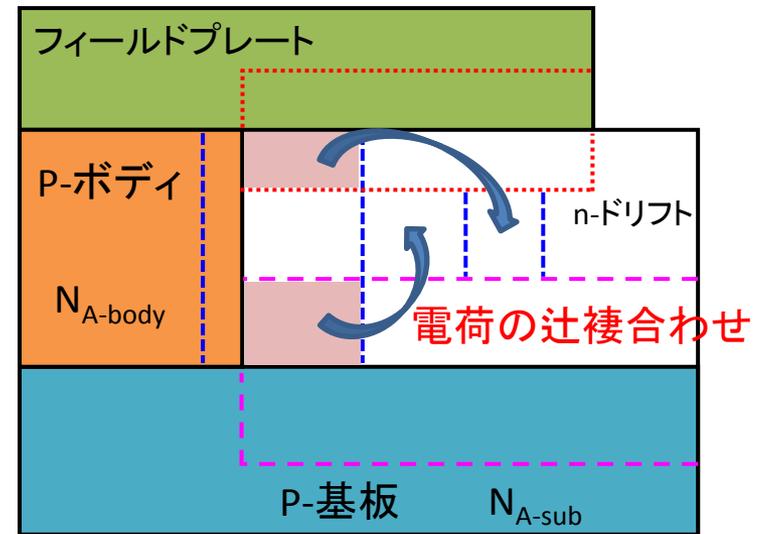
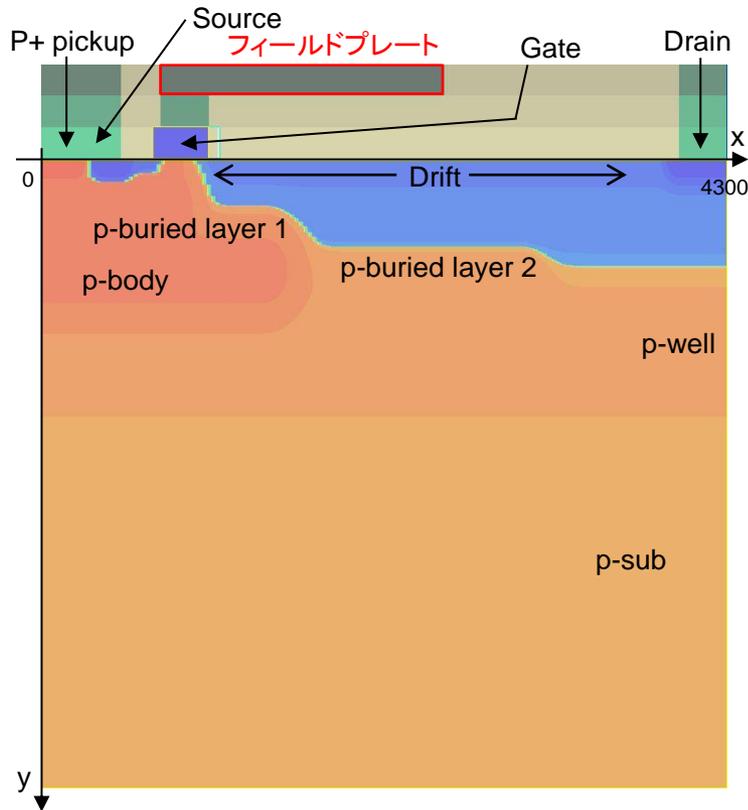
距離縮小 \rightarrow オン抵抗 減少

電界強度が高くなるため
ブレークダウン電圧は低下

トレードオフ

オン抵抗 $R_{ON} \Leftrightarrow$ ブレークダウン電圧 BV_{DS}

フィールドプレート

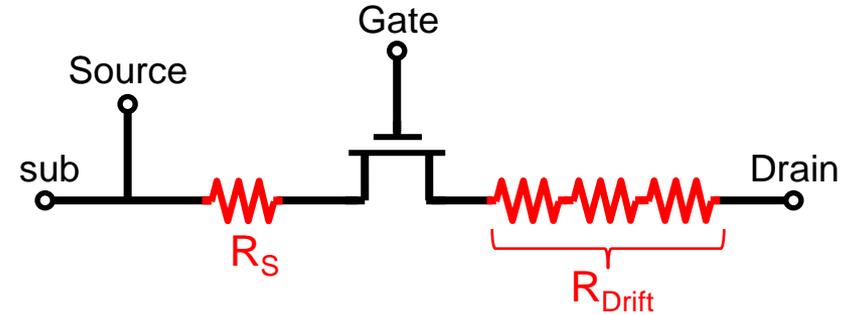
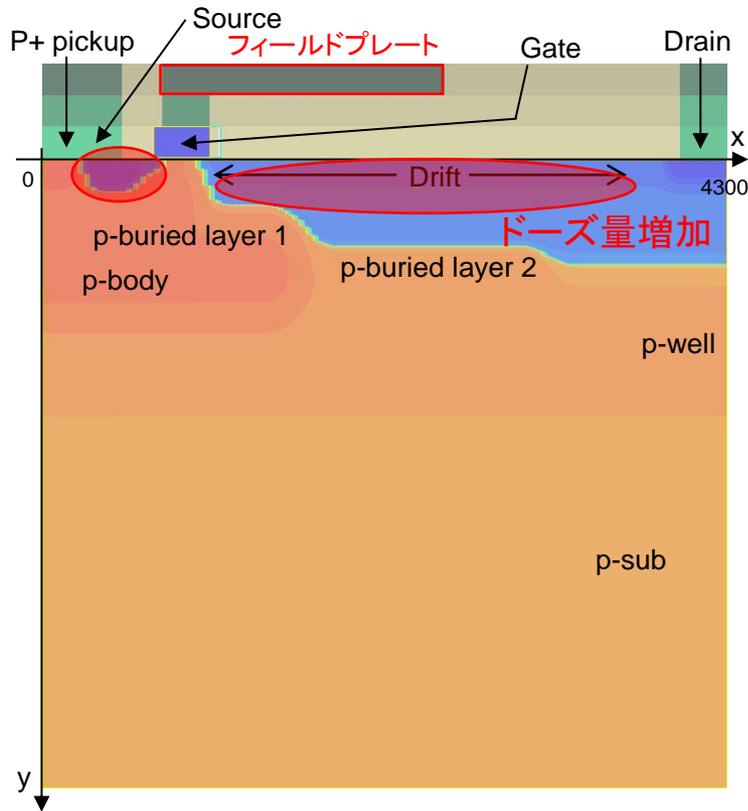


寄生キャパシタ増加により
入力容量 増加

トレードオフ

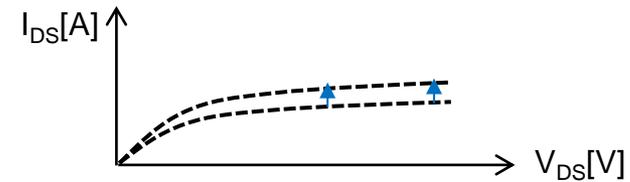
RESURF \Leftrightarrow 入力容量

付録 ソース・ドリフト領域のドーズ量増加



ドーズ量増加

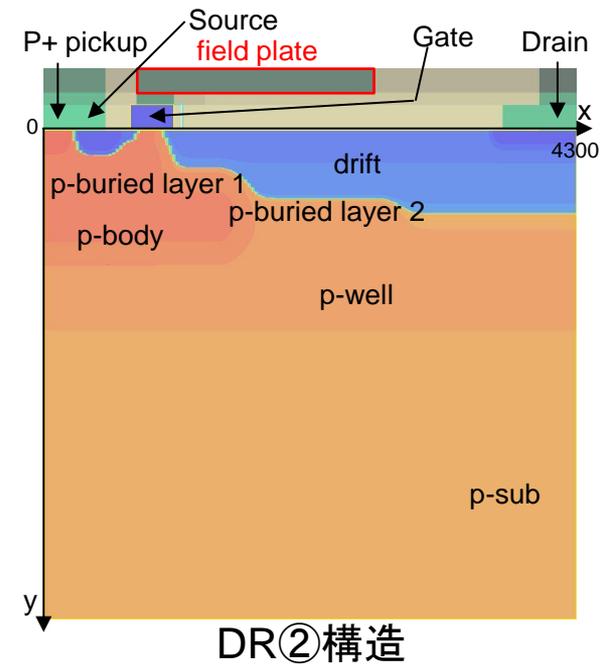
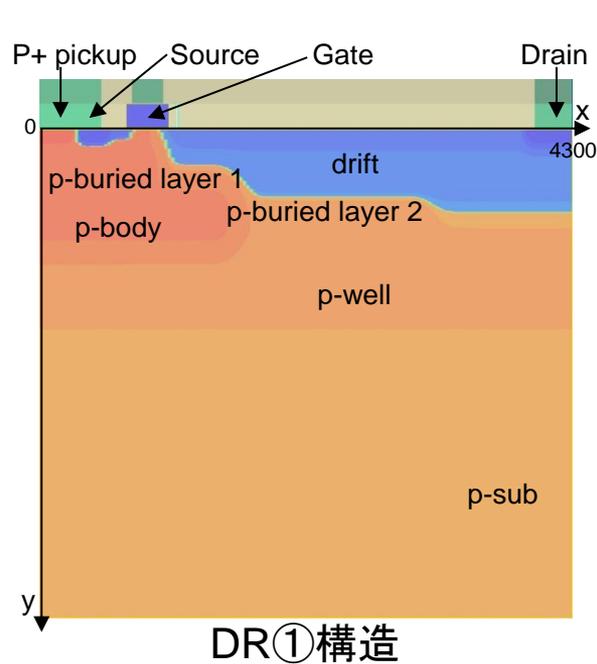
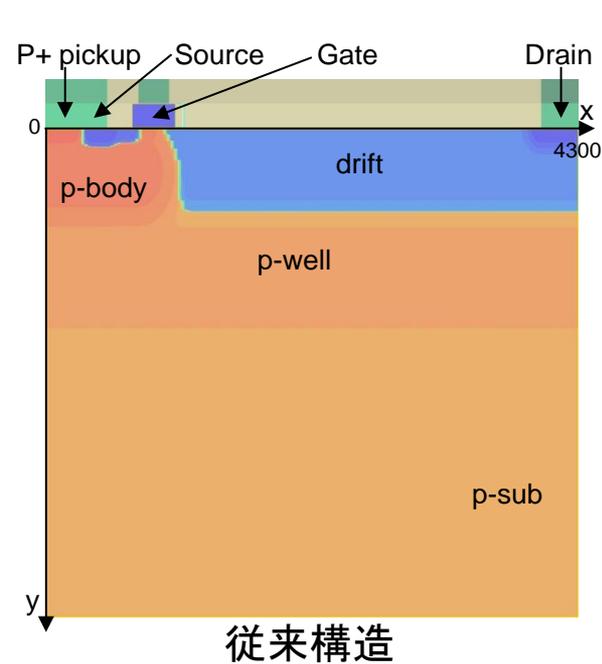
- ⇒ キャリア 増加
 ⇒ 電流 増加
 ⇒ オン抵抗 減少



トレードオフ

オン抵抗 R_{ON} \Leftrightarrow ドレイン電流 I_{DS}

従来・DR①② Nch-LDMOS構造



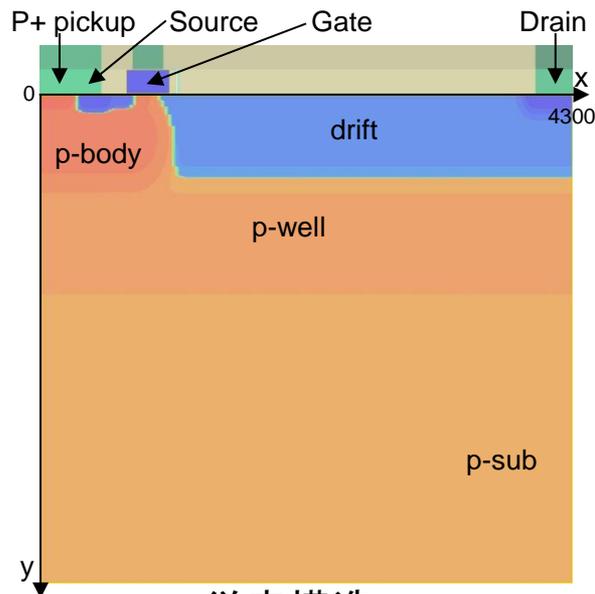
デュアルRESURF構造

デュアルRESURF構造

+

低オン抵抗化

従来構造



従来構造

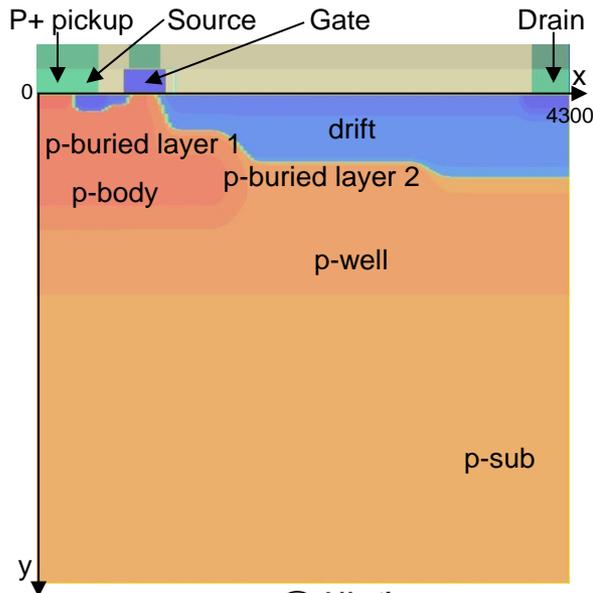
名前	不純物	最大濃度 (cm^{-3})	ピーク 位置 (nm)	標準偏差 (nm)	一様分布 (cm^{-3})	扁平率	拡散窓(距離x) (nm)	
Gate	P	1.00E+20	0	0	1.00E+20	0.7	全面	700-1050
n+ source	As	1.00E+20	0	50	0	0.7	ストライプ	300-500
n- source	P	5.00E+18	0	70	0	0.7	ストライプ	300-700
n+ drain	As	1.00E+20	0	50	0	0.7	ストライプ	4000-4300
n- drain	P	2.50E+18	0	60	0	0.7	ストライプ	4000-4300
n-drift 1	P	7.00E+16	0	400	0	0.7	ストライプ	1050-4300
n-drift 2	P	1.00E+16	0	200	0	0.7	ストライプ	1050-4300
p-well	B	2.00E+16	0	1000	1.00E+15	0.7	全面	0-4300
p-body	B	5.00E+18	350	150	0	0.7	ストライプ	0-750
p+ pickup	B	1.00E+20	0	50	0	0.7	ストライプ	0-300
V _T adjustment	B	1.50E+18	0	50	0	0.7	ストライプ	0-850

0.35 μm プロセススペースゲート長 0.35 μm

ゲート酸化膜厚 12nm

ドリフト長 2.95 μm デバイス幅 0.3 μm

DR①構造



DR①構造

0.35 μ mプロセススペースゲート長 0.35 μ m

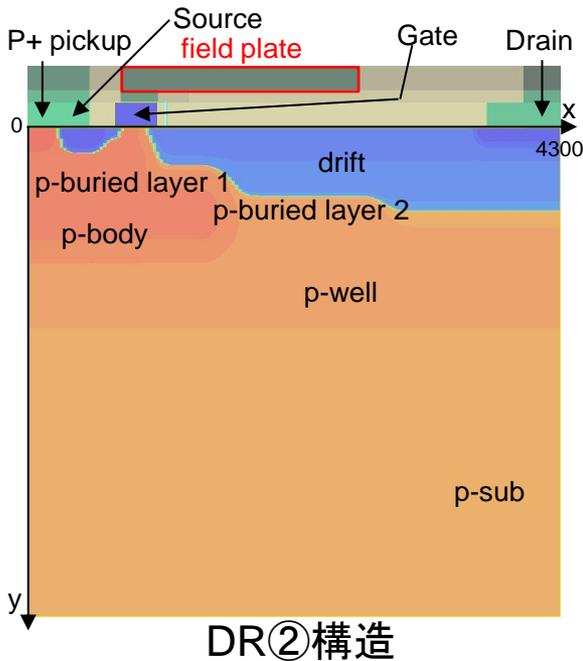
ゲート酸化膜厚 12nm

ドリフト長 2.95 μ mデバイス幅 0.3 μ m

名前	不純物	最大濃度 (cm^{-3})	ピーク 位置 (nm)	標準偏差 (nm)	一様分布 (cm^{-3})	扁平率	拡散窓(距離x) (nm)	
Gate	P	1.00E+20	0	0	1.00E+20	0.7	全面	700-1050
n+ source	As	1.00E+20	0	50	0	0.7	ストライプ	300-500
n- source	P	4.00E+18	0	70	0	0.7	ストライプ	300-700
n+ drain	As	1.00E+20	0	50	0	0.7	ストライプ	4000-4300
n- drain	P	2.50E+18	0	60	0	0.7	ストライプ	4000-4300
n-drift 1	P	7.00E+16	0	400	0	0.7	ストライプ	1050-4300
n-drift 2	P	4.00E+16	0	200	0	0.7	ストライプ	1050-4300
p-well	B	2.00E+16	0	1000	1.00E+15	0.7	全面	0-4300
p-body	B	5.00E+18	300	150	0	0.7	ストライプ	0-750
p+ pickup	B	1.00E+20	0	50	0	0.7	ストライプ	0-300
V_T adjustment	B	1.50E+18	0	50	0	0.7	ストライプ	0-850
p-buried layer 1	B	2.00E+18	700	150	0	0.7	ストライプ	0-1400
p-buried layer 2	B	4.00E+16	800	150	0	0.7	ストライプ	0-3000

※ 黄色部分は従来構造に対しての変更部分

DR②構造

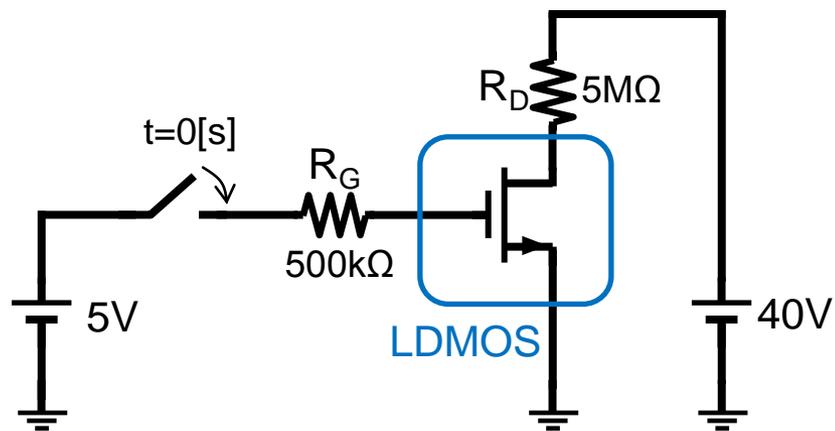


名前	不純物	最大濃度 (cm ⁻³)	ピーク位置 (nm)	標準偏差 (nm)	一様分布 (cm ⁻³)	扁平率	拡散窓(距離x) (nm)	
Gate	P	1.00E+20	0	0	1.00E+20	0.7	全面	700-1050
n+ source	As	1.00E+20	0	80	0	0.7	ストライプ	250-500
n- source	P	4.00E+18	0	70	0	0.7	ストライプ	300-700
n+ drain	As	1.00E+20	0	50	0	0.7	ストライプ	3700-4300
n- drain	P	2.50E+18	0	60	0	0.7	ストライプ	3700-4300
n-drift 1	P	7.00E+16	0	400	0	0.7	ストライプ	1050-4300
n-drift 2	P	4.00E+16	0	200	0	0.7	ストライプ	1050-4300
p-well	B	2.00E+16	0	1000	1.00E+15	0.7	全面	0-4300
p-body	B	5.00E+18	300	150	0	0.7	ストライプ	0-750
p+ pickup	B	1.00E+20	0	80	0	0.7	ストライプ	0-250
V _T adjustment	B	1.50E+18	0	50	0	0.7	ストライプ	0-850
p-buried layer 1	B	2.00E+18	700	150	0	0.7	ストライプ	0-1400
p-buried layer 2	B	8.50E+16	800	150	0	0.7	ストライプ	0-2700

0.35μmプロセスベース
 ゲート長 0.35μm
 ゲート酸化膜厚 12nm
 ドリフト長 2.95μm
 デバイス幅 0.3μm
 フィールドプレート長 1.625μm
 ドリフト-フィールドプレート
 間酸化膜厚 0.3μm

※ 黄色部分はDR①構造に対しての変更部分

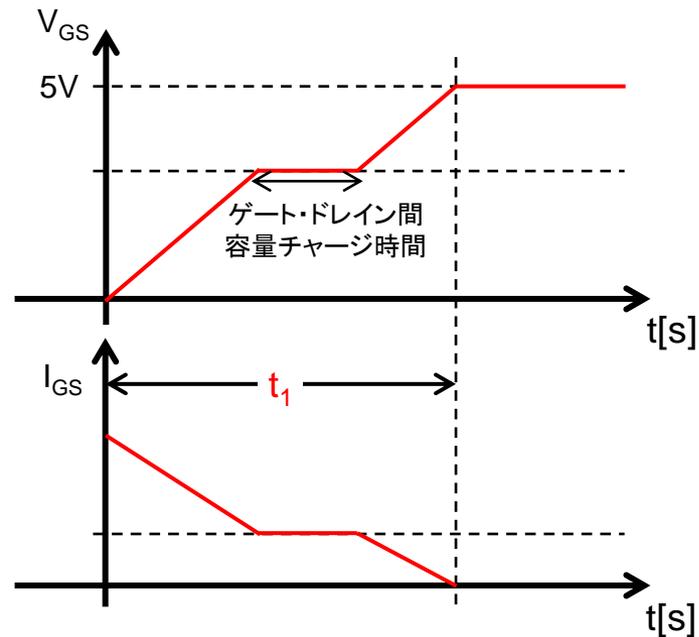
過渡解析



過渡解析測定回路

測定回路より電荷量 Q_g を計算

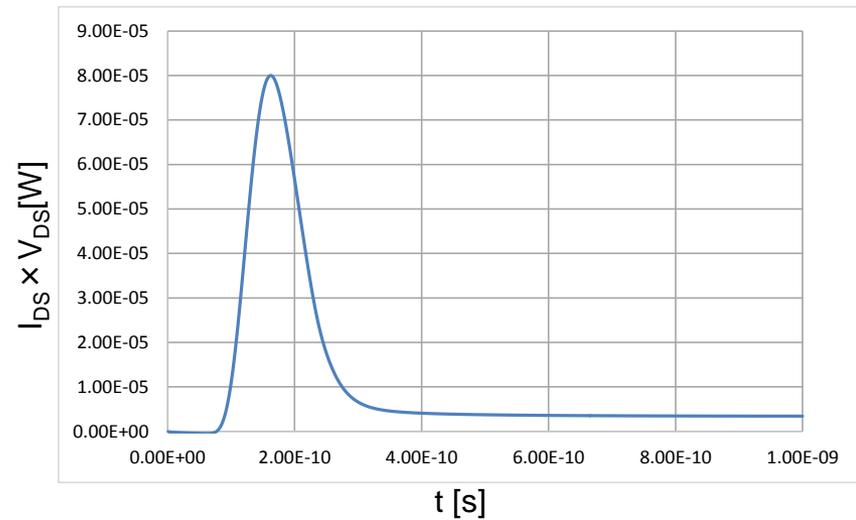
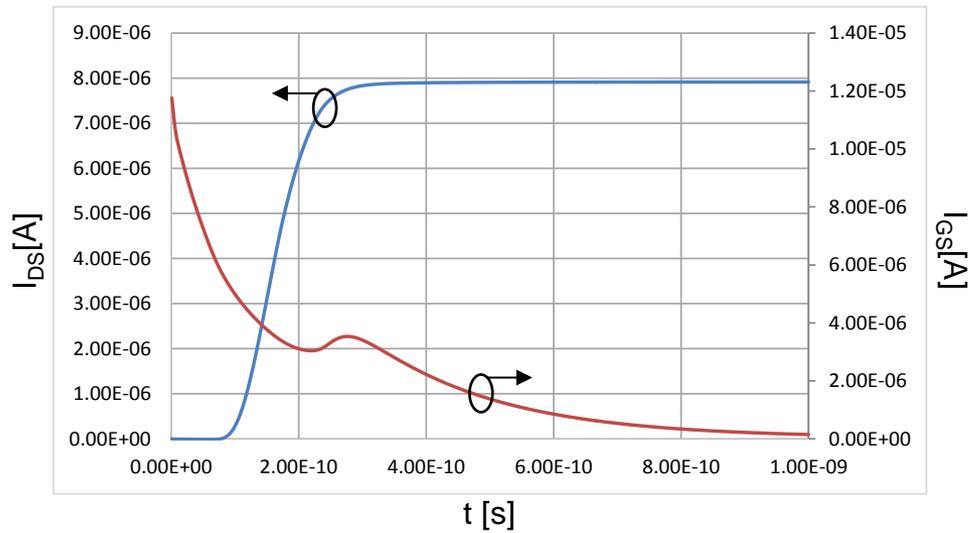
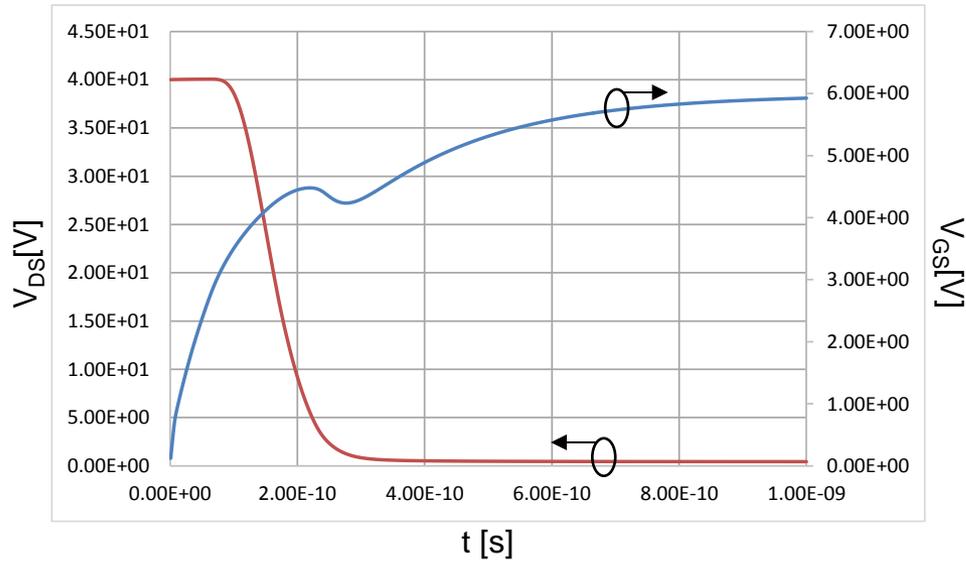
$$Q_g = \int_0^{t_1} I_{GS} dt$$

FOM (figure of merit) = $R_{on} \times Q_g$ を計算

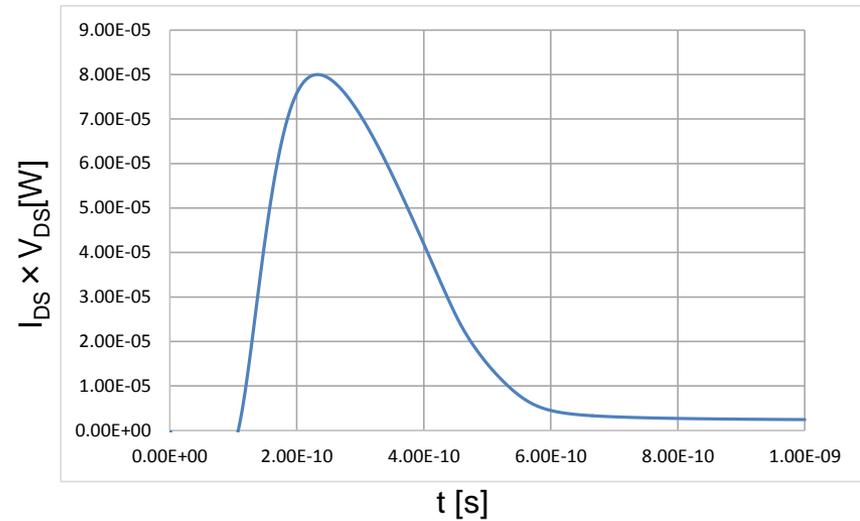
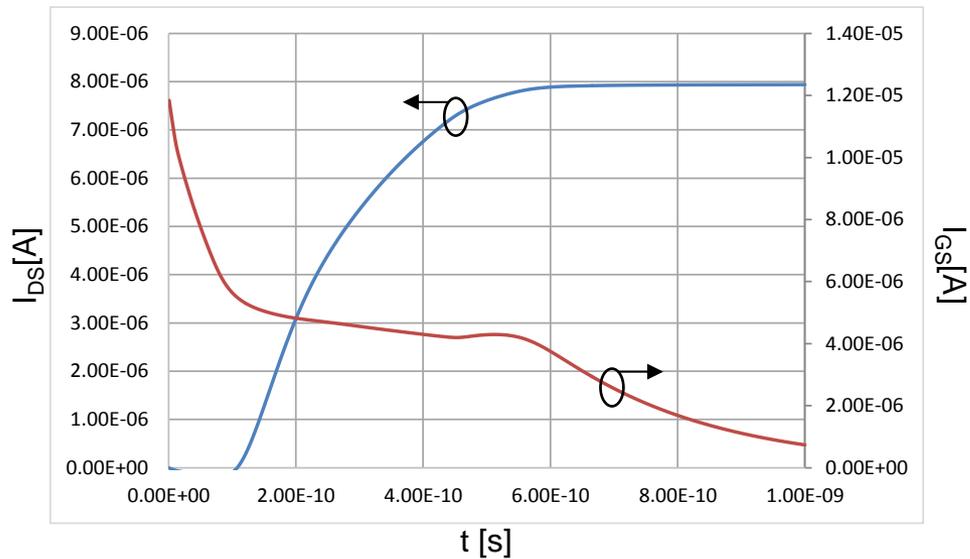
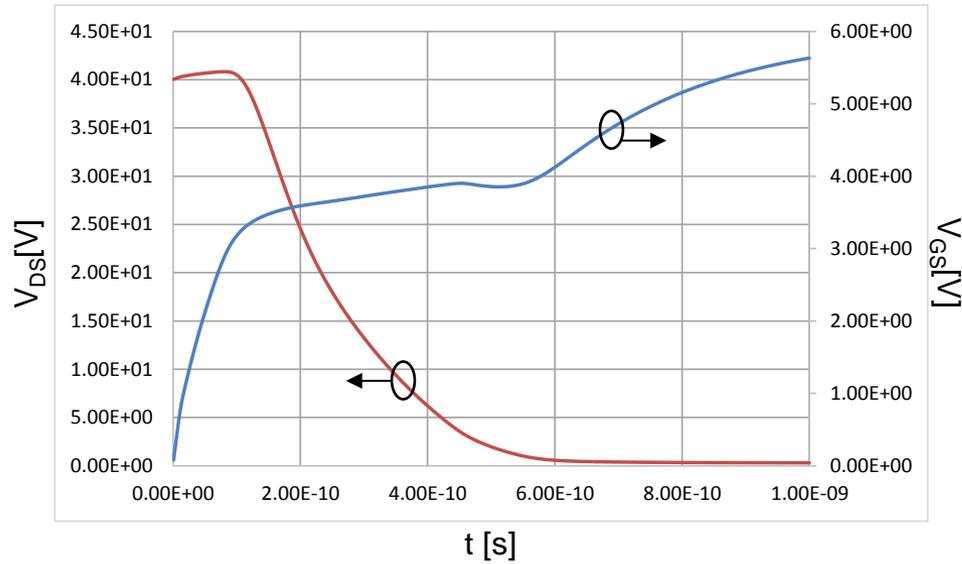
過渡解析波形

	$R_{on} A$ [$m\Omega mm^2$]	Q_g/A [nC/mm^2]	FOM [$m\Omega nC$]	評価
DR①構造	69.3	1.49	104	😊
DR②構造	44.8	3.13	141	😞

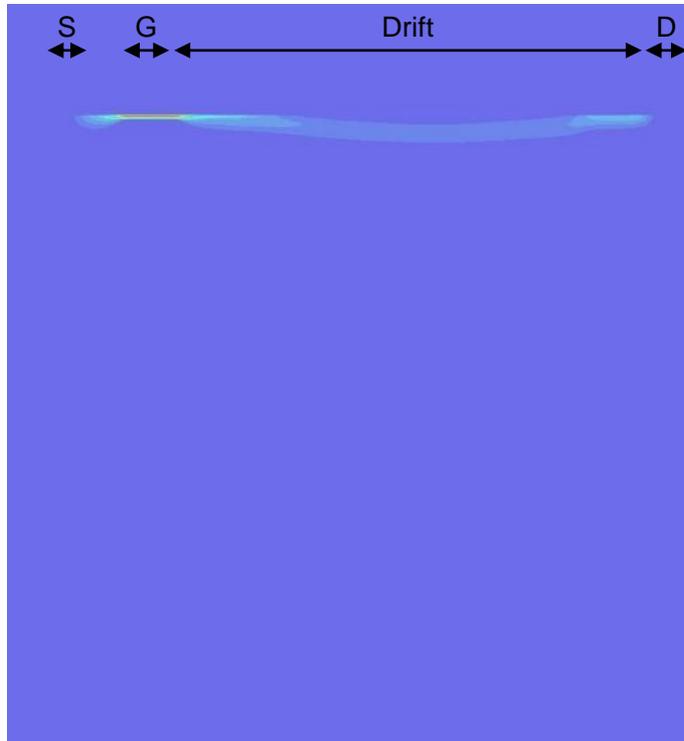
DR①の過渡特性



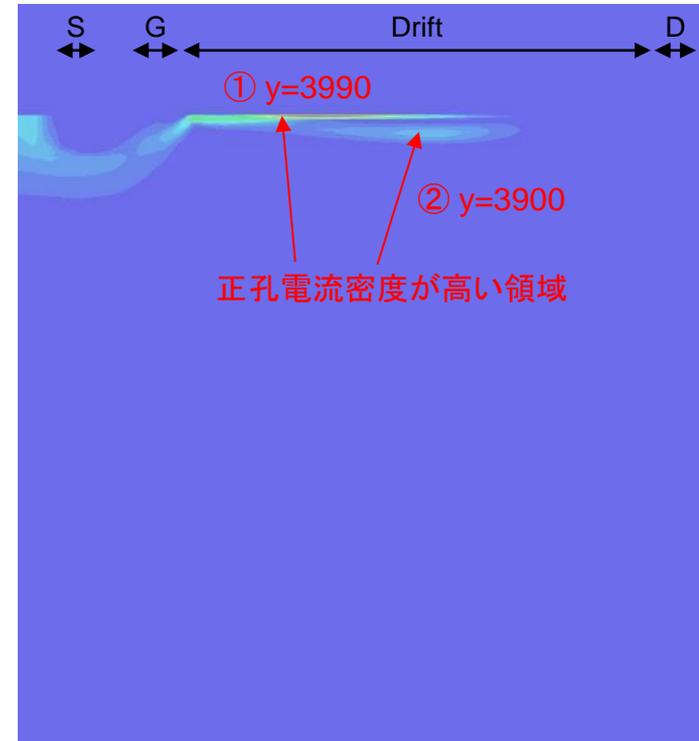
DR②の過渡特性



DR②構造の電流密度分布

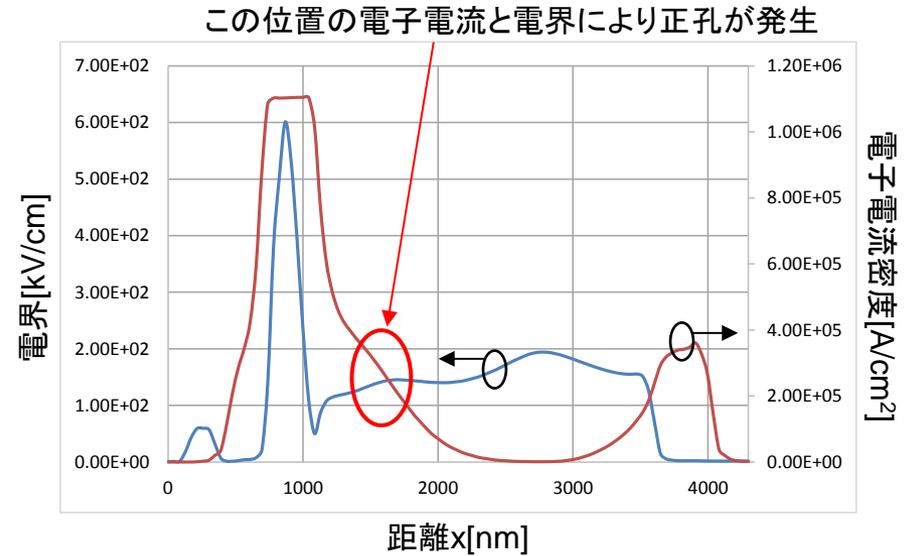
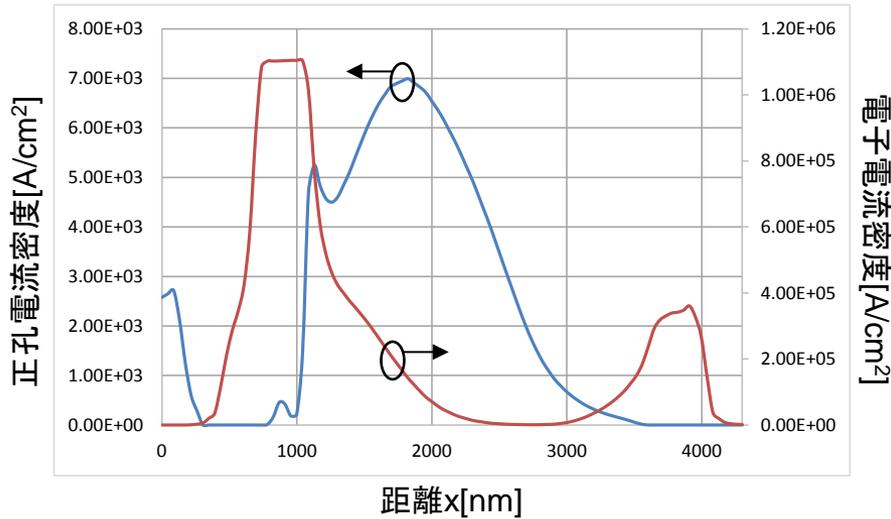


電子電流密度分布

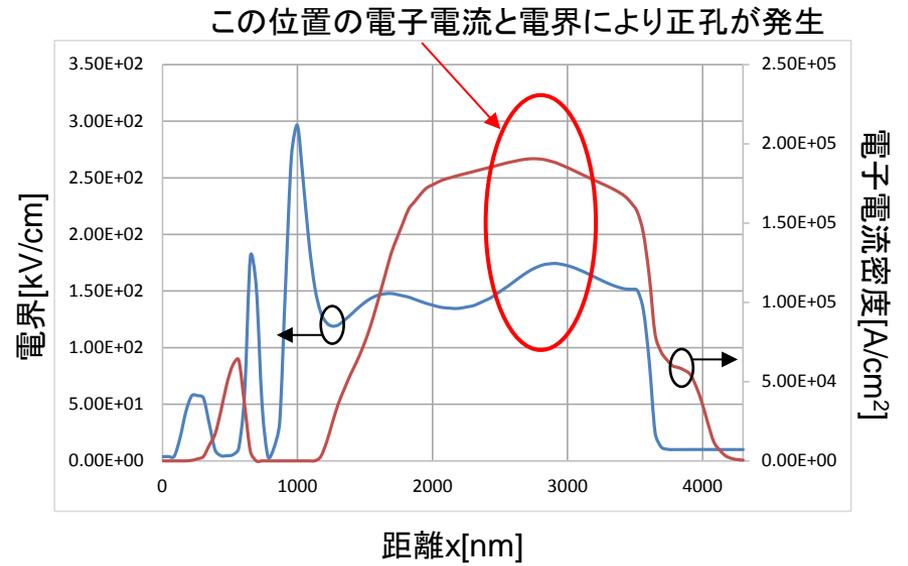
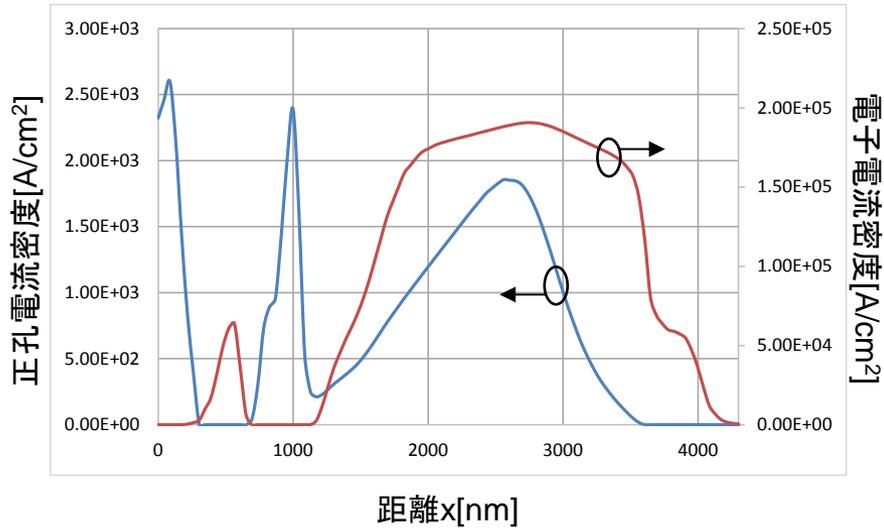


正孔電流密度分布

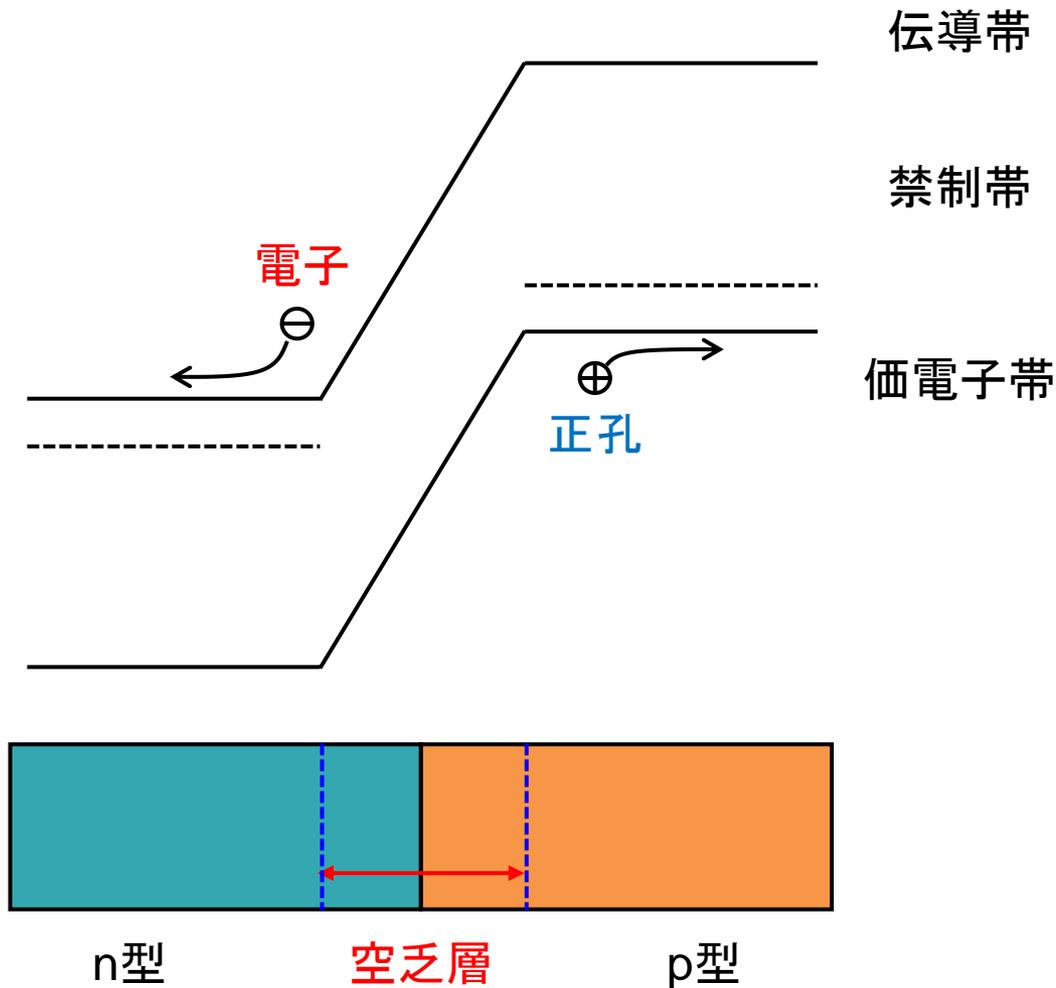
界面の電流密度・電界(y=3990nm)



界面の電流密度・電界($y=3900\text{nm}$)



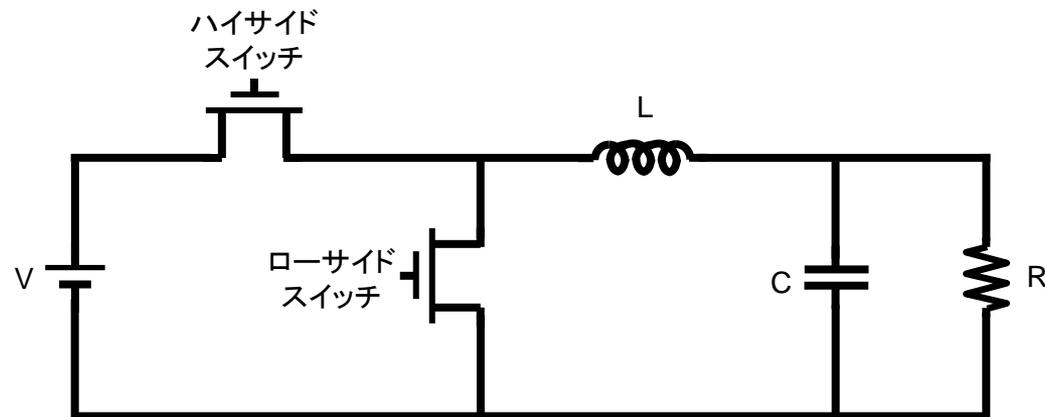
エネルギー順位から見るキャリアの拡散



電子はn型へ拡散

正孔はp型へ拡散

LDMOSの使用例



同期型バックコンバータ