

$\Delta\Sigma$ 変調器のデジタルディザ信号による性能改善と回路設計の検討

小島 潤也* 新井 薫子 小林 春夫 (群馬大学)

キーワード : $\Delta\Sigma$ 変調, DA 変換, リミットサイクル, ディザ信号
(Delta Sigma Modulation, DA Converter, Limit Cycle, Dither Signal))

1. 研究背景

$\Delta\Sigma$ 変換器は大部分がデジタル回路で構成され、直流信号や低周波信号を高分解能・高線形に生成できるので、電子計測器・LSI 試験装置等に多用される(図 1)。しかしながら $\Delta\Sigma$ 変調器では低振幅信号生成の際、出力アナログ信号の周波数成分に周期的に高調波成分が発生するリミットサイクルの問題がある。

本研究ではこのリミットサイクルを発生させないために、デジタルディザ信号を用いることを提案する。 $\Delta\Sigma$ 変調器の出力とデジタルディザ信号の排他的論理和(XOR)をとる構成を提案する。提案手法は次の 3 つの特長がある。①変調器部出力に直接デジタルディザを加えると後 DAC がマルチビットのものが要求されるが、本提案手法では後段 DAC は 1 ビットでよい。②デジタルディザは積分器出力に加えるので、その信号帯域への影響はノイズシェーブされる。③デジタルディザ入力も、もう 1 つ $\Delta\Sigma$ 変調器で生成しディザ信号の値を調整する。

デジタル回路で実現するので複雑な計算も容易に行える。提案構成を用いて 2^{10} 、 2^{14} 、 2^{16} 、 2^{18} の場合でシミュレーションを行い、低振幅信号の変換でリミットサイクルが生じないことを確認した。FPGA でも動作確認した。

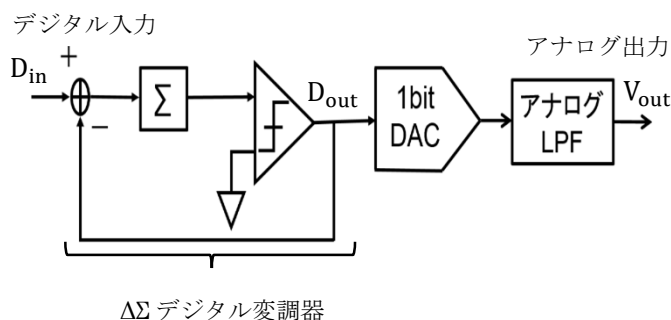


図 1 $\Delta\Sigma$ 変換器の構成

Fig.1. Block diagram of a $\Delta\Sigma$ converter

2. $\Delta\Sigma$ 変調器 (デジタル変調器)

<2.1> $\Delta\Sigma$ 変調器の構成

$\Delta\Sigma$ 変調器は積分器とコンパレータのフィードバック構成であり、全てデジタル回路で実現される。オーバーサンプリングした入力信号を積分器で累積し、コンパレータで比較する。コンパレータの出力 0、1 は $\Delta\Sigma$ 変調の出力値となると同時に、入力にフィードバックし累積値に V_{ref} が加減

される(実際はデジタル積分器の MSB が減算され、コンパレータは不要である)。出力信号を高速フーリエ変換(FFT)すると、量子化ノイズが低周波数帯域で減少し高周波数帯域で増加するノイズシェーブされることが確認できる。図 2 は正弦波(振幅: 1、正規化された周波数: 1)を入力したときの $\Delta\Sigma$ 変調器の出力であり、正規化周波数 1 のところで信号電力が確認できる。入力信号付近でノイズが減少し、1bit DAC 出力に対してアナログ LPF を用いれば高 SNR 信号 V_{out} が得られる。

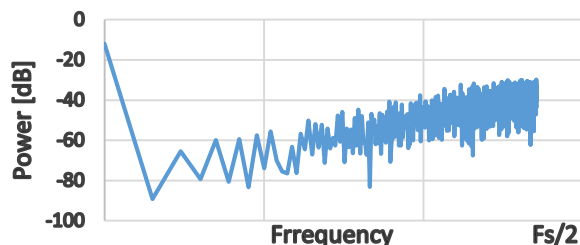


図 2 $\Delta\Sigma$ 変調器の出力パワースペクトル

(振幅: 1V、正規化周波数: 1 の正弦波を入力)

Fig.2. Power spectrum of the $\Delta\Sigma$ modulator output
(Input sine wave amplitude: 1, normalized frequency: 1)

<2.2> リミットサイクル

低振幅信号を $\Delta\Sigma$ 変調器に入力をする、変調器内の量子化(非線形動作のため、入力成分にない周期的な高調波成分(リミットサイクルと呼ばれる)が生じる。図 1 の $\Delta\Sigma$ 変調器では DC 入力 0.1 で $\Delta\Sigma$ 変調シミュレーションし出力を FFT すると、リミットサイクルが確認できる(図 4(a))。

<2.3> デジタルディザ信号を使った $\Delta\Sigma$ 変調

0、1 が前後の相関なくランダムに発生させた信号をディザ信号として用いる。ディザ信号は $\Delta\Sigma$ 変調器で入力が小さいときに生じるリミットサイクルを除去する際に用いる。従来方法として $\Delta\Sigma$ 変調の前後にディザ信号を入力する方法がある。 $\Delta\Sigma$ 変調の前にディザ信号を入力すると、 $\Delta\Sigma$ 変調で発生する量子化誤差にディザ信号が加算されることとなり、ノイズが増加してしまう。 $\Delta\Sigma$ 変調の後にディザ信号を入力すると、出力値のビット数が増え、後段ではマルチビット DAC が必要となってしまう。しかし、排他的論理和を用いた提案方法は、出力値を反転させるだけなので多ビットになることはなく、1 ビットで信号処理できる。

なお、 $\Delta\Sigma$ 変調器ではアナログ変調器内部で熱雑音が

発生しそれが実質的なディザ信号となるのでリミットサイクルは生じないことが多い。また、デジタル信号処理で量子化誤差の影響を低減のために、ディザ信号を使用することがある。

<2.4> 排他的論理和を用いた提案変調器構成

本研究では図 1 のコンパレータの出力にデジタルディザ号を加え、ディザ信号と $\Delta\Sigma$ 変換をした信号の排他的論理和をとる構成を提案する(図 3)。デジタル入力信号を $\Delta\Sigma$ 変調すると同時に、ディザ信号も $\Delta\Sigma$ 変調器により生成する。排他的論理和はディザ信号が 1 を出力するとコンパレータ出力 D_{out} が反転する。

ディザ生成変調器の入力信号の振幅や中心値を変えることでディザ信号の 1 の出力が出現頻度を調整する。振幅や中心値が小さいときは 1 の出現が少なくなるので、排他的論理和によるコンパレータ出力値の反転は少ない。ディザ変調器入力信号を大きくするにつれて 1 の出現が多くなり、コンパレータ出力値の反転回数が多くなる。すなわちディザ変調器入力信号の調整によりディザ信号の 1 の出現頻度が変わられ、DA 変換入力の反転する回数が制御できる。ディザ信号はデジタル信号により生成するので、容易に実現・制御できる。

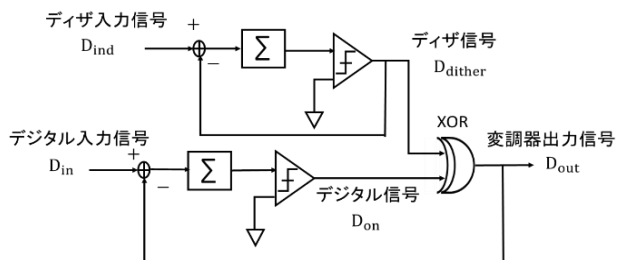


図 3 デジタルディザを使用する提案回路の構成

Fig.3. Proposed $\Delta\Sigma$ modulator with digital dither

<2.5> SFDR による評価

DA 変換の性能評価の 1 つに Spurious Free Dynamic Range(SFDR)がある。これは信号電力と最大高調波電力の比である(図 4(a))。ここでは SFDR を用いてシミュレーション結果を評価する。SFDR が向上すれば、リミットサイクルが低減していることを意味する。

3. シミュレーションによる検証

<3.1> リミットサイクルの低減 (2¹⁰)

図 3 の提案回路でシミュレーションを行い、ディザ信号の効果を検証した。ディザ入力信号には正規化周波数 1 の正弦波を入力し、リミットサイクルが低減するように正弦波の振幅、中心値を制御した。さらに、ディザ信号を加えたときでも、ディザ信号のない場合と変調器出力(1 の数)が同じでなければいけない。同じ出力(1 の数)が得られるように振幅、中心値を制御した。つまり、このシミュレーション結果で線形性を確認した。デジタル入力信号には DC(Full scale:-1~+1)を入力した。

DC 入力 が 0.1 の場合のシミュレーション結果を図 4 に示す。図 4(b)の提案回路では(a)と比較してリミットサイクルが低減している。SFDR を比較すると、(a)従来回路のディザ信号なしでは 5.4dB に対し、(b)提案回路のディザ信号ありでは 22.9dB と向上している。

同様に DC 入力の値を変え、リミットサイクルが低減するようにディザ信号の正弦波の振幅と中心値を変化させたときの値を図 5 に示す(点線はグラフを近似したもの)。図 6 はディザ信号を加えた場合と加えてない場合の SFDR を比較したものである。すべての DC 入力に対して SFDR が向上しているのが確認できる。

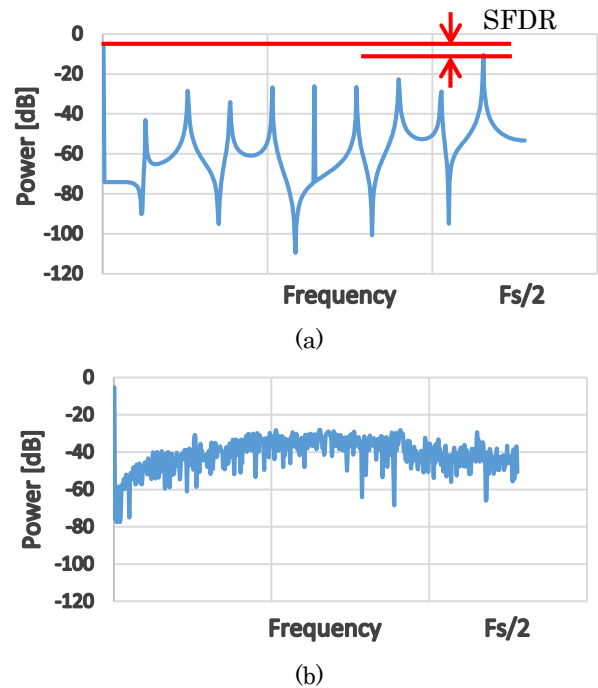


図 4 DC 入力 0.1 の際の $\Delta\Sigma$ 変調器出力パワースペクトル (a) ディザ なし

(b) ディザ入力信号 振幅 : 0.094、中心値 : -0.520

Fig.4. Power spectrum of $\Delta\Sigma$ modulator output in case that DC input is 0.1. (a) Without dither. (b) With dither input signal of amplitude : 0.094 ,center value : -0.520.

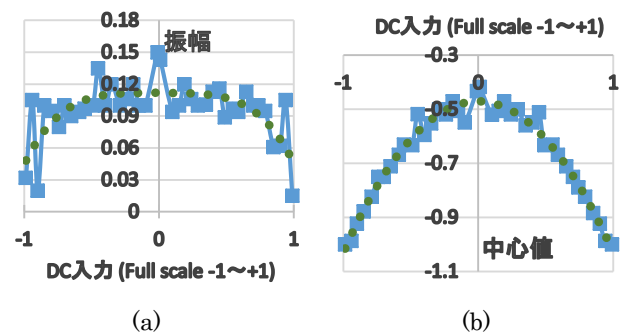


図 5 リミットサイクルを低減するディザ信号生成変調器への正弦波入力(点線はグラフの近似) (a) 振幅 (b) 中心値
Fig.5. Dither generation modulator input sine wave (a) amplitude and (b) center value, for limit cycle reduction.

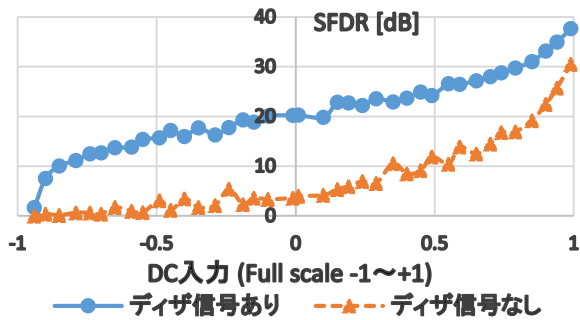
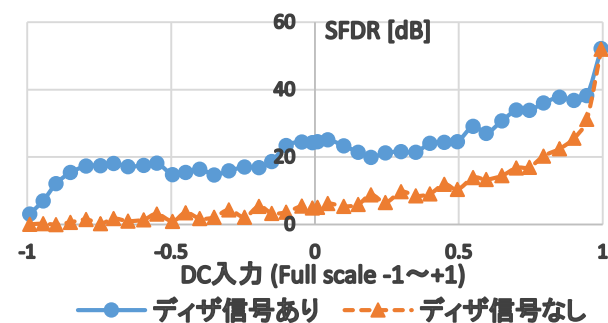


図6 SFDR 比較のシミュレーション結果
Fig.6. SFDR comparison simulation results

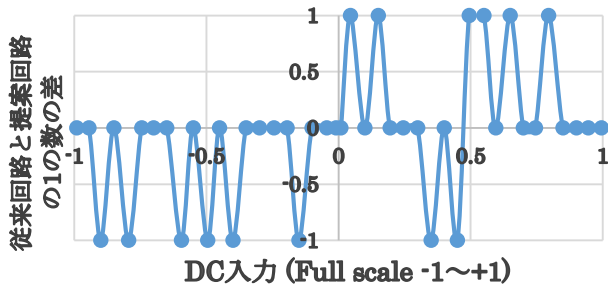
<3.2> リミットサイクルの低減回路の実現検討 (2^{14} , 2^{16} , 2^{18})

<3.1> はアルゴリズム上での検証結果であるが、これを FPGA で回路実現することを考える。デジタル的な正弦波の発生回路は複雑になり、また DC 入力に対してその度に正弦波の振幅、中心値の変更は複雑になる。そこでデジタルディザ変調器に入力に三角波を用いることを検討する。

図5のグラフの近似を用いて、ある DC 入力に対して正弦波の振幅、中心値を決定する。つまり、DC 入力のみを変化させる。この方式で 2^{14} 、 2^{16} 、 2^{18} のデータ数の場合をシミュレーションした。その結果(SFDR の比較と線形性の確認)を図7~9に示す。図7(a)~9ではすべての DC 入力に対して SFDR の向上が確認できる。図7(b)では 2^{14} の場合の従来回路(ディザ信号なし)と提案回路(ディザ信号あり)の $\Delta\Sigma$ 変調器の出力(1 の数)の差を表している。1 の数の差は ± 1 の範囲に収まり線形性が保たれている。これは 2^{16} 、 2^{18} (図8、9)の場合でも同様で、1 の数の差は ± 1 の範囲に収まり線形性が保たれている。



(a)



(b)

図7 2^{14} のシミュレーション結果
(a) SFDR の比較 (b) 線形性のグラフ
Fig.7. 2^{14} of simulation results
(a) Comparison of SFDR (b) Linearity

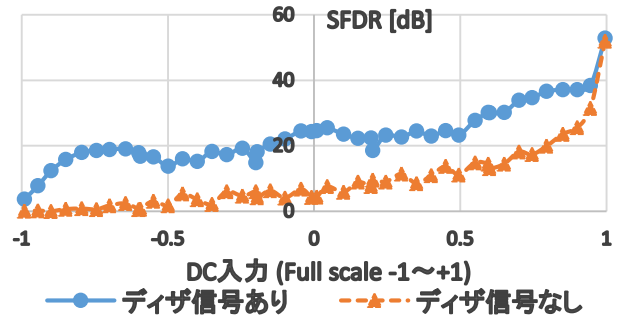


図8 2^{16} の SFDR 比較のシミュレーション結果
Fig.8. 2^{16} of SFDR comparison simulation results

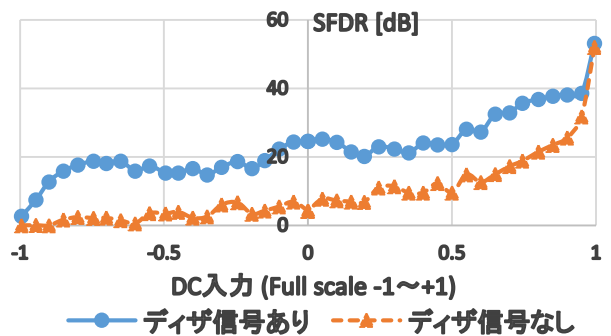


図9 2^{18} の SFDR 比較のシミュレーション結果
Fig.9. 2^{18} of SFDR comparison simulation results

<3.3> FPGA によるハードウェア回路の設計

図10に図3のデジタル回路設計を示す。その FPGA でシミュレーションを行った。<3.2>で行ったことをベースとする。ここで、設計を簡単にするため回路内での三角波の振幅は 256 と固定し、中心値は DC 入力に対して図5(b)を参考にして作成した近似ボードで決定する(図11)。入力範囲は $-0.8 \sim 0.8$ 、回路の中では整数を扱うように入力を 1000 倍して計算を行った。MSB は 1024、LSB は 1 とした。

シミュレーション結果を図12に示す。図12(a)ではすべての DC 入力に対して SFDR の向上が確認できる。図12(b)では従来回路のディザ入力信号なしと、提案回路のディザ入力信号ありでの $\Delta\Sigma$ 変調器の出力(1 の数)の差を表している。1 の数の差は ± 2 の範囲に収まり線形性が保たれている。

図13は FPGA のボード、図14はその出力波形の一部である。

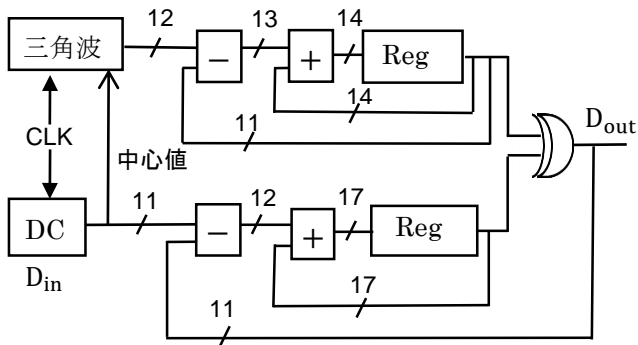


図 10 提案変調器のデジタル回路設計

Fig.10. Digital circuit design of the proposed modulator

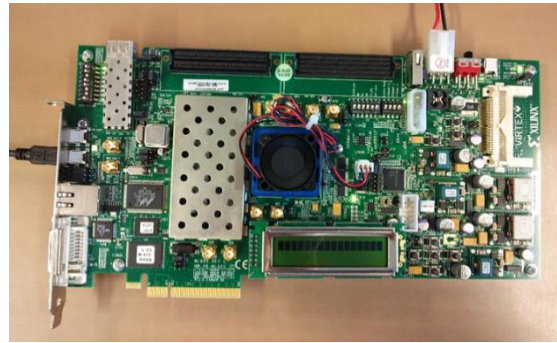


図 13 FPGA のボード

Fig.13. FPGA board

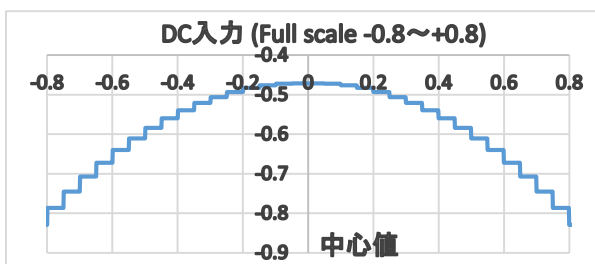
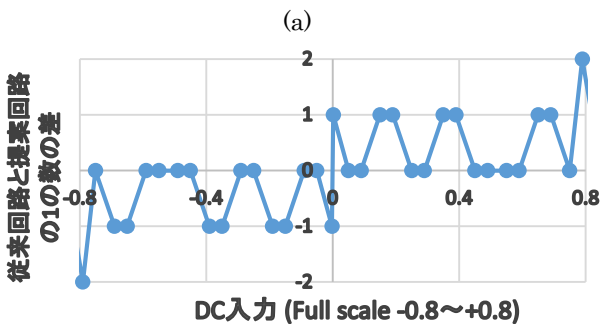
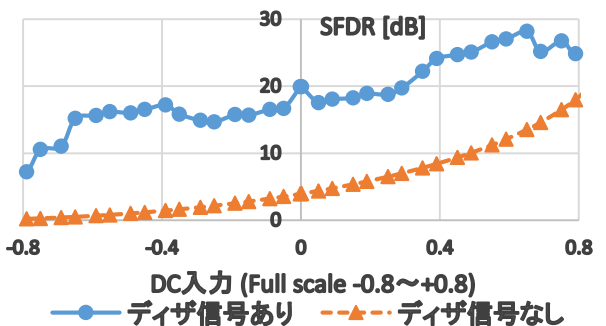


図 11 ディザ信号生成変調器へ入力する三角波の中心値

Fig.11. Input triangular wave center value



(b)

図 12 設計した回路(図 10)の FPGA シミュレーション結果

(a) SFDR 比較 (b) 線形性

Fig.12. FPGA simulation results of the circuit in Fig.10

(a) SFDR comparison (b) Linearity

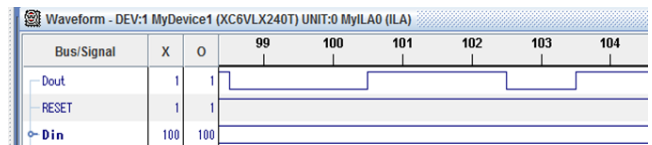


図 14 FPGA の出力波形

Fig.14. Output wave of FPGA

4. まとめ

本論文では $\Delta\Sigma$ 変調器で低振幅信号生成の際に発生するリミットサイクルを低減する構成を提案した。

- デジタルディザ信号と $\Delta\Sigma$ 変調した信号の排他的論理和を 1 ビット出力とする。
- 排他的論理和ではディザ信号が 1 のときに $\Delta\Sigma$ 変調出力値を反転させ、出力の 1 の数を分散(周波数拡散)してリミットサイクルを低減させる。
- ディザ信号もディザ入力信号を $\Delta\Sigma$ デジタル変調し、出力の 1 の出現頻度を調整することで、 $\Delta\Sigma$ 変調出力の反転回数を制御する。
- シミュレーションを行い、デジタルディザ信号により提案構成はリミットサイクルを低減させ、SFDR が向上していることを確認した。
- 線形性が保たれていることも確認した(積分器出力にディザを入力しているため、信号帯域ではノイズシェープされている)。
- 提案手法を実現する変調器をデジタル回路設計し、FPGA での動作を確認した。

文 献

- (1) R.Schreier, G.C.Temes, Understanding Delta-Sigma Data Converters, Wiley-IEEE press, 2009.
- (2) 新井薫子,小林春夫, "ΔΣ 変調器のデジタルディザ信号による性能改善の検討", 第 5 回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETT-15-8, ETG-15-8 (2015 年 3 月)
- (3) 小島潤也,新井薫子,小林春夫, "ΔΣ 変調器のデジタルディザ信号による性能改善の検討", 電気学会 電子回路研究会, ECT-15-100 (2015 年 12 月)