

$\Delta\Sigma$ DA変調器のデジタルディザ信号による 性能改善と回路設計の検討

群馬大学

工学部 電気電子工学科 学部4年
小林研究室

小島潤也 新井薫子 小林春夫



- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ



集積回路の信号処理



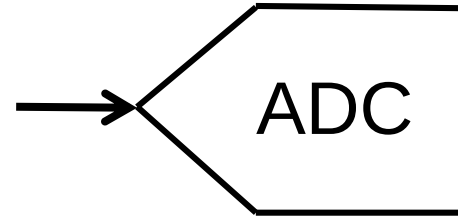
デジタル回路に恩恵

〔アナログ・デジタル変換器 (ADC)
デジタル・アナログ変換器 (DAC)〕

高性能を要求

アナログ: 連続的な信号

- ・自然界の信号(音、光)
- ・アナログ時計 など

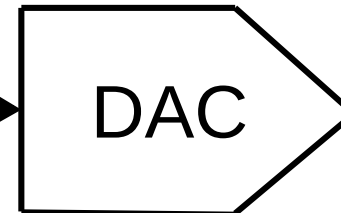


デジタル



デジタル: 離散的な数値の信号

- ・2進数
- ・デジタル時計 など

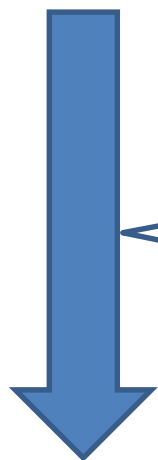


アナログ



研究目的

直流信号、低周波信号に対して



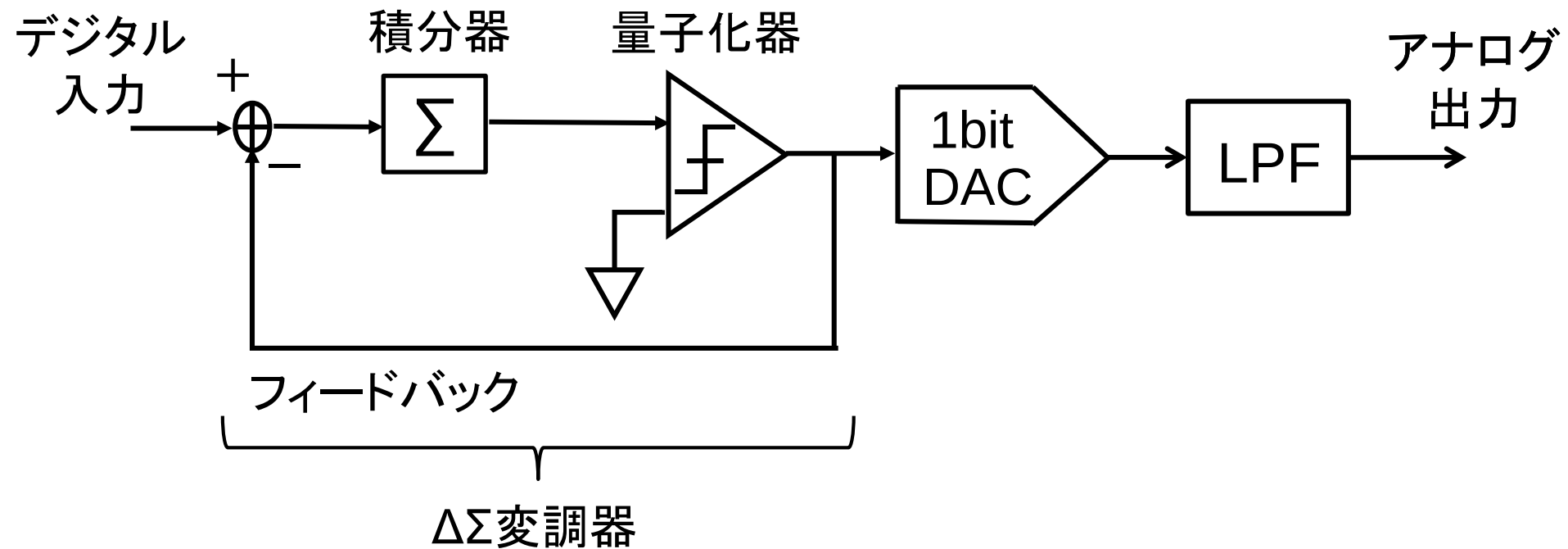
簡単な回路構成

高分解能、高線形で出力できる
デジタル・アナログ変換器(DAC)を開発

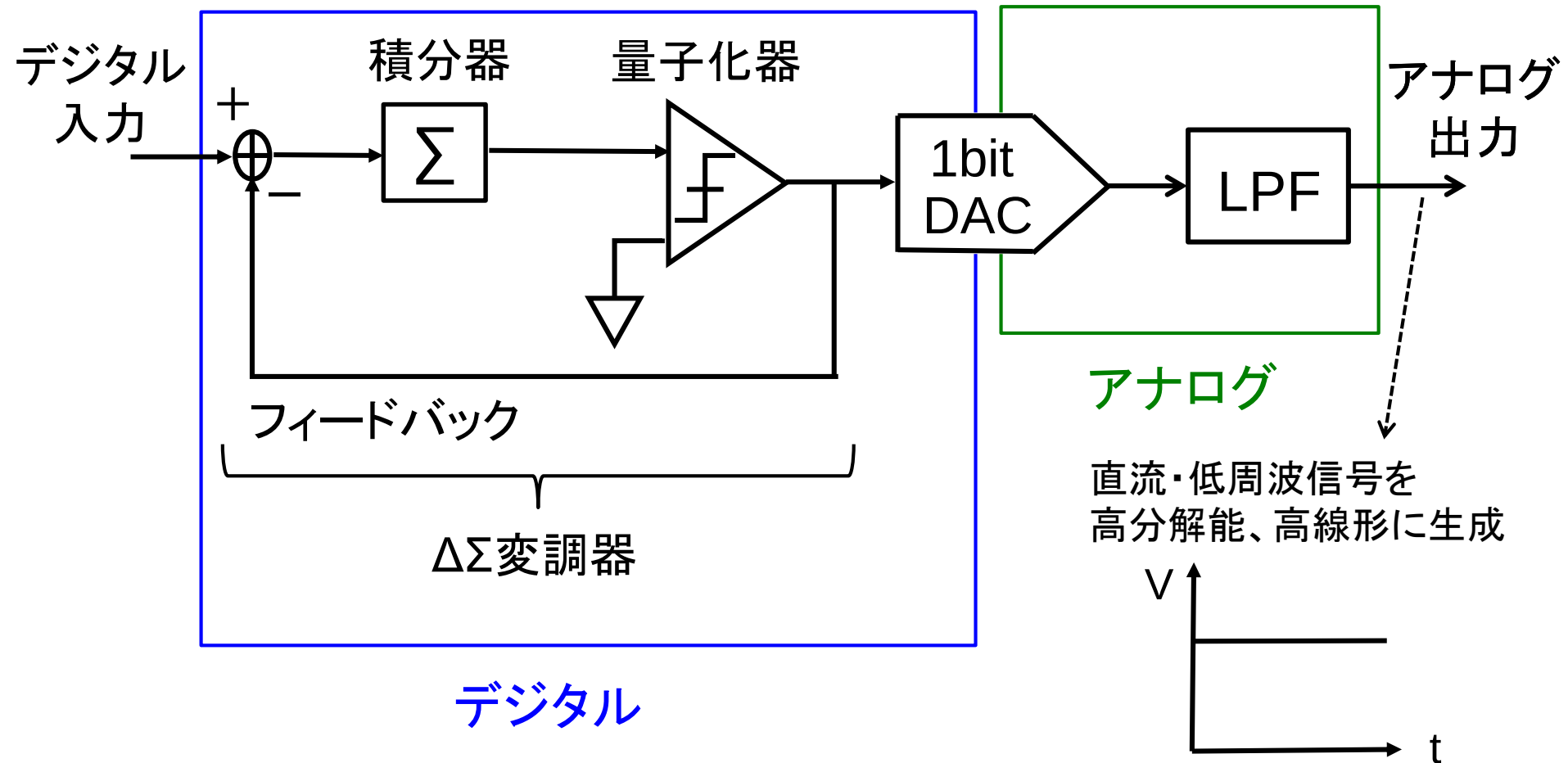
$\Delta\Sigma$ DA変換器に注目

$\Delta\Sigma$ 変換器の構成

6/33

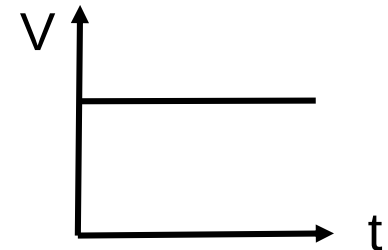


$\Delta\Sigma$ 変換器の構成



アナログ

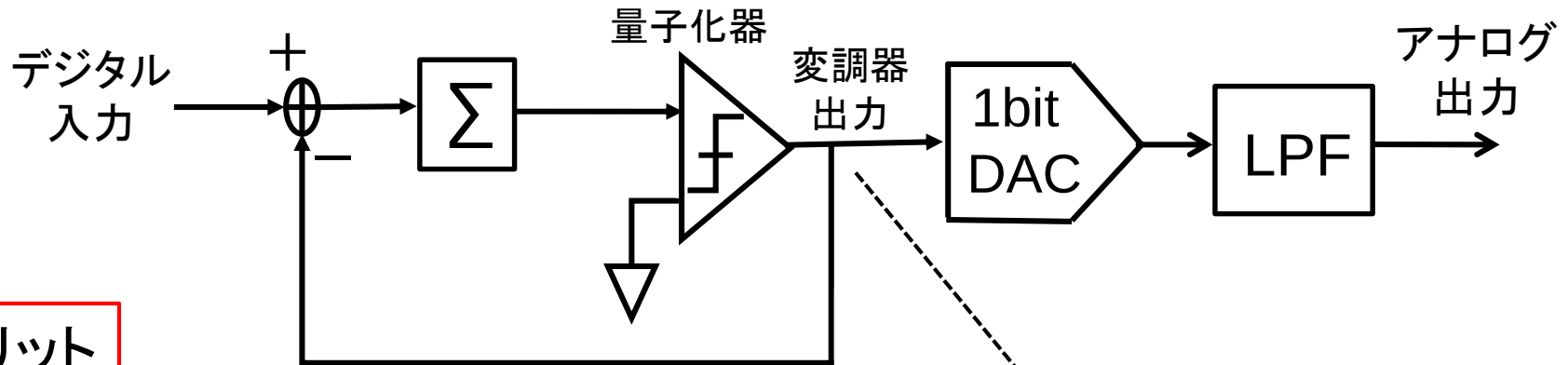
直流・低周波信号を
高分解能、高線形に生成



- ・ 電子計測器
- ・ LSI試験装置等に使用

※ ナイキストDAC $\Rightarrow$ $\left\{ \begin{array}{l} 10\text{bit以上} \\ \text{高線形性} \end{array} \right.$ の回路設計は難しい...

$\Delta\Sigma$ 変換器の特徴



メリット

- 大部分はデジタル回路

わずかなアナログ回路

- 高分解能
- 高線形性

高精度
外部からのノイズに(強)

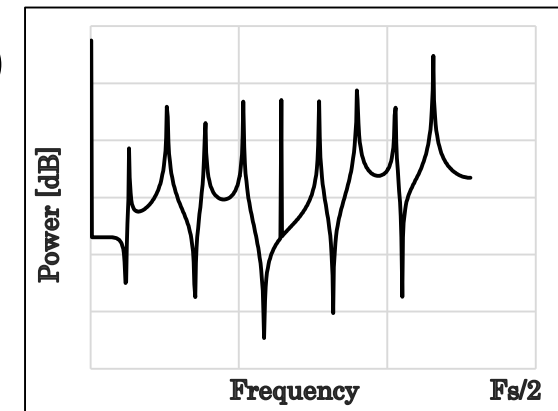
リミットサイクル

デメリット

- 微小信号では変調器出力に
入力信号成分にない周期信号成分が出力

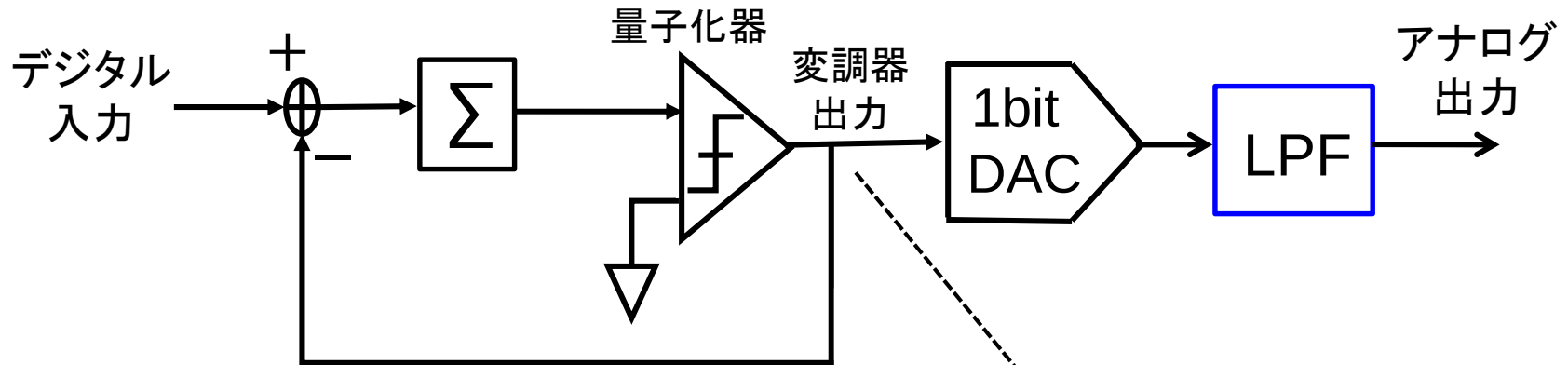
(リミットサイクル)

※量子化器による非線形性が原因



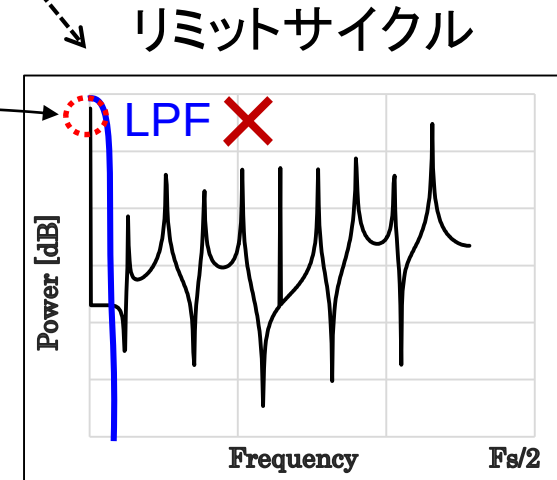
$\Delta\Sigma$ 変換器の特徴

9/33



アナログをLPFで急峻に落とす... (困難)

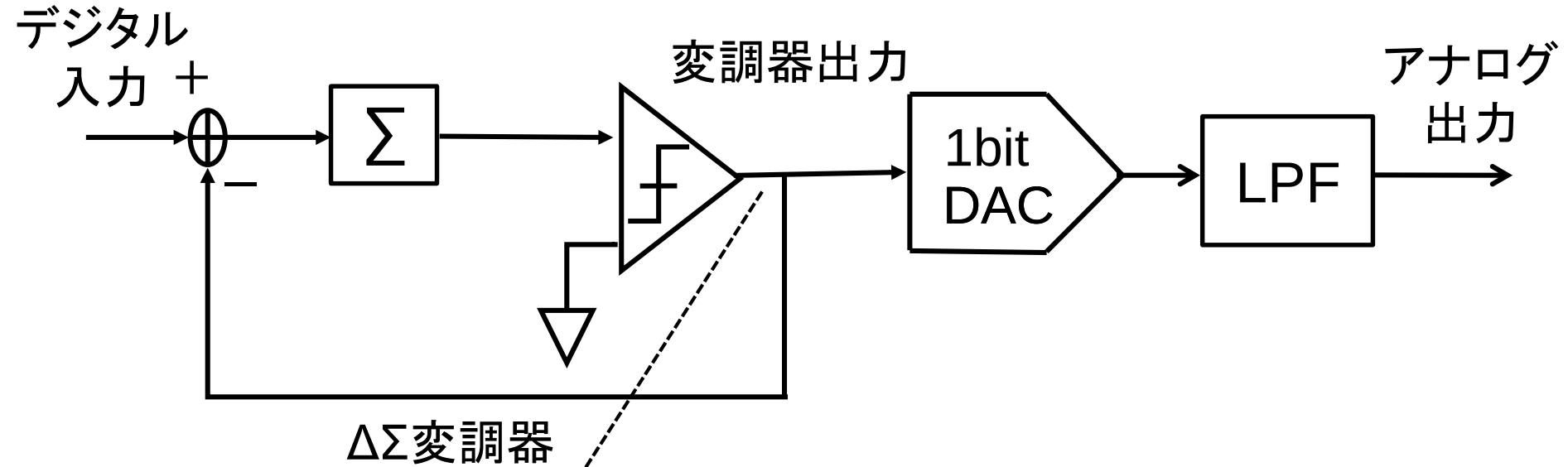
出力 = 信号成分 + $\frac{\text{リミットサイクル}}{\text{(ノイズ成分)}}$



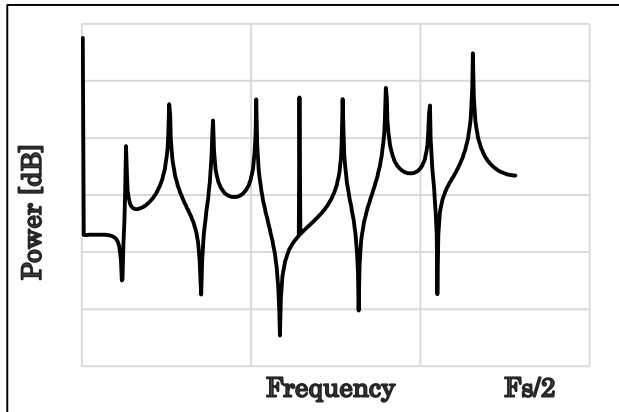
目的・リミットサイクルを低減させ高性能に
・LPFの性能要求を緩和

提案手法のイメージ

10/33



<イメージ図>



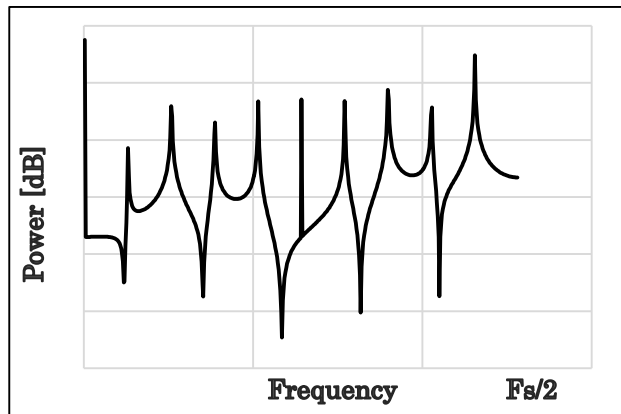
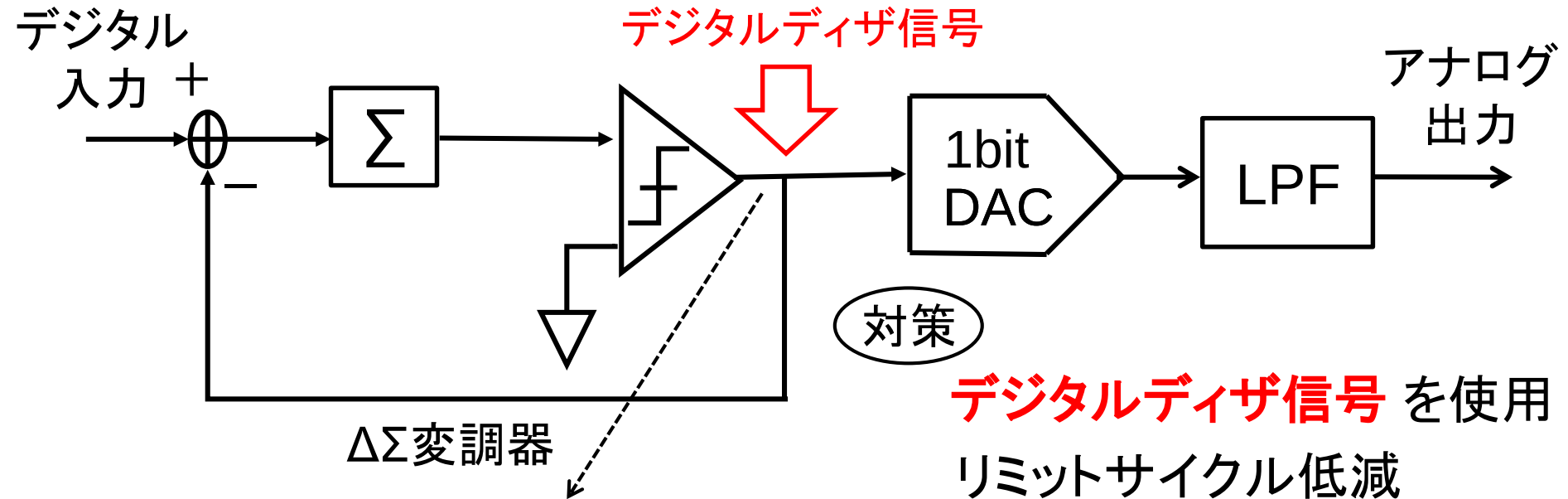
リミットサイクル



階段状

提案手法のイメージ

11/33

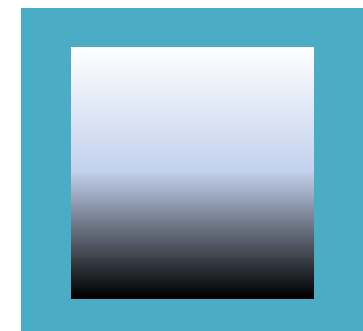
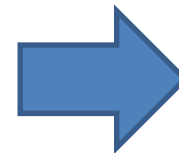


リミットサイクル

<イメージ図>



階段状

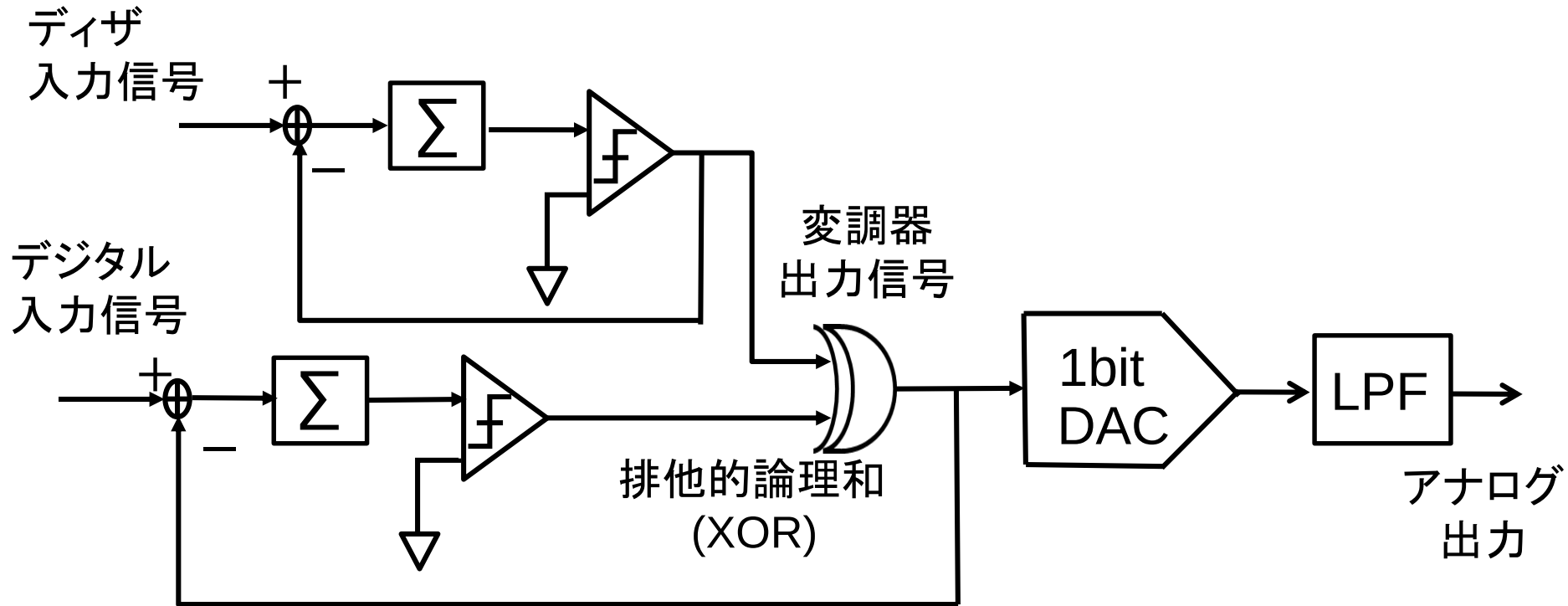


なめらかに！

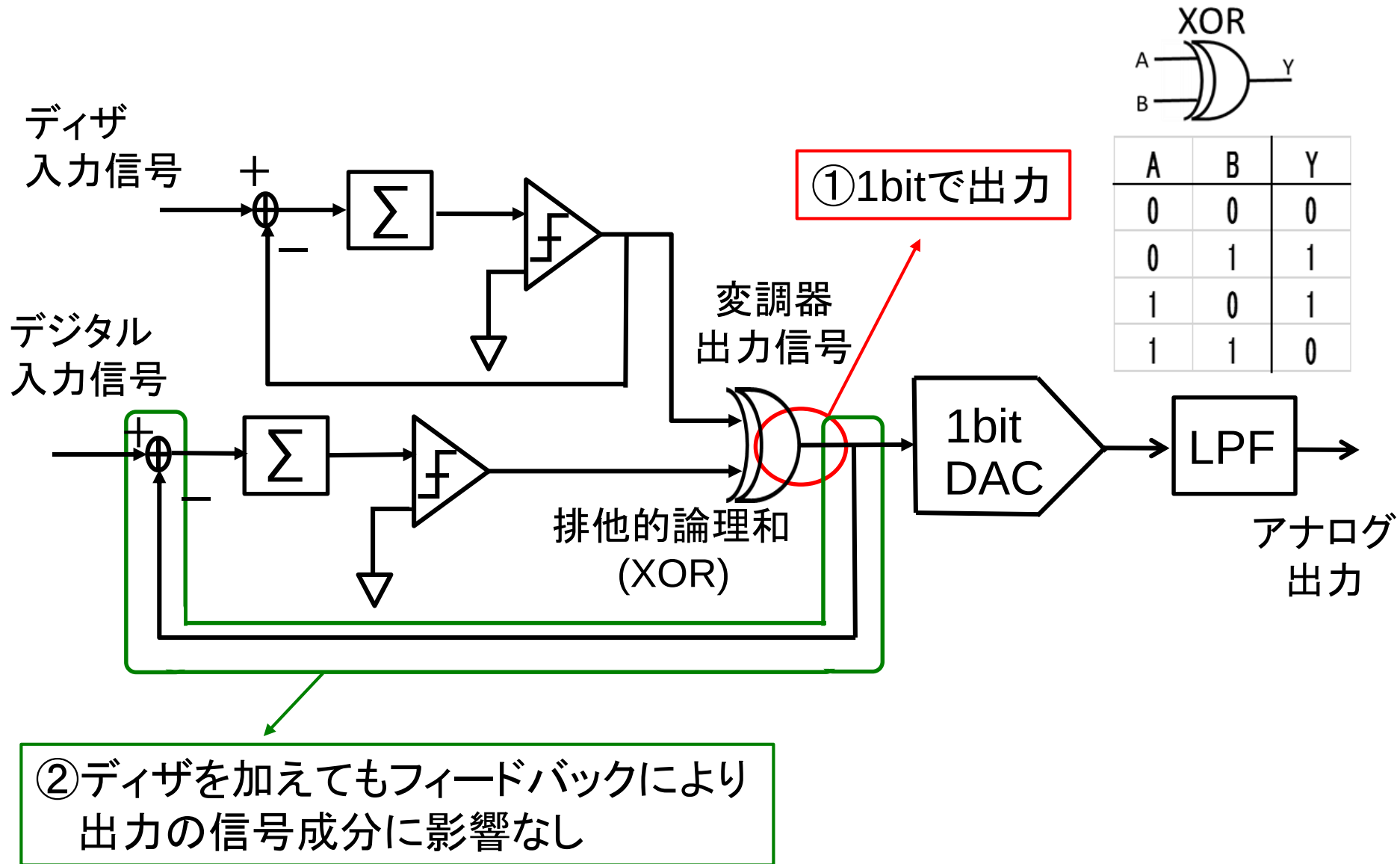
- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

提案回路の構成

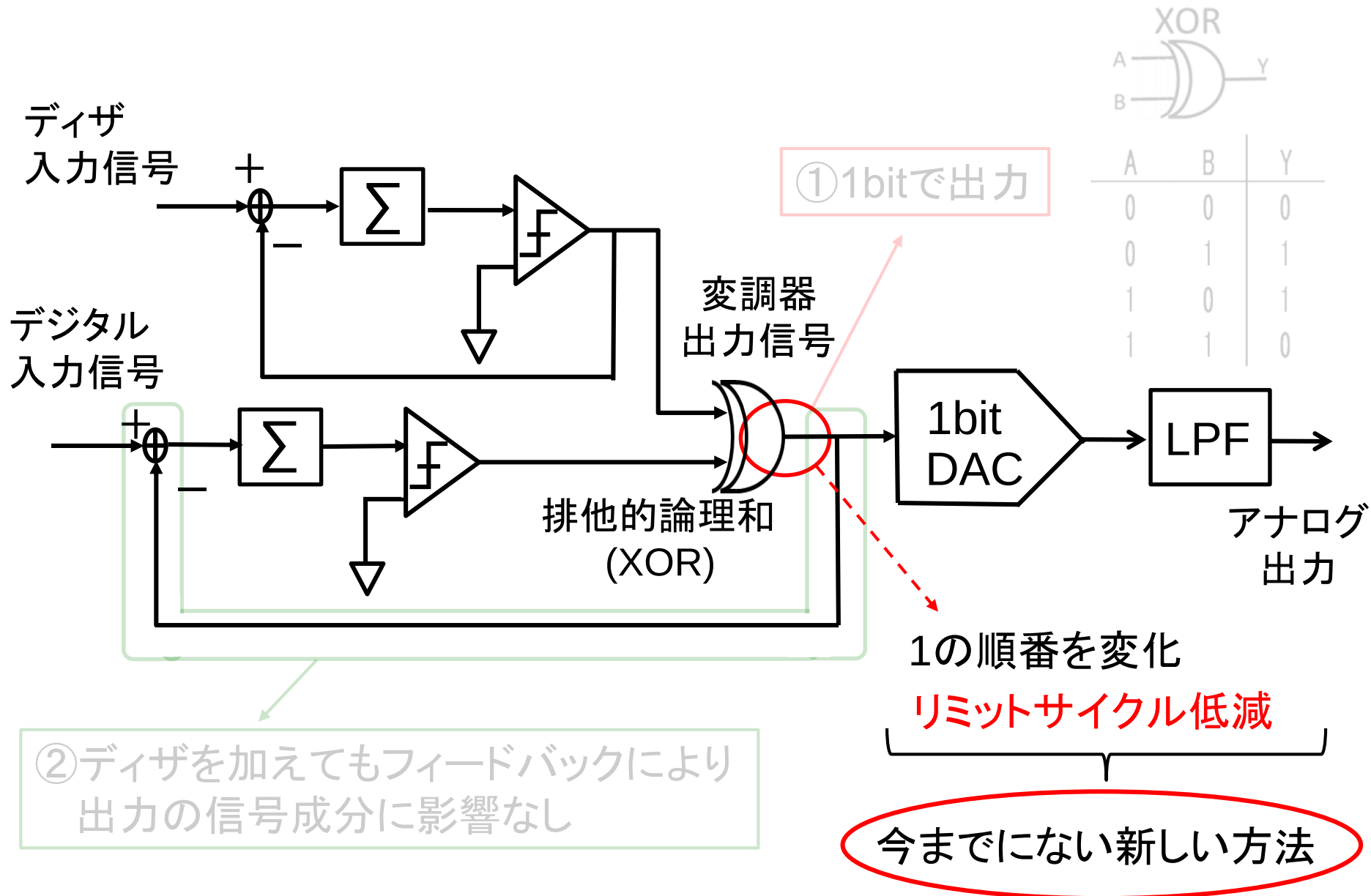
13/33



提案回路の構成



提案回路の構成

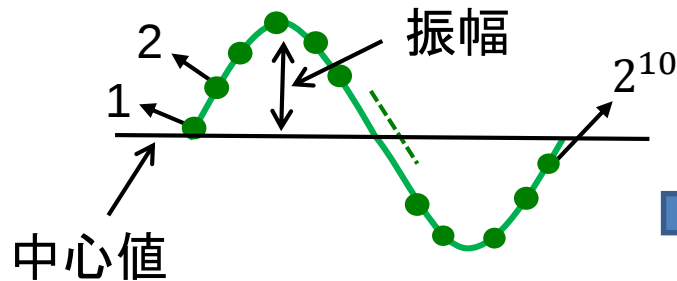


- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

シミュレーション構成

◆ データ数: $N=2^{10}$

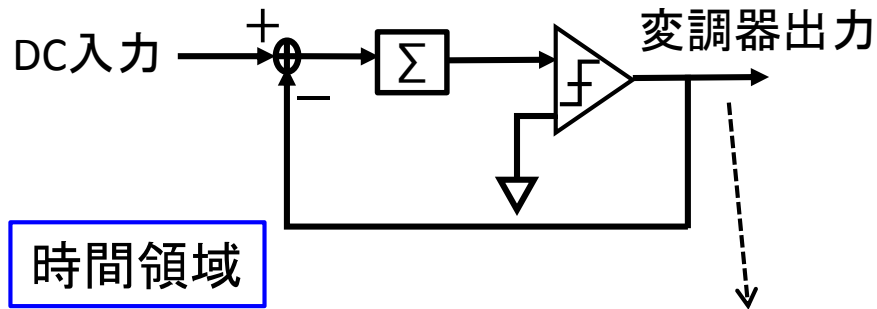
正弦波



$N=2^{10}$

シミュレーション構成

・ ディザ信号なし

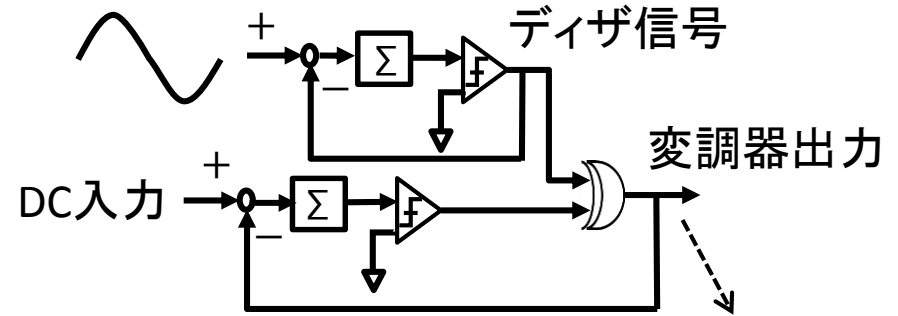


1 0 0 0 1 0 0 0 1 0 0 0 1 0 0 0

周期的

✓ 「0」と「1」の順番が異なる
✓ 全体の「1」の数は同じ

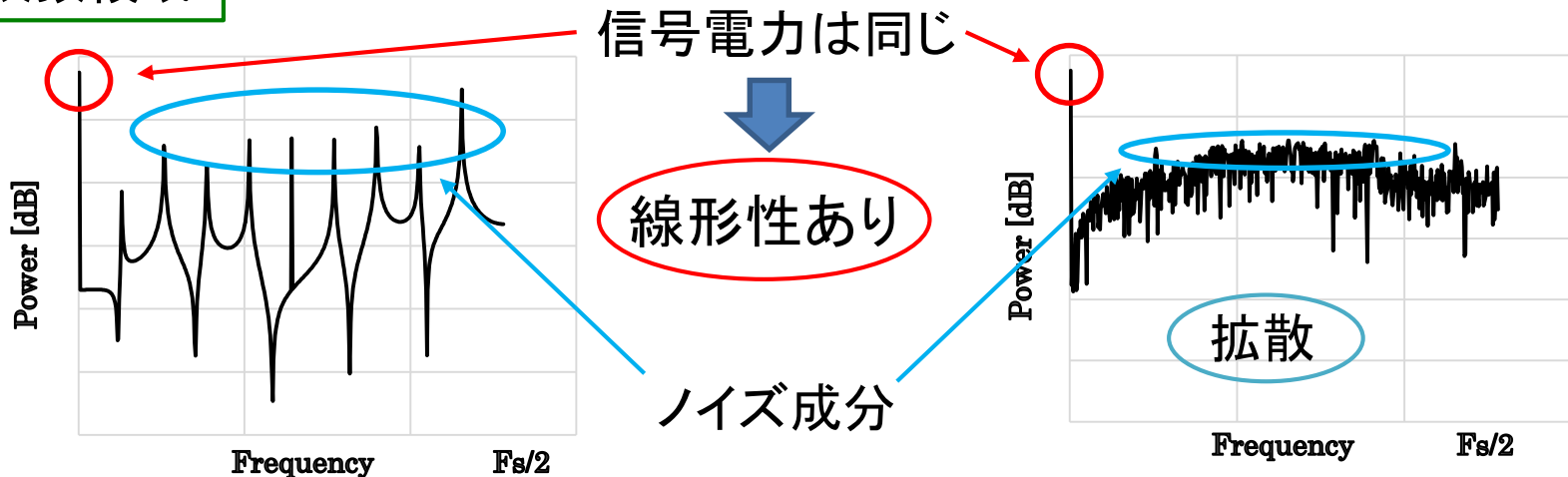
・ ディザ信号あり



1 0 0 0 0 1 0 1 0 0 0 0 0 1 0 0

非周期的

周波数領域



$N=2^{10}$

シミュレーション結果

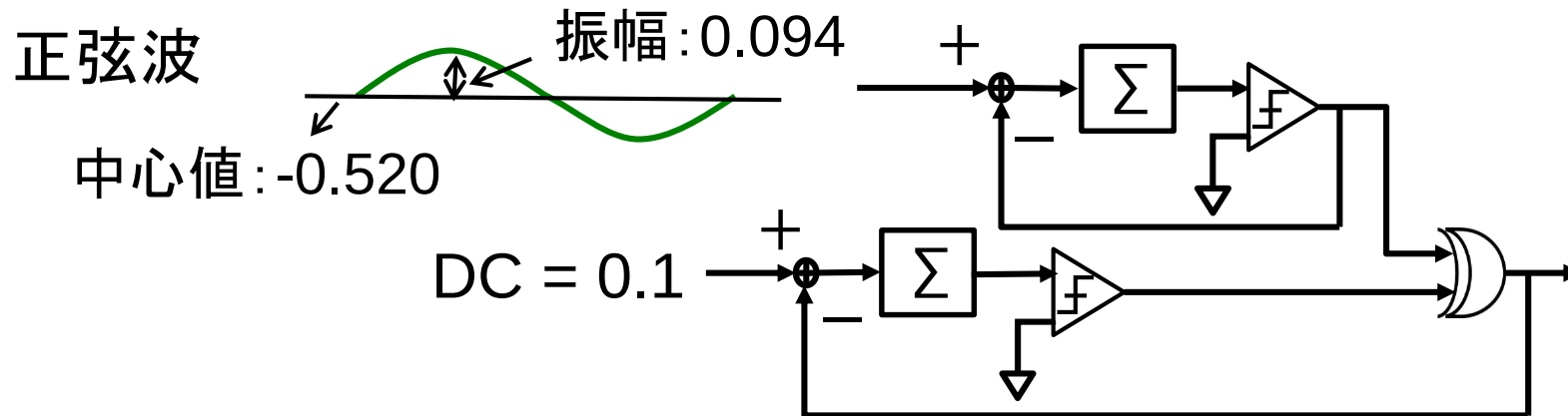
19/33

正弦波

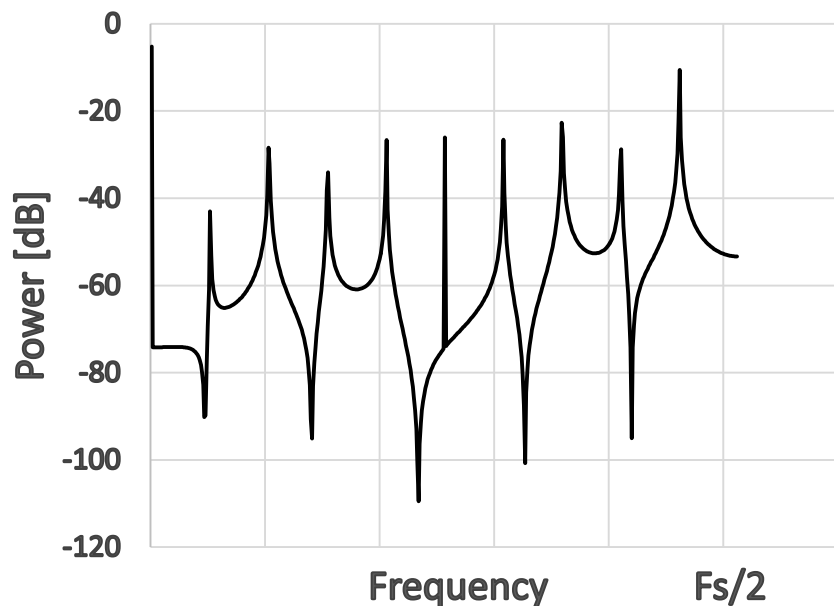
中心値: -0.520

振幅: 0.094

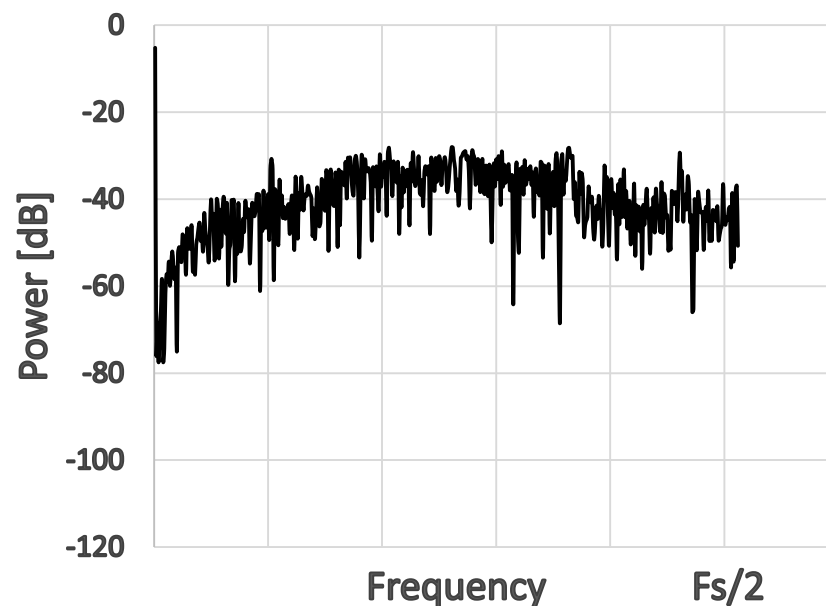
DC = 0.1



従来



提案

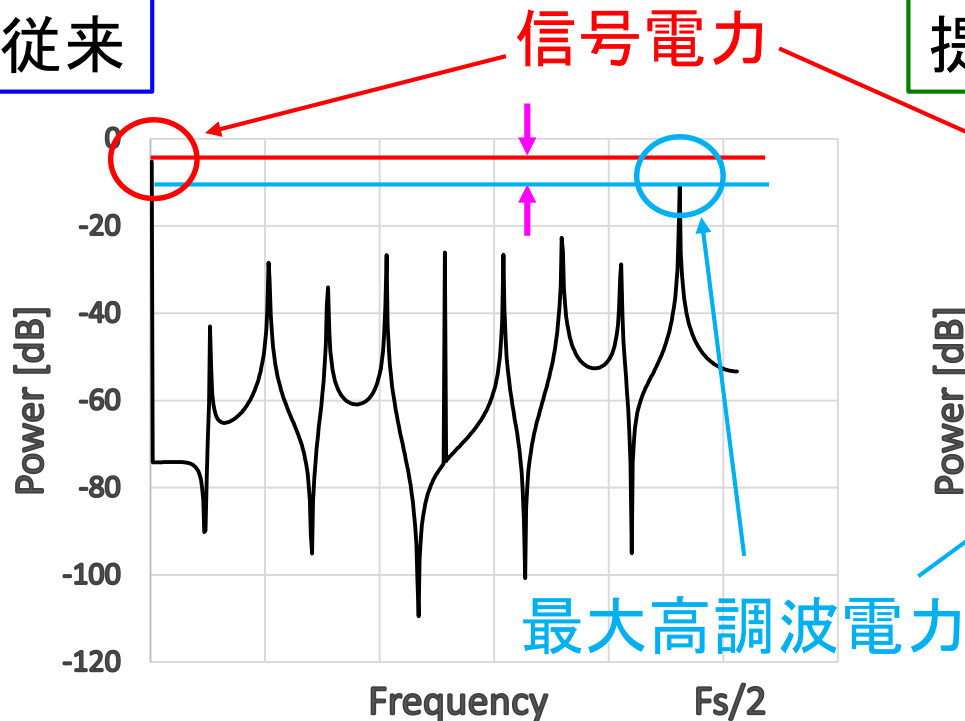


SFDR(Spurious Free Dynamic Range)

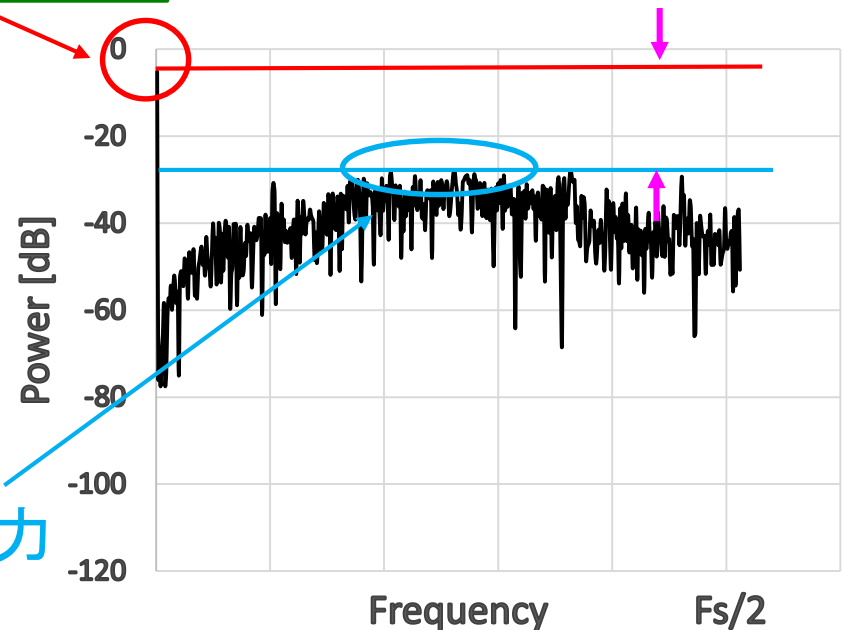
- 評価法: $SFDR = \frac{\text{信号電力}}{\text{最大高調波電力}}$

$$SFDR = 5.4 \text{ dB} < 22.9 \text{ dB}$$

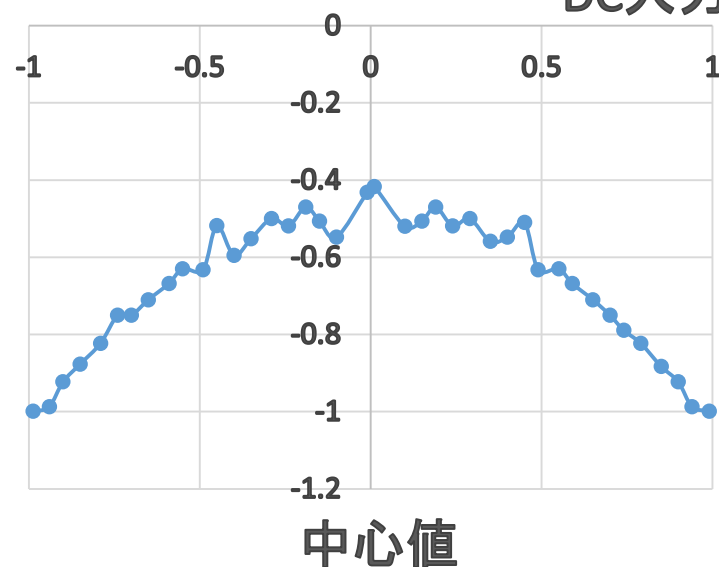
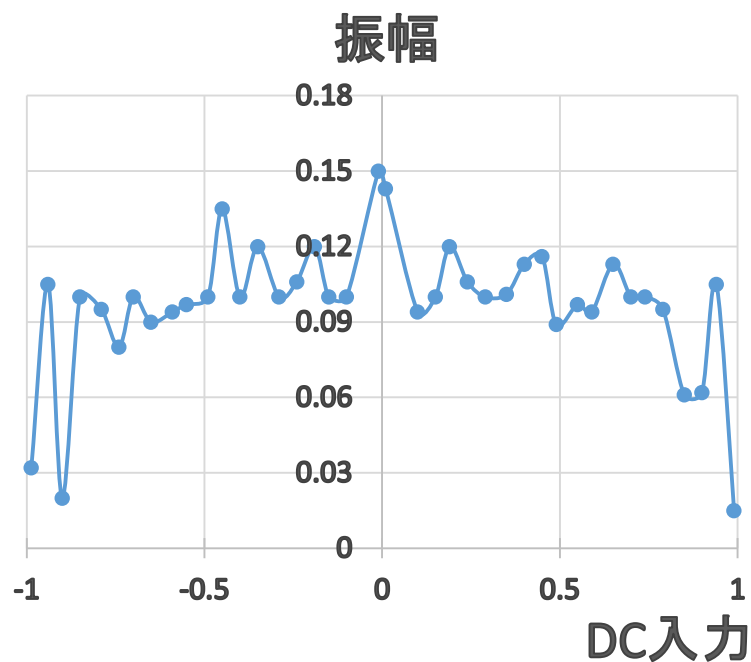
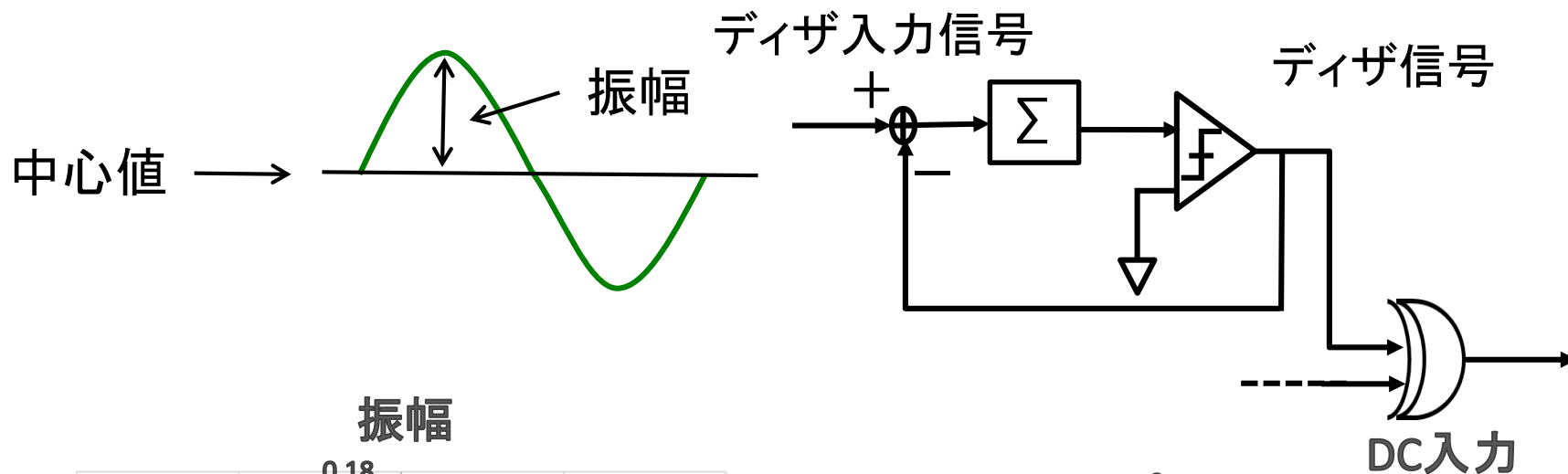
従来

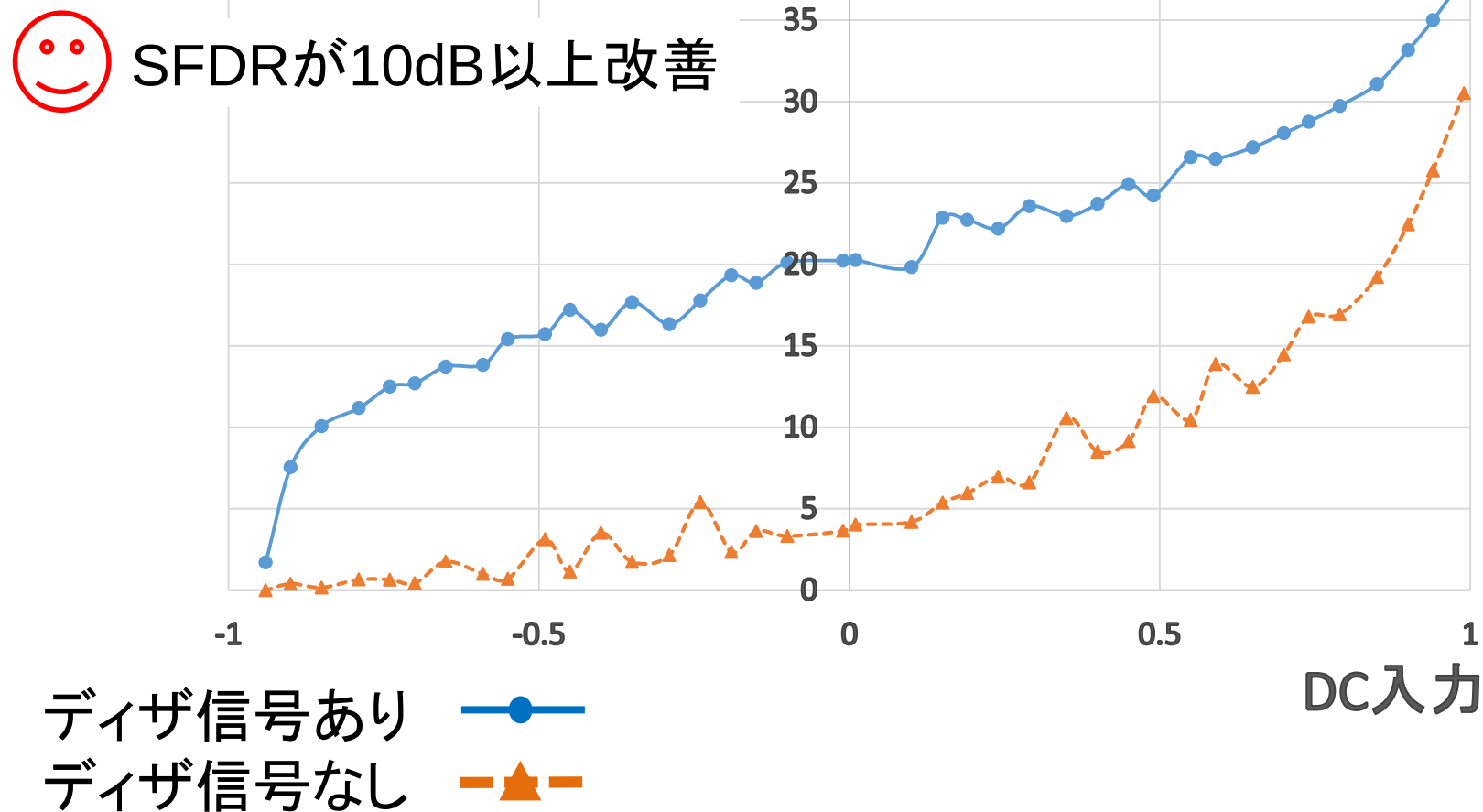


提案



◆ 最大高調波電力が小さくなる正弦波の振幅・中心値

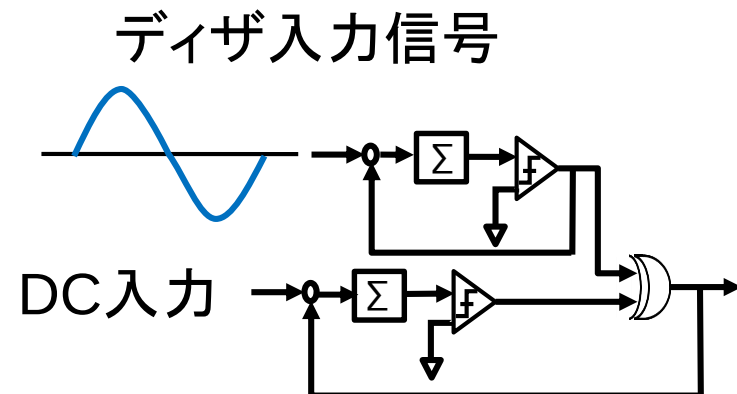




- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- **FPGA実装**
- まとめ

デジタル回路実現のために

- ◆ ディザ入力信号で使用する**正弦波**の発生
- ◆ DC入力に対して正弦波の振幅、中心値を**毎回変更**



デジタル回路への道

デジタル回路実現のために

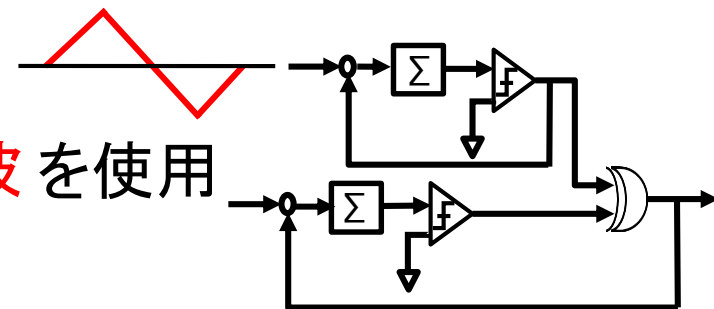
◆ ディザ入力信号で
使用する**正弦波**の発生

◆ DC入力に対して正弦波の
振幅、中心値を**毎回変更**

<変更点>



◆ **三角波**を使用



◆ 振幅 : 0.256 と**一定**
中心値: **近似**を使用(p.21)

中心値を**自動的に決定**

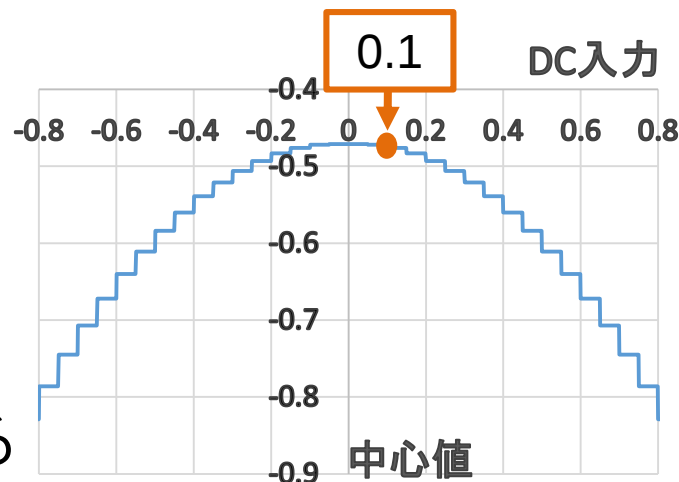
Let's Go !



(ex) DC=0.1 のとき

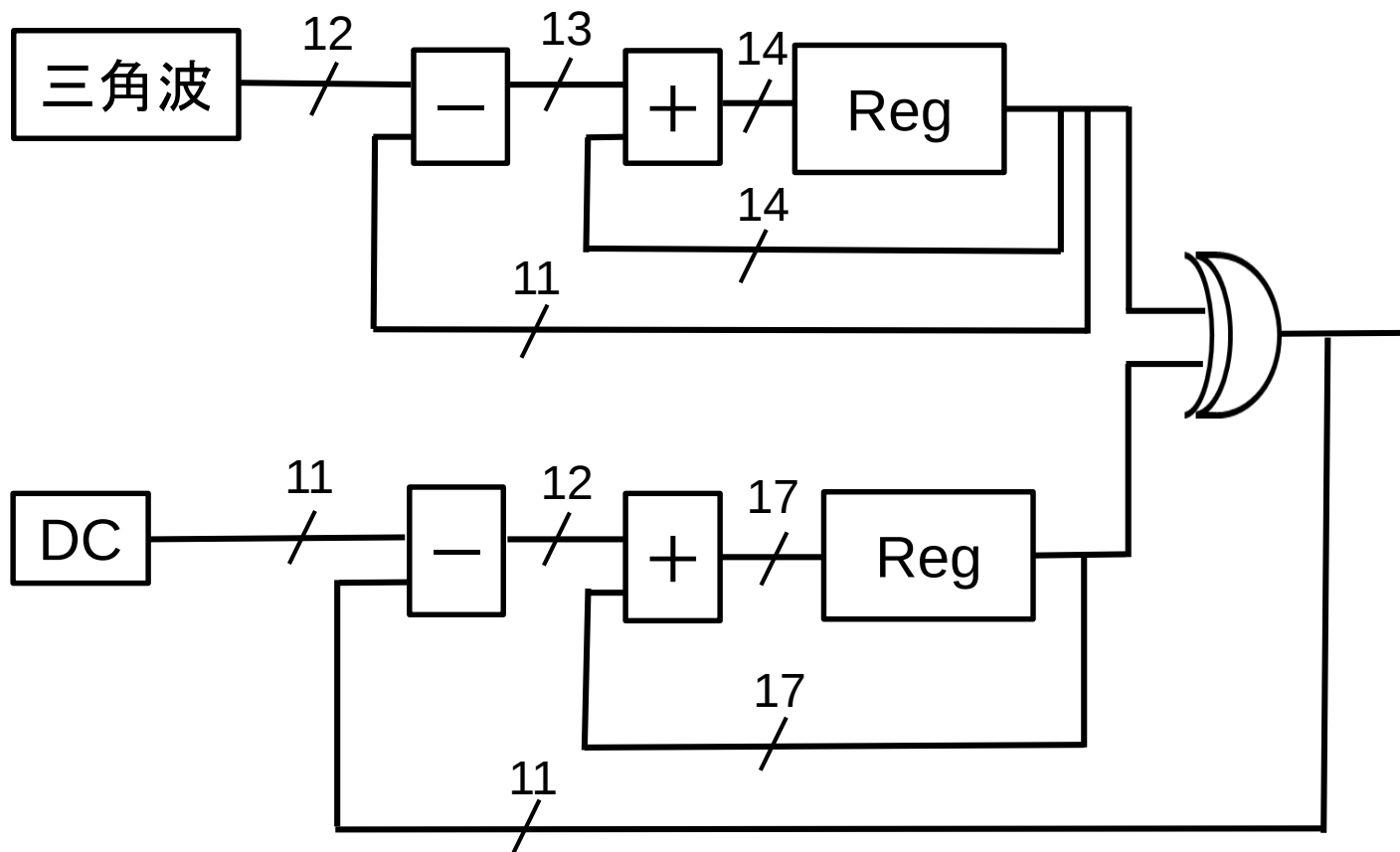
{ 振幅 = 0.256
 { 中心値 = -0.476

DC入力のみを変化させる

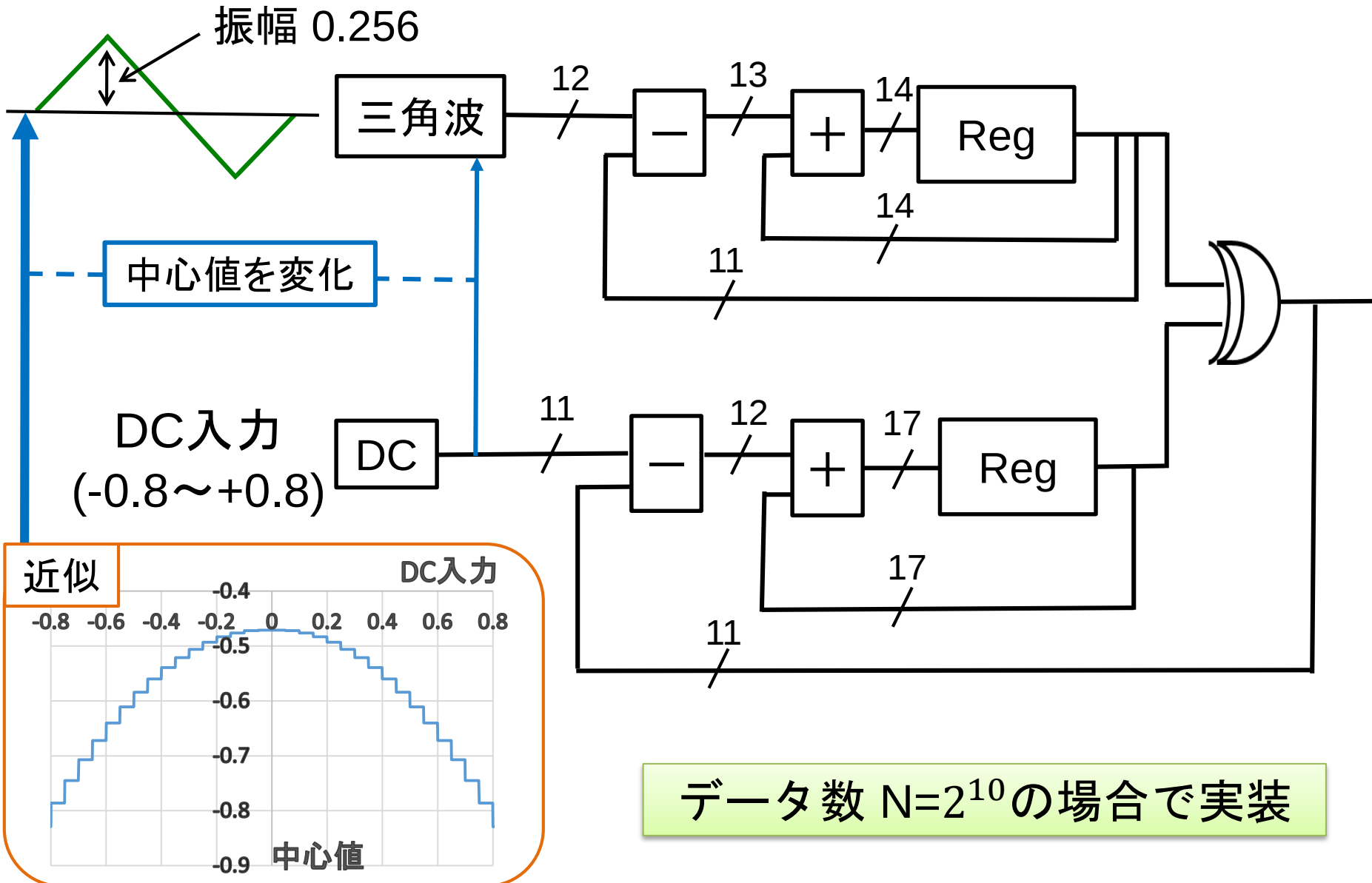


デジタル回路(提案回路)

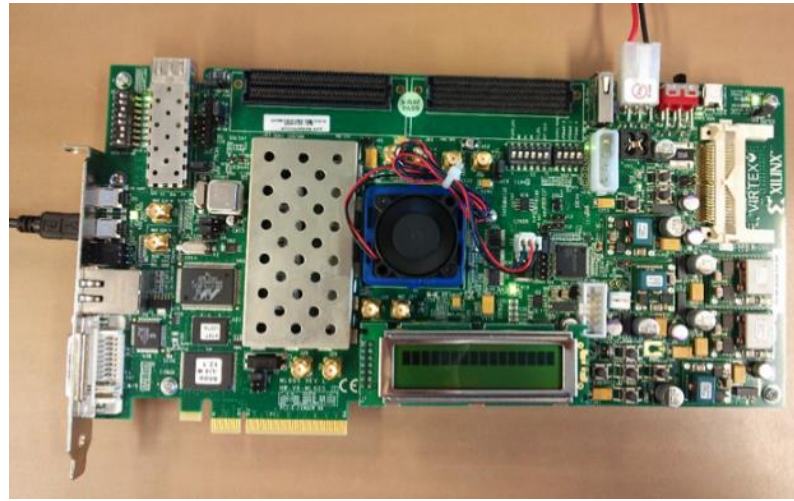
26/33



デジタル回路(提案回路)



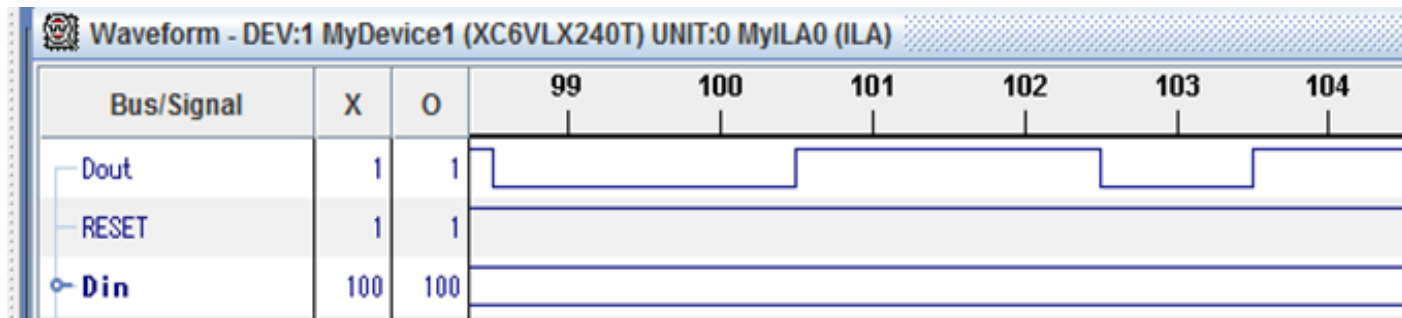
FPGAのボードと出力波形



Xilinx
Virtex-6 ML605

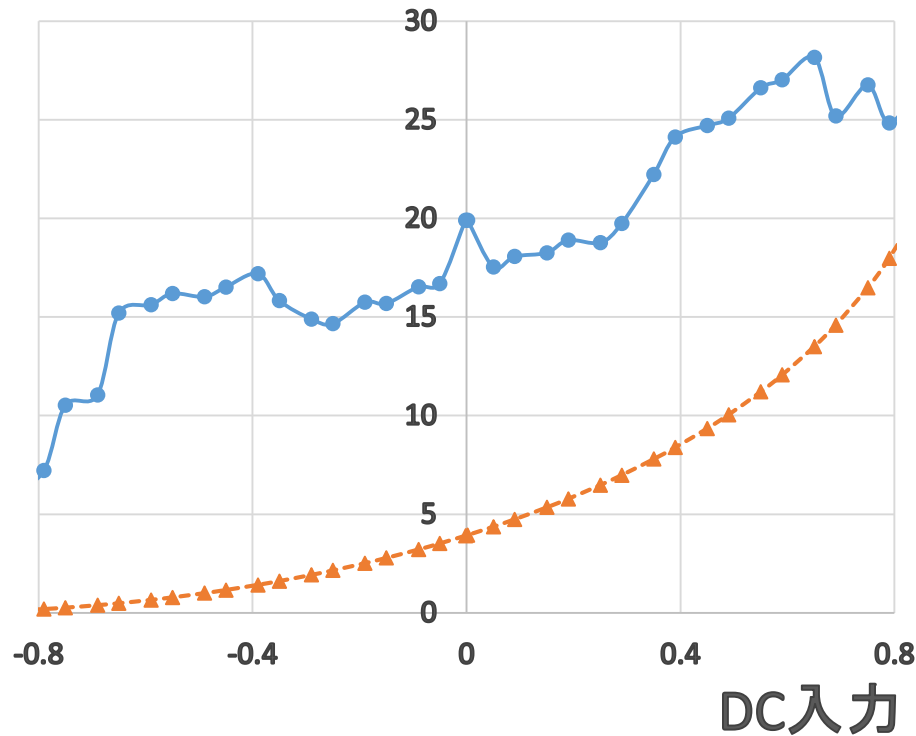
FPGAのボード

(周波数 50MHz)



出力波形の一部

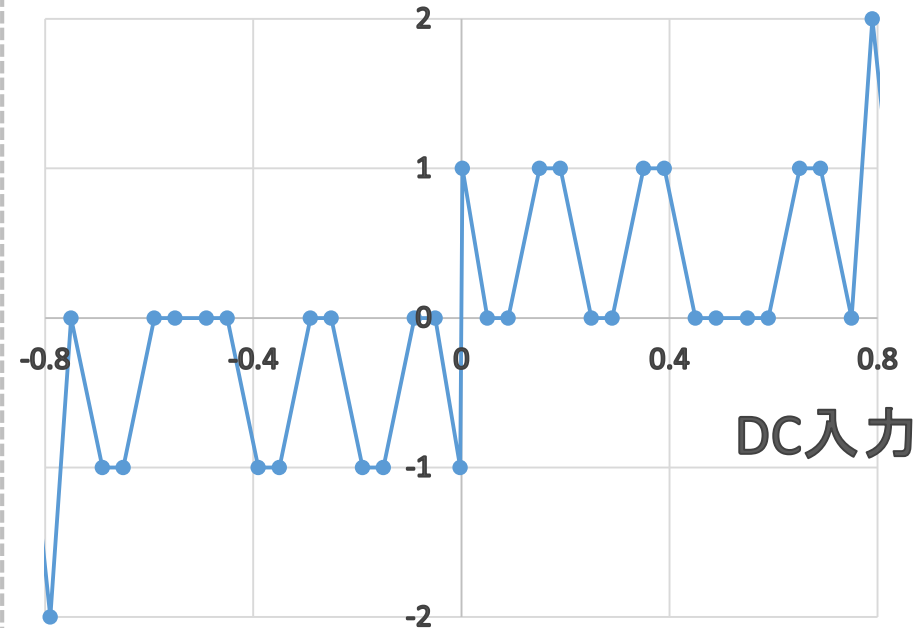
SFDR [dB]



ディザ信号あり —●—
ディザ信号なし -▲-

😊 SFDRが10dB以上改善

従来と提案の「1」の数の差



「1」の数の差は
±2の範囲に収まった

➡ 😊 線形性あり

- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

<まとめ>

$\Delta\Sigma$ 変調器では

従来: 直流・低周波信号でリミットサイクルが発生



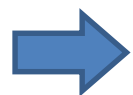
提案: ディザ信号と排他的論理和を用いた構成

- リミットサイクル低減 $\Rightarrow$ LPFの性能要求を緩和
- SFDR向上
- 線形性あり
- FPGAでの動作を確認

<dither(ディザ)の起源>

✓ 第二次世界大戦の頃

爆撃機には計算機が使用



地上より飛行機上の方がうまく動作

理由: 振動の刺激が誤差を減少

diddenen (震える) → dither(ディザ)



ノイズの量

大

少

なし



※人間でも...

多少の「ノイズ」は良い環境



勉強中

回路も人間も皆同じ

33/33

「完全に静かな場所では集中できない」



Philip E. Vernon
心理学者(英)

多少の「**ノイズ**」は良い環境



勉強中



Q1.XORを用いていたが、他の論理回路(AND、OR)ではどうか

A1.他の論理回路では確認していない。XORではディザ信号を加えることはノイズを加えることに相当するため、考えやすい。

Q2.周期的な三角波や正弦波を入力していたが、ランダムにしたらどうか。

A2.ランダムときは確認していない。リミットサイクル低減に繋がると思うが扱いにくいと考える。ランダムでの検証は今後の課題としたい。