

Gray-code 入力 DA 変換器の検討

姜 日晨* Adhikari Gopal 小林 春夫 (群馬大学)

キーワード: DAC, バイナリコード, グレイコード, グリッチ, 容量型 DAC, 電圧加算型 DAC, 電流源型 DAC, LTspice
(Keyword: DAC, Binary code, Gray code, Glitch, Charge-mode DAC, Voltage-mode DAC, Current-steering DAC, LTspice)

1. 研究背景と目的

デジタル・アナログ変換回路 (Digital-to-Analog Converter: DAC) は電流源型, 抵抗型, 容量型などで実現できる. DAC のアーキテクチャは(i) 電流源/抵抗/容量を均一値で構成し温度計コードを用いる 1 進重み付け (Unary) DAC, (ii) 回路素子数を減らしたバイナリコードによる電流源/容量を 2 進重み付けで構成する DAC や抵抗素子値を減らした R-2R 抵抗ラダー型 DAC, (iii) これらの組み合わせの構成の DAC と分類できる⁽¹⁾.

2 進重み付け DAC の一つ重大な欠点はグリッチ (スイッチングノイズ) が大きいところにある. 2 進数 (バイナリ) ではある値を隣接する値に移行する際に変化するビットの数は一つ以上である. たとえば 3 から 4 に変化する場合, 2 進数だと 011 から 100 に, つまり 3 ビットの変化が起きる. 実際の DAC で中央値の付近で動作することが多い場合は, 多数のスイッチングは多くのノイズに繋がる.

グリッチ性能はグラフィックディスプレイ応用等 DAC で重要である. 上位ビットの値が切り替わる場合, 2 進重み付け DAC では大きなグリッチが発生する. 特に最上位ビット (MSB) の変化が最も大きなグリッチ (ワーストケース) をもたらす⁽²⁾.

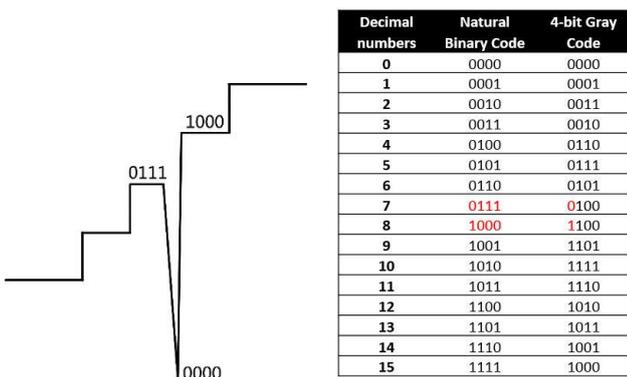


図 1: MSB が変化する場合のグリッチ (左)

Fig. 1. Glitch caused by MSB change

図 2: 2 進値と Gray-code の比較 (右)

Fig. 2. Comparison of binary-code and Gray-code

図 1 で入力デジタル信号が 0111 から 1000 へ変わる時, 0111 から直接に 1000 へ変わるのではなく, スイッチタイミング

スキューにより例えば 0111 から 0000 を通じて 1000 に安定になる.

グレイコード (Gray-code) は数値の符号化法のひとつで, 前後に隣接する符号間のハミング距離が必ず 1 であるという特性を持つ. Gray-code はある値から隣接した値に変化する際に, 常に 1 ビットしか変化しない (図 2). したがって Gray code 入力の DA 変換器が実現できればグリッチが小さくできることが期待できる. また図 2 で次が得られる.

Binary code: B3, B2, B1, B0

Gray code: G3, G2, G1, G0

$G2=B3 \oplus B2, G1=B2 \oplus B1, G0=B1 \oplus B0$

$B3=G3, B2=G3 \oplus G2, B1=G3 \oplus G2 \oplus G1, B0=G3 \oplus G2 \oplus G1 \oplus G0$

Gray-code を用いた ADC や時間ディジタル回路 (TDC) は報告されているが^(3,4). Gray-code を入力としての綺麗な構成の DAC は実現が難しいと考えられてきた. 本論文では binary code と Gray code 間の相互変換が排他的論理和 (EXOR) であることを利用し, Gray code 入力の DAC が実現できることを示す. Gray code 入力の容量型 DAC, 電圧加算型 DAC と電流源型 DAC の三種類の構成を提案する.

2. 提案する Gray-code 入力の DAC の構成と動作

今回提案する Gray-code DAC のキーコンポーネントは電圧 (または電流) スイッチマトリックスである. この電圧スイッチマトリックスはデジタル入力により作動し, 回路の動き (電荷分配, 電圧加算, 電流の流れ) をコントロールしてアナログ出力をえる.

電圧/電流スイッチマトリックスは一種の double-pole double-throw (dpdt) スイッチに属する^(5,6). このマトリックスには 5 つの端子があり, 入力端子 In1, In2, 出力端子 Out1, Out2 と制御端子 S である. 入力端子と出力端子はすべて 1 対 1 で規定されるので, In1—Out1 と In2—Out2 (パラレル接続) および In1—Out2 と In2—Out1 (クロス接続) の二通のみの接続方が存在する. ここで S=0 の時はパラレル接続, S=1 の時はクロス接続の設定とする.

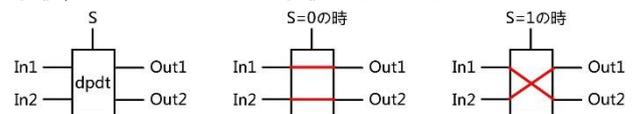


図 3: 電圧/電流スイッチマトリックス

Fig. 3. Voltage/current switch matrix

(2.1) Gray-code 入力 の 容量型 DAC の原理

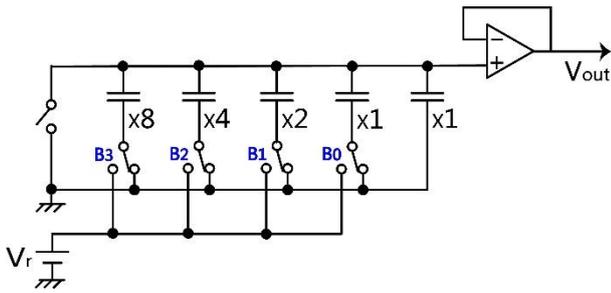


図 4 : 容量型 DAC

Fig. 4. Binary-weighted capacitor DAC

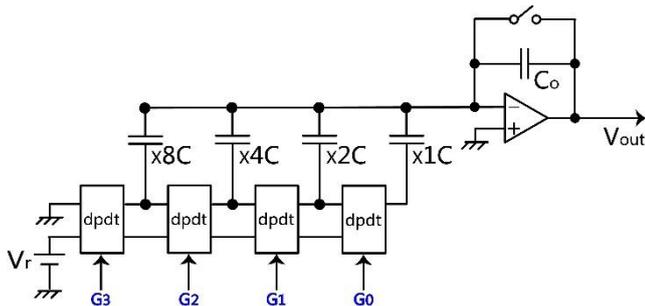


図 5 : Gray-code 入力 の 容量型 DAC

Fig. 5. Gray-code input Charge-mode DAC

図 5 に提案する Gray-code 入力 の 容量型 DAC の構造を示す。主に 3 つの部分で構成する。まずは従来の容量型 DAC (図 4) と同じく D/A 変換の役割を果たすバイナリの容量列 (4 ビットの場合では 8C, 4C, 2C, 1C) である。容量の接続状況を制御するスイッチを従来の 2 進値により選択する single-pole double-throw (spdt) スイッチを電圧スイッチマトリックス (dpdt) に切り替わり、Gray-code は dpdt の制御端子 S から入る。最後はオプアンプ回路による出力部分 ($C_o=C$) となる。

Gray-code 入力 の 容量型 DAC は従来の電荷モード DAC と同じくサンプルモードと出力モードという 2 つの動作モードがある⁷⁾。サンプルモードでは Gray-code に応じた容量をレファレンス電圧源に繋ぎ、残る容量はグランドに接続する。出力モードでは積分器により出力を得て、またすべての容量を放電させる。

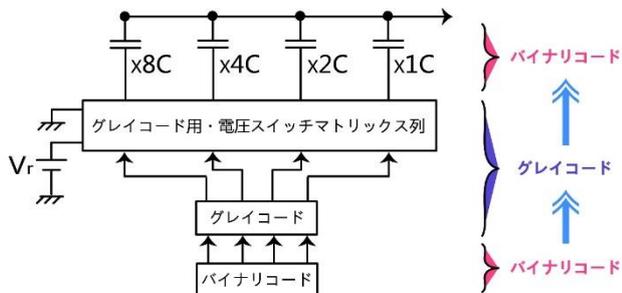


図 6 : バイナリ の 入出力 に対応 できる グレイコード変換

Fig. 6. Compatibility of gray-code input and binary-code circuit

従来の容量型 DAC では各容量が 2 つのレール (グランド

とレファレンス電圧源) のいずれに切り替わって接続する方式である。それに比べて Gray-code 入力 の 容量型 DAC では電圧スイッチマトリックスにより、その 2 つのレールを容量ごとに切断されダイナミックな接続型を果たす。これにより Gray-code 入力はバイナリの容量順番に対応できる (図 6)。

(2.2) Gray-code 入力 の 容量型 DAC の動作

eg. Data=5

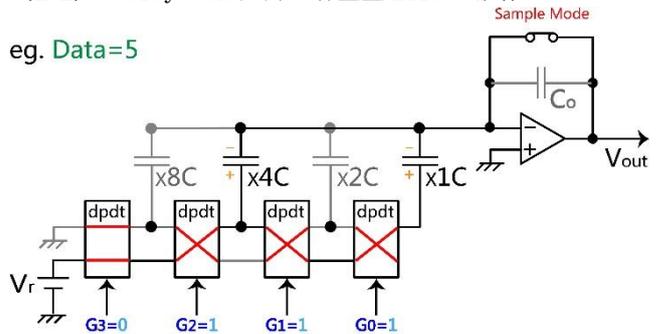


図 7 : Gray-code 入力 の 容量型 DAC のサンプルモード

Fig. 7. Sample-mode of Gray-code input C-DAC

eg. Data=5

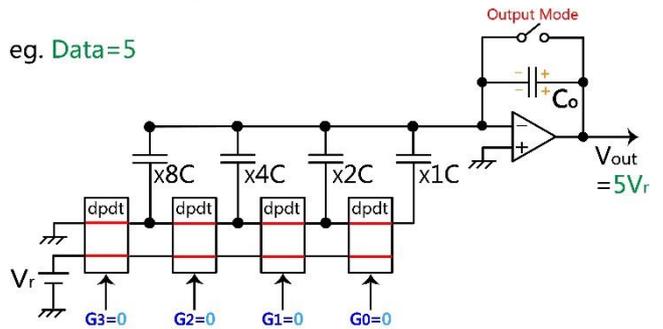


図 8 : Gray-code 入力 の 容量型 DAC の出力モード

Fig. 8. Output-mode of Gray-code input C-DAC

入力データ = 5 の時の動作を例として説明する。データ = 5 のバイナリコード (B3, B2, B1, B0) = 0101, それに対するグレイコード (G3, G2, G1, G0) = 0111 である。サンプルモードで電圧スイッチマトリックスは MSB から LSB までパラレル, クロス, クロス, クロスの接続でスイッチングする (図 7)。4C と 1C は Vr に接続し, 8C と 2C はグランドに接続し効かなくなる。出力モードで Co から出力は 5Vr の結果が得られ, 電圧スイッチマトリックスはすべてパラレルにリセットされる。

(2.3) Gray-code 入力 の 電圧加算型 DAC の原理と動作

eg. Data=5

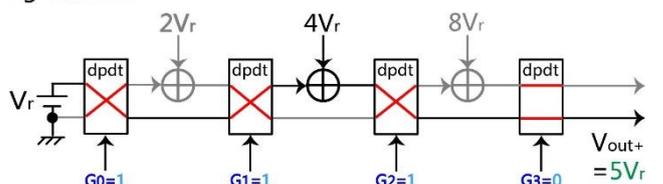


図 9 : Gray-code 入力 の 電圧加算型 DAC

Fig. 9. Gray-code input voltage-mode DAC

図9に提案する Gray-code 入力 の電圧加算型 DAC の構成を示す。電圧スイッチマトリックスと電圧加算回路は縦列され、電圧値を上げながらアウトプットに出力される。電圧スイッチマトリックスは Gray-code 入力 で、電圧加算回路の一端はバイナリコード入力(4ビットの場合では $2V_r$, $4V_r$, $8V_r$) である。LSB の電圧スイッチマトリックスの Out2 は出力電圧 V_{out+} となる。

入力データ = 5 の時の動作を例として説明する。データ = 5 のバイナリコード (B_3, B_2, B_1, B_0) = 0101, それに対するグレイコード (G_3, G_2, G_1, G_0) = 0111 である。電圧スイッチマトリックスは LSB から MSB までクロス, クロス, クロス, パラレルの接続でスイッチングする。レファレンス電圧源 V_r の右に見てみるとは最初 $2V_r$ を避け、次の $4V_r$ に加算され、最後に $8V_r$ も避けて $5V_r$ の出力を得る。

〈2・4〉 Gray-code 入力 の電流源型 DAC の原理と動作

eg. Data=5

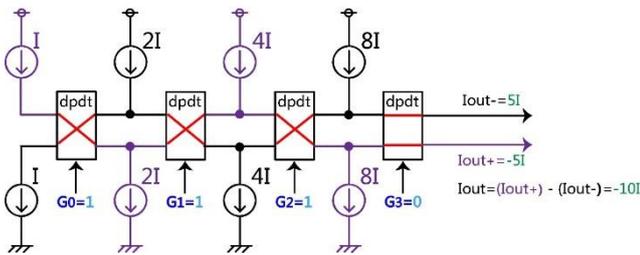


図 10 : Gray-code 入力 の電流源型 DAC

Fig. 10. Gray-code input Current-steering DAC

図 10 に Gray-code 入力 の電流源型 DAC の構成を示す。これは電圧スイッチマトリックスとバイナリ配置の電流源 (4ビットの場合では I , $2I$, $4I$, $8I$ を二組) で構成する。LSB の電圧スイッチマトリックスの Out1 は I_{out-} で、Out2 は I_{out+} で出力され、最終出力が I_{out} は I_{out+} と I_{out-} の差をとる。

入力データ = 5 の時の動作を例として説明する。データ = 5 のバイナリコード (B_3, B_2, B_1, B_0) = 0101, それに対するグレイコード (G_3, G_2, G_1, G_0) = 0111 である。電圧スイッチマトリックスは LSB から MSB までクロス, クロス, クロス, パラレルの接続でスイッチングする。 I_{out-} に対する供与役は上の電流源の $2I$ と $8I$, それと下の電流源の $1I$ と $4I$ に加え、 $I_{out-} = (2I + 8I) - (1I + 4I) = 5I$ である。同時に I_{out+} に対する供与役は上の電流源の $1I$ と $4I$, それと下の電流源の $2I$ と $8I$ に加え、 $I_{out+} = (1I + 4I) - (2I + 8I) = -5I$ である。合わせた出力は $I_{out} = (I_{out+}) - (I_{out-}) = -10I$ である。

3 SPICE によるシミュレーション検証

〈3・1〉 LTspice

LTspice IV はリニアテクノロジー社のアナログ回路シミュレータである。LTspice シミュレータはもともとパークレーの SPICE 3F4/5 に基づいて開発される。

〈3・2〉 Gray-code 入力 の C-DAC のシミュレーション

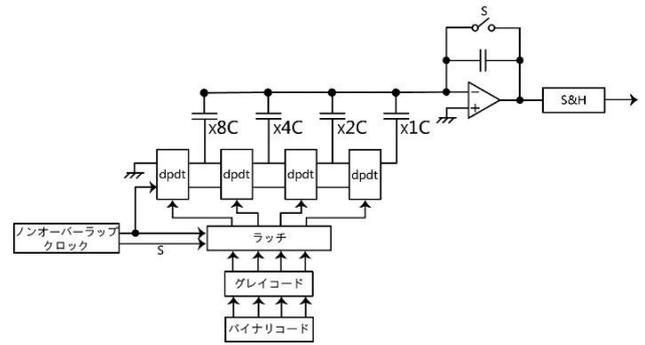


図 11 : Gray-code 入力 の容量型 DAC のブロック図

Fig. 11. Implementation of Gray-code input C-DAC

LTspice IV で Gray-code 入力 の容量型 DAC を構成する (図 11)。入力としては同期型のデジタルバイナリコード発生回路をグレイコードに変換してラッチに入る。またノンオーバーラップクロック信号発生回路は2つの重畳なくクロック信号を生成し、サンプルモードと出力モードに切り替わるなどのため使用する。容量型 D/A 変換したパルス列信号を S&H (サンプル&ホールド) 回路により連続的なアナログステップパルスになる⁽⁸⁾。

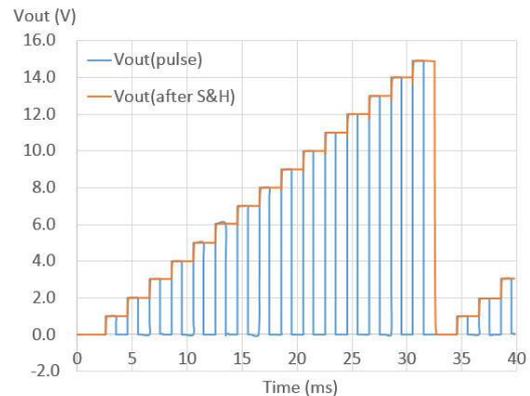


図 12 : Gray-code 入力 C-DAC のシミュレーション結果

Fig. 12. Simulation result of Gray-code input C-DAC

下記のパラメータで Gray-code 入力 C-DAC のシミュレーションを行った :

容量 : $C_3=80\text{pf}$, $C_2=40\text{pf}$, $C_1=20\text{pf}$, $C_0=10\text{pf}$, $C_0=10\text{pf}$;
 クロックの周期 : 2ms ; デジタル入力範囲 : 0~1V ;
 アナログ出力範囲 : 0~15V.

図 12 に示すように、0000 (0decimal) ~ 1000 (15 decimal) の Gray-code 入力に対し、0V~15V 範囲で 1V ずつ上がっていく出力が得られ、Gray-code 入力 C-DAC の動作を検証できていることがわかる。

〈3・3〉 Gray-code 入力 の V-DAC のシミュレーション

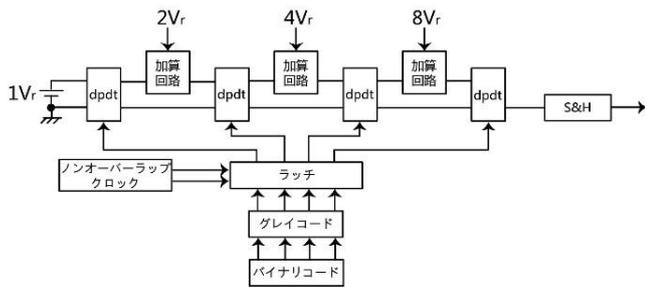


図 13 : Gray-code 入力 の電圧加算型 DAC のブロック図
Fig. 13. Implementation of Gray-code input V-DAC

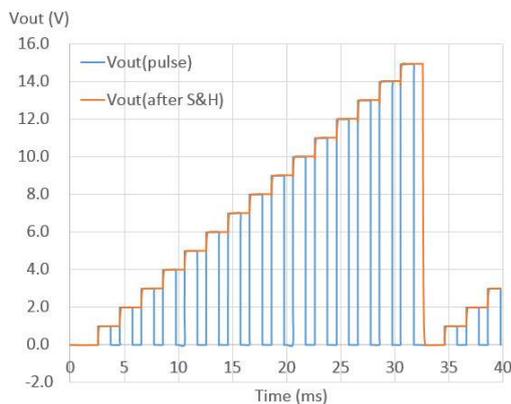


図 14 : Gray-code 入力 V-DAC のシミュレーション結果
Fig. 14. Simulation result of Gray-code input V-DAC

LTspice IV で Gray-code 入力 の電圧加算型 DAC を構成する (図 13) . 下記のパラメータで Gray-code 入力 V-DAC のシミュレーションを行った :

非反転加算回路の加算電圧: $V_1=0.1V$, $V_2=0.2V$, $V_3=0.4V$, $V_4=0.8V$; クロックの周期: $2ms$; デジタル入力範囲: $0\sim 1V$; アナログ出力範囲: $0\sim 15V$.

図 14 に示すように, 0000 ($0_{decimal}$) ~ 1000 ($15_{decimal}$) の Gray-code 入力に対し, $0V\sim 15V$ 範囲で $1V$ ずつ上がっていく出力が得られ, Gray-code 入力 V-DAC の動作を検証できていることがわかる.

〈3・4〉 Gray-code 入力 の I-DAC のシミュレーション

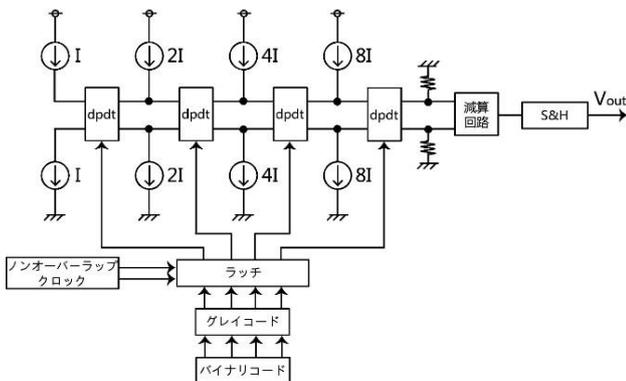


図 15 : Gray-code 入力 の電流出力型 DAC のブロック図
Fig. 15. Implementation of Gray-code input I-DAC

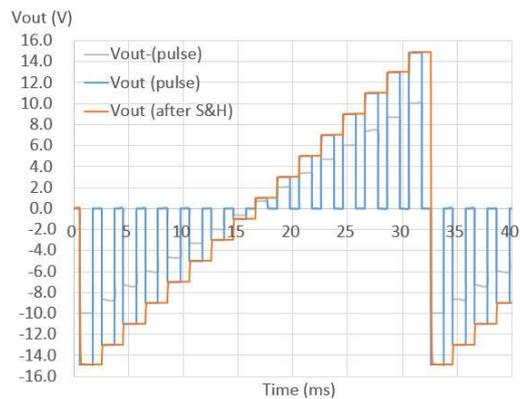


図 16 : Gray-code 入力 I-DAC のシミュレーション結果
Fig. 16. Simulation result of Gray-code input I-DAC

LTspice IV で Gray-code 入力 の電流出力型 DAC を構成する (図 15) . I_{out-} と I_{out+} は抵抗により電圧値に変わり, 減算回路に通じて S&H 回路に入る. 下記のパラメータで Gray-code 入力 I-DAC のシミュレーションを行った :

電流源: $I_3=8mA$, $I_2=4mA$, $I_1=2mA$, $I_0=1mA$; クロックの周期: $2ms$; デジタル入力範囲: $0\sim 1V$; アナログ出力範囲: $-15V\sim 15V$.

図 16 に示すように, 0000 ($0_{decimal}$) ~ 1000 ($15_{decimal}$) の Gray-code 入力に対し, $-15V\sim 15V$ 範囲で $2V$ ずつ上がっていく出力が得られ, Gray-code 入力 I-DAC の動作を検証できていることがわかる.

4 まとめ

本論文では Gray code の前後に隣接する符号間のハミング距離が必ず 1 であるという特性を活かし, スイッチングノイズやグリッチの低減できる Gray code 入力 の DAC が実現できることを示した Gray code 入力 の容量型 DAC, 電圧加算型 DAC と電流源型 DAC の三種類の構成を提案し, LTspice シミュレーションで動作確認を行った.

文 献

- (1) Franco Maloberti: "Data Converters", Springer, p83~p85, p97~p100, p107~p110, p113~p114, (2007)
- (2) Rudy van de Plassche: "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters (2nd Edition)", Kluwer Academic Publishers, p82~p83, (2003)
- (3) Haruo Kobayashi, Toshiya Mizuta, Kenji Uchida, et. al: "A High-Speed 6-Bit ADC Using SiGe HBT", IEICE Trans. Fundamentals, vol. E81-A, no.3 (Mar. 1998)
- (4) Congbing Li, Haruo Kobayashi: "A Glitch-Free Time-to-Digital Converter Architecture Based on Gray Code", IEEE Trans. EIS, Vol.136, No.1, 2016
- (5) Norman C. Seiler: "GRAY CODE DAC LADDER", US Patent: 4591826, (May 27, 1986)
- (6) Simon Voigt Nesboe, Xingguo Xiong: "Gray-code Digital-to-Analog Converters (DACs) for Glitch Reduction", ASEE 2014
- (7) Phillip E. Allen, Douglas R. Holberg: "CMOS Analog Circuit Design (Second Edition)", Oxford University Press, p630~p632, (2002)
- (8) 相良岩男「A/D・D/A 変換回路入門 (第 3 版)」, 日刊工業新聞社, p112~p115, (2012)