

# 確率的バーニア型TDC

王俊善

李ツオビン 小林春夫

# アウトライン

## ◆研究背景、目的

## ◆時間ディジタイザ回路の回路構成と動作原理

- フラッシュ型TDC
- バーニア型TDC
- 確率型TDC
- 確率的バーニア型TDC

## ◆ヒストグラム法を用いて自己校正

## ◆実験データ分析

## ◆まとめ

# アウトライン

## ◆研究背景、目的

## ◆時間ディジタイザ回路の回路構成と動作原理

- フラッシュ型TDC
- バーニア型TDC
- 確率型TDC
- 確率的バーニア型TDC

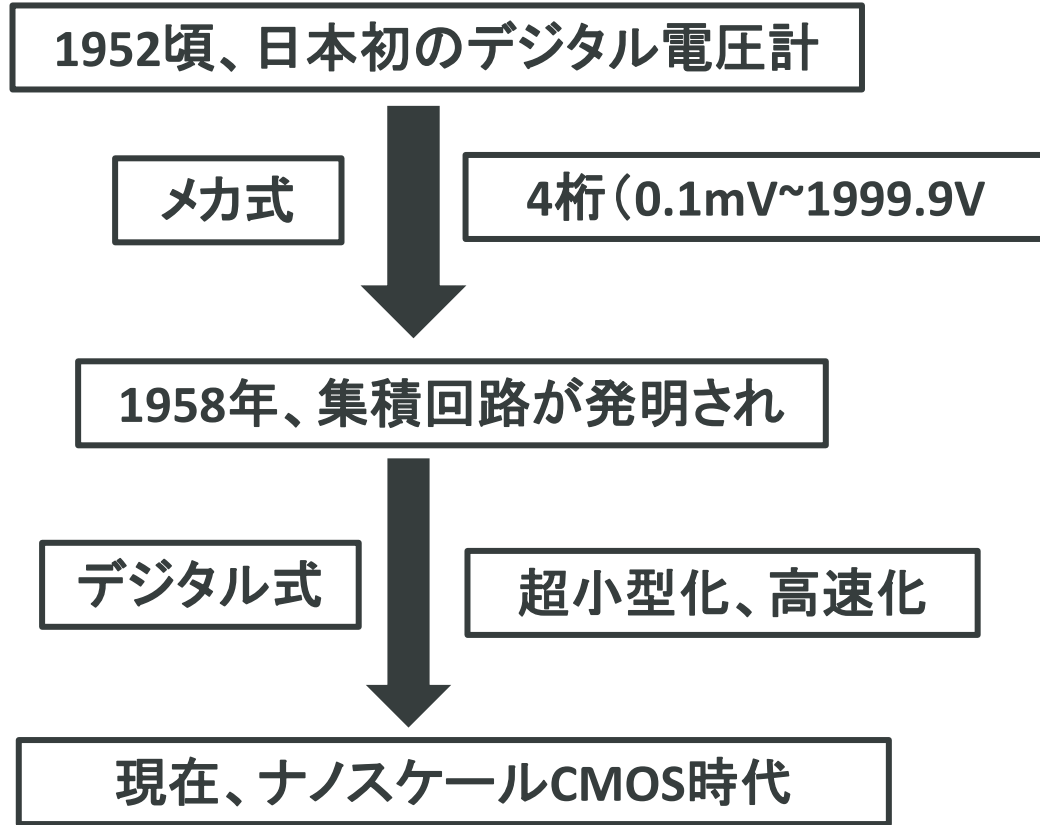
## ◆ヒストグラム法を用いて自己校正

## ◆実験データ分析

## ◆まとめ

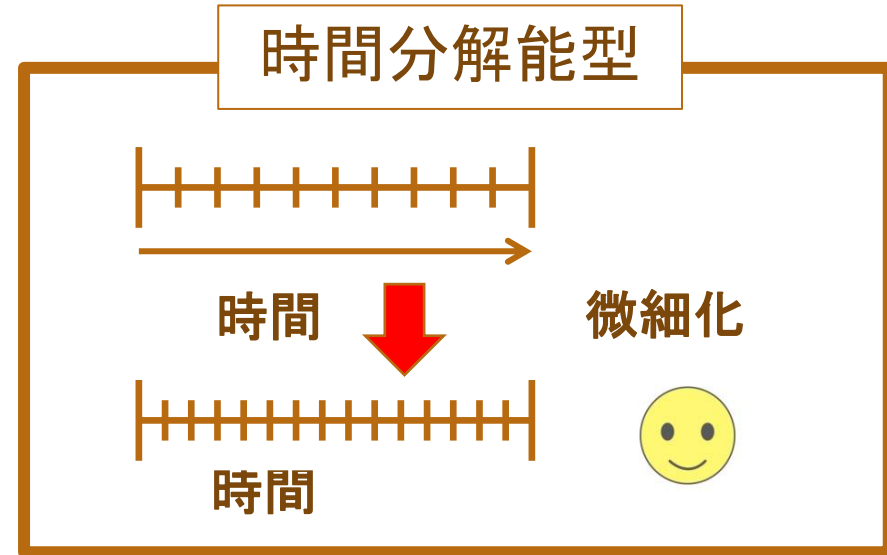
# 研究背景

## 電圧領域



- ・トランジスタ利得が低下
- ・素子バラつきが増大
- ・低電圧化によりS/Nが劣化

## 時間領域



時間分解能型アナログ回路の開発が重要

時間ディジタイザ回路(TDC)重要

僅か30年ほどの歴史

# 研究背景

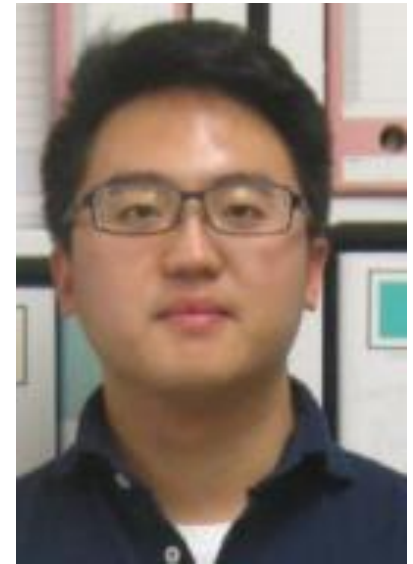
TDCは誰？



私の弟だよ



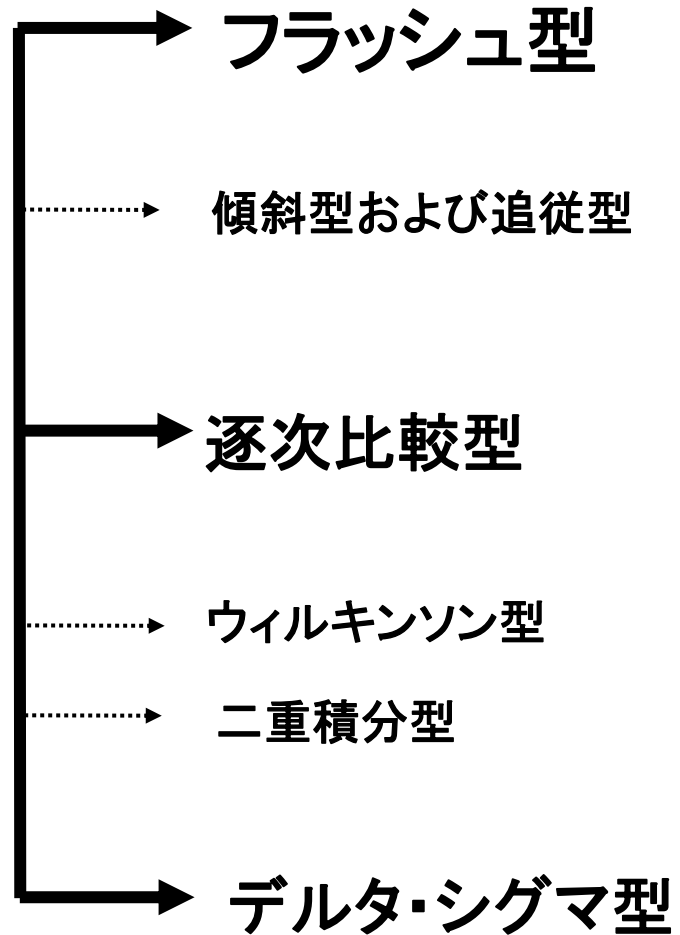
ADC兄



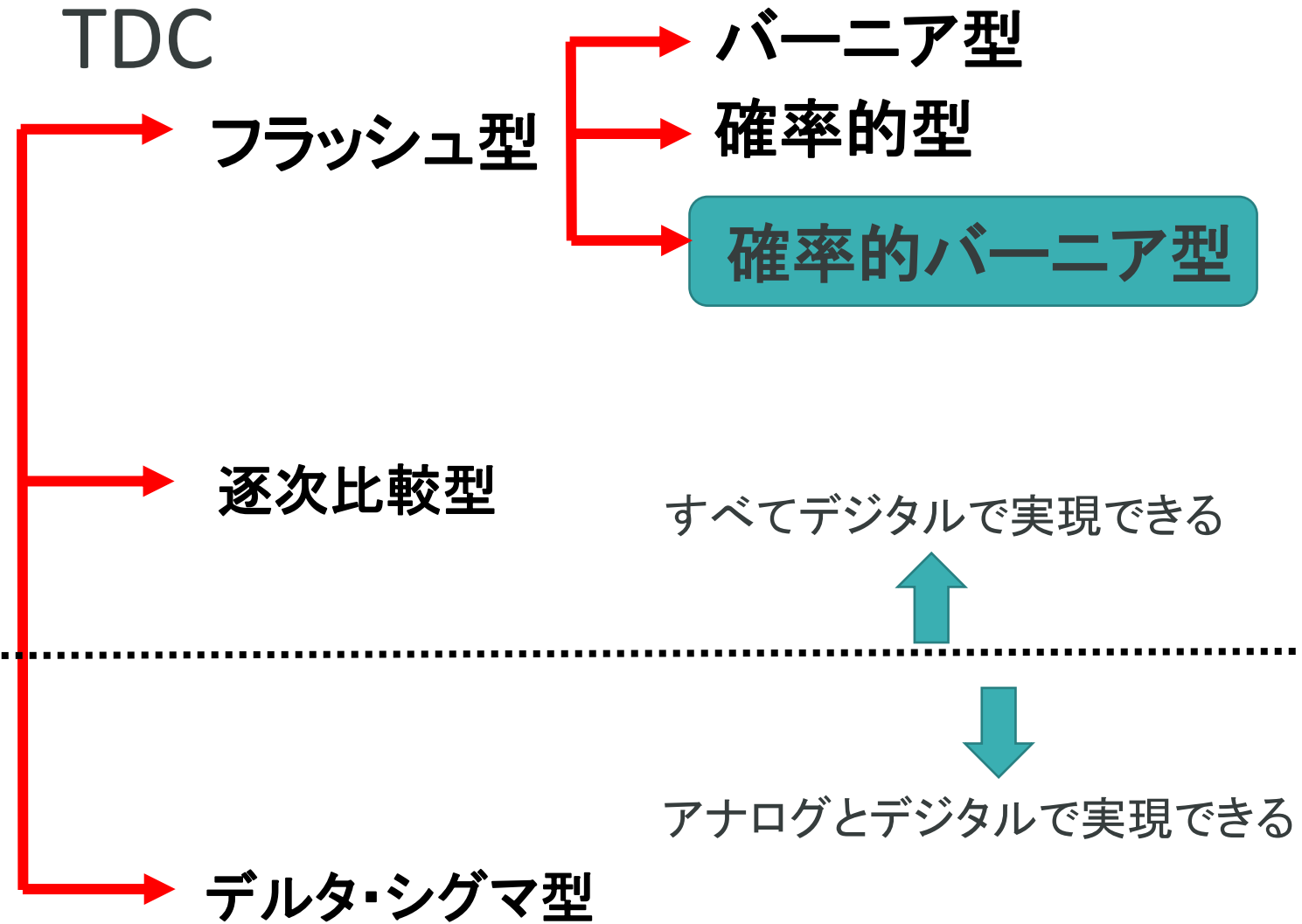
TDC弟

# 研究背景

ADC



TDC



# 研究目的

高分解能

確率的アーキテクチャ

高線形性

自己校正技術

素子のばらつきを利用し、細かい時間分解能を得られる確率的バーニア型TDCが  
自己校正技術を用いた線形性の改善

# アウトライン

## ◆研究背景、目的

## ◆時間ディジタイザ回路の回路構成と動作原理

- フラッシュ型TDC
- バーニア型TDC
- 確率型TDC
- 確率的バーニア型TDC

## ◆ヒストグラム法を用いて自己校正

## ◆実験データ分析

## ◆まとめ

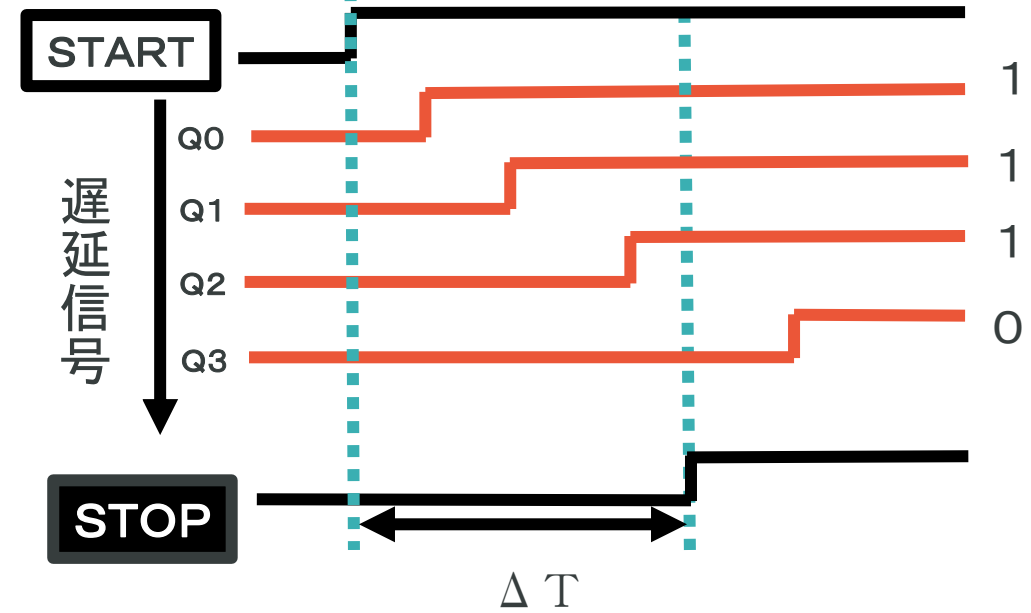
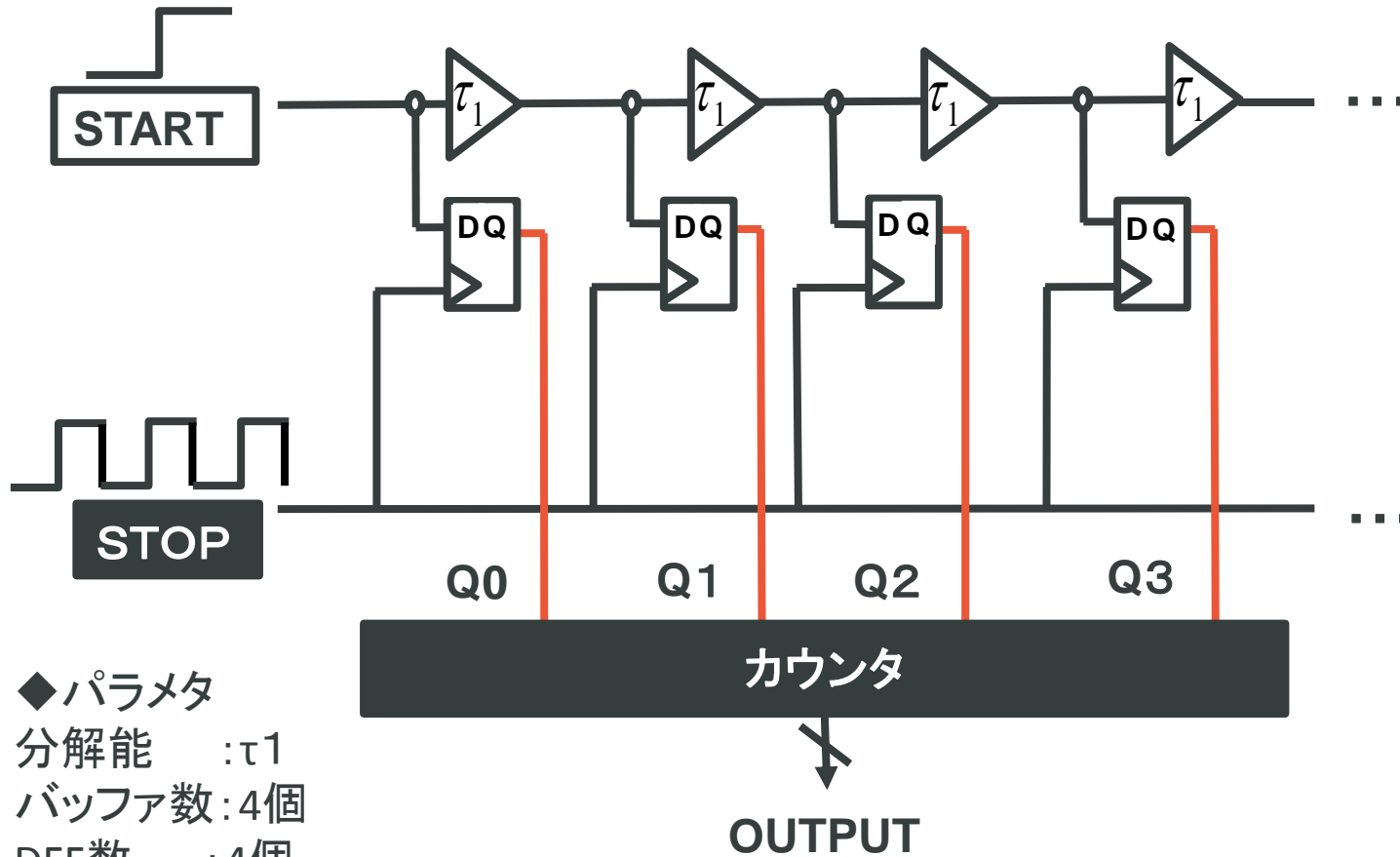


# フラッシュ型TDCの回路図と動作原理

■ 時間間隔 → 計測 → デジタル値

全てデジタル回路で実現

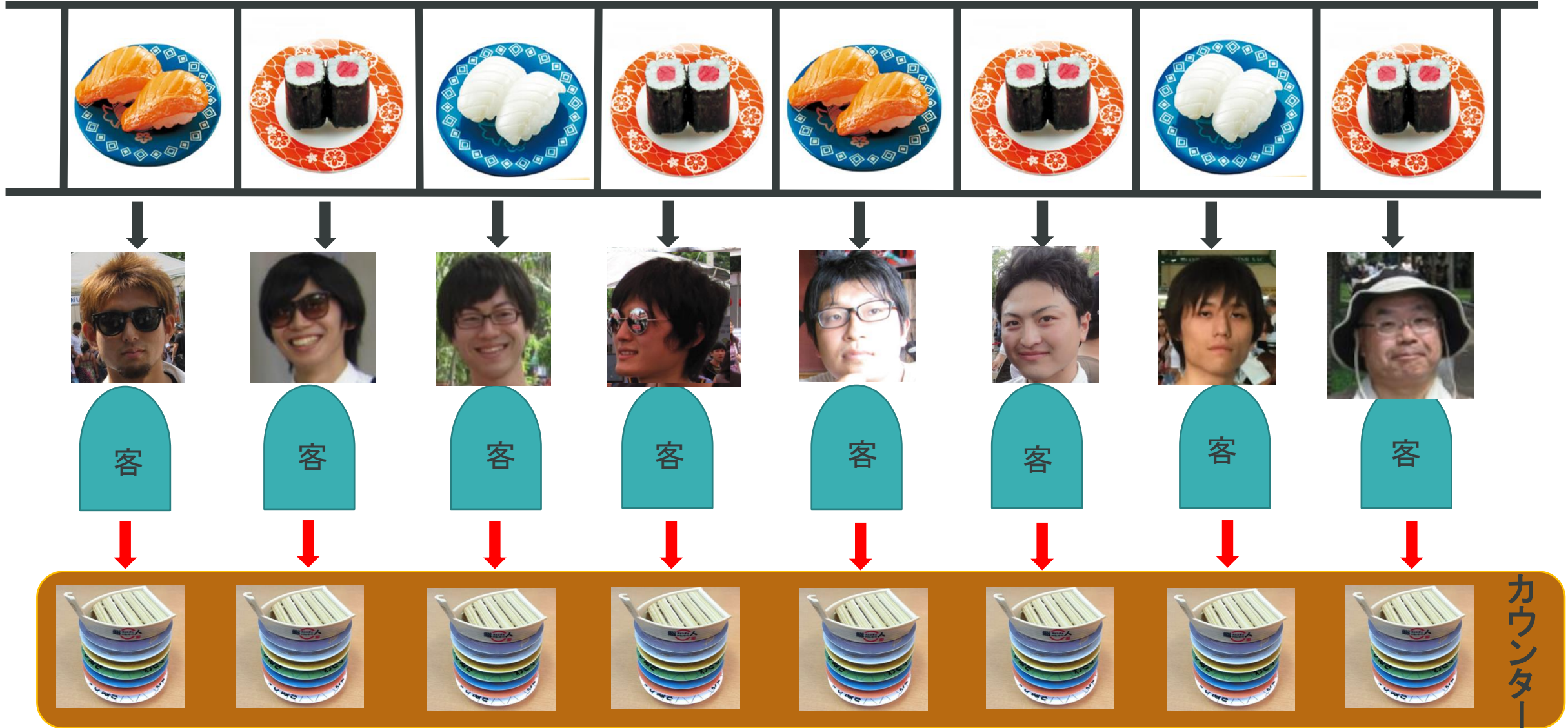
タイムチャット



- ◆ パラメタ
- 分解能 :  $\tau_1$
- バッファ数 : 4個
- DFF数 : 4個

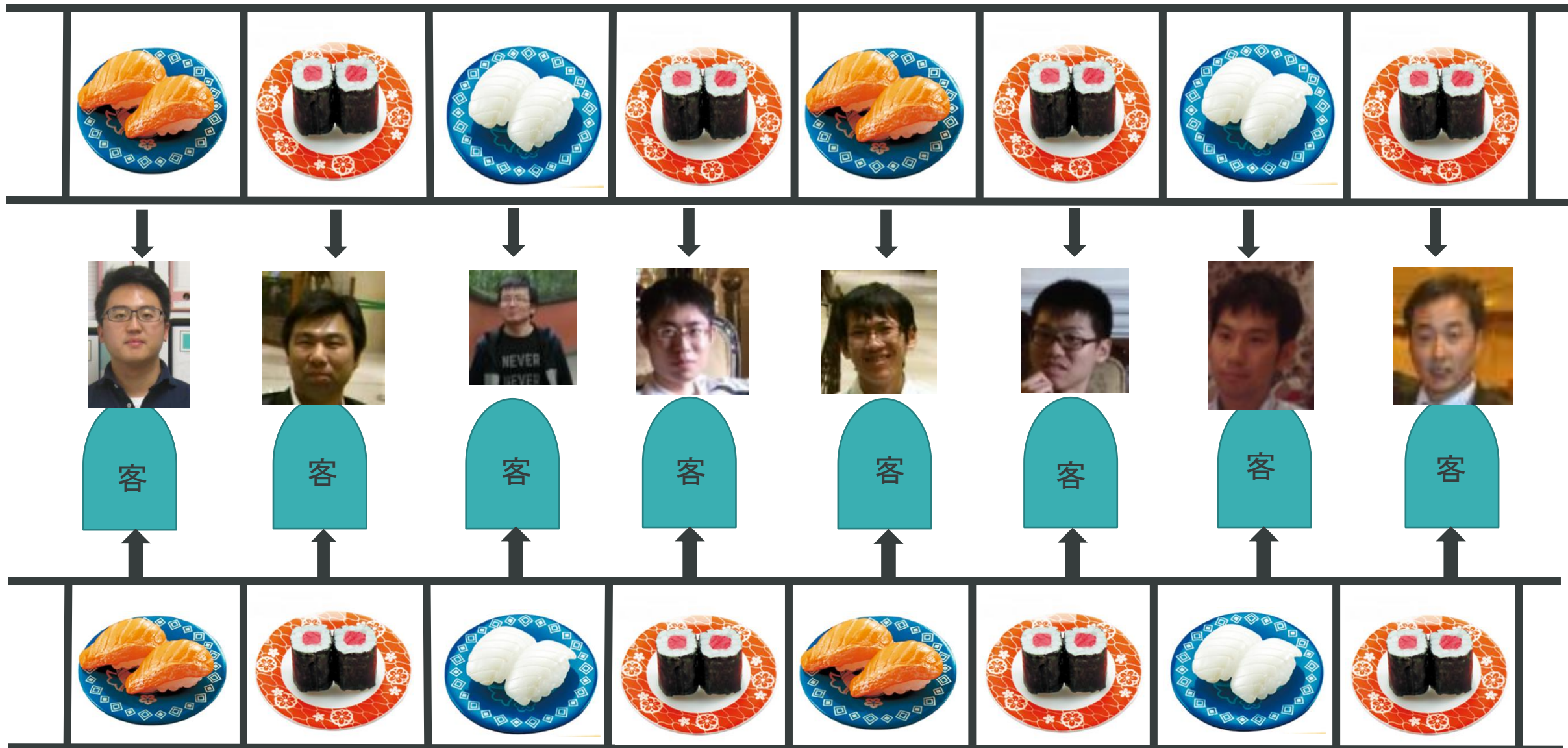
# フラッシュ型時間ディジタイゼ回路のイメージ図

提供時間の速さ=TDCの分解能



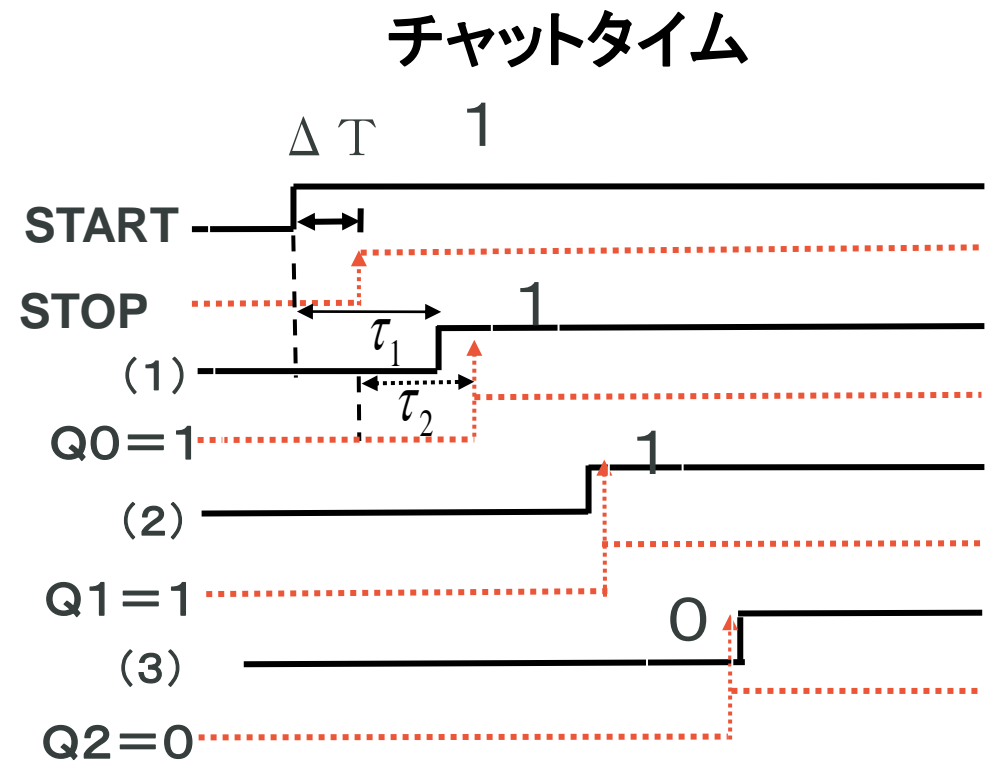
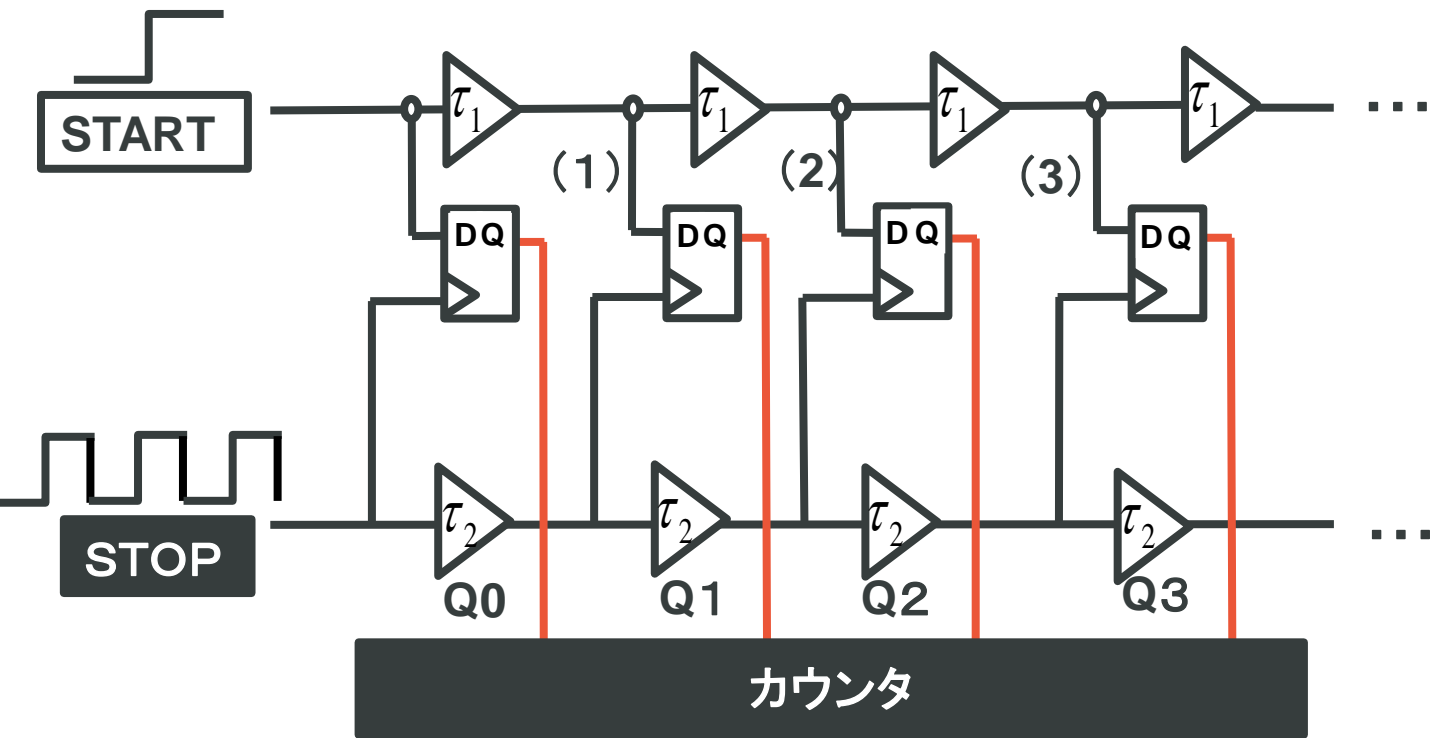
# バーニア型時間デジタル回路のイメージ図

提供時間の速さ=TDCの分解能



# バーニア型TDC回路図と動作原理

■ 時間間隔 → 計測 → デジタル値



◆ パラメタ

分解能 :  $\tau_1 - \tau_2$  ( $\tau_1 > \tau_2$ )

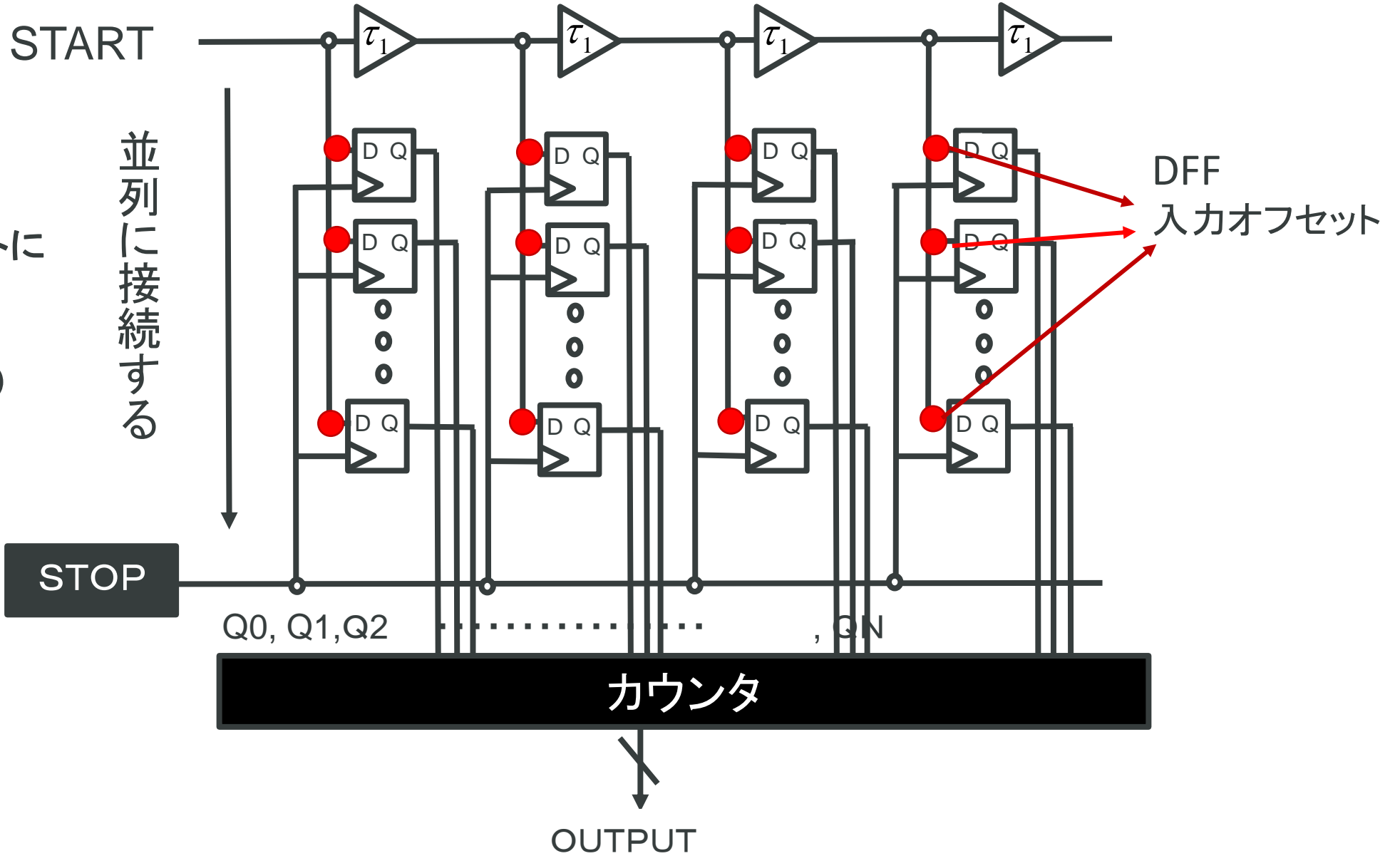
バッファ数 : 8 ( $2 \times 4$ )

DFF数 : 4個

OUTPUT

# 確率型時間デジタル化回路の回路図

- ◆パラメタ
- 分解能: DFFのオフセットに依存
- バッファ: 4個 (2ビット)
- DFF数: 20個 (5段×4)

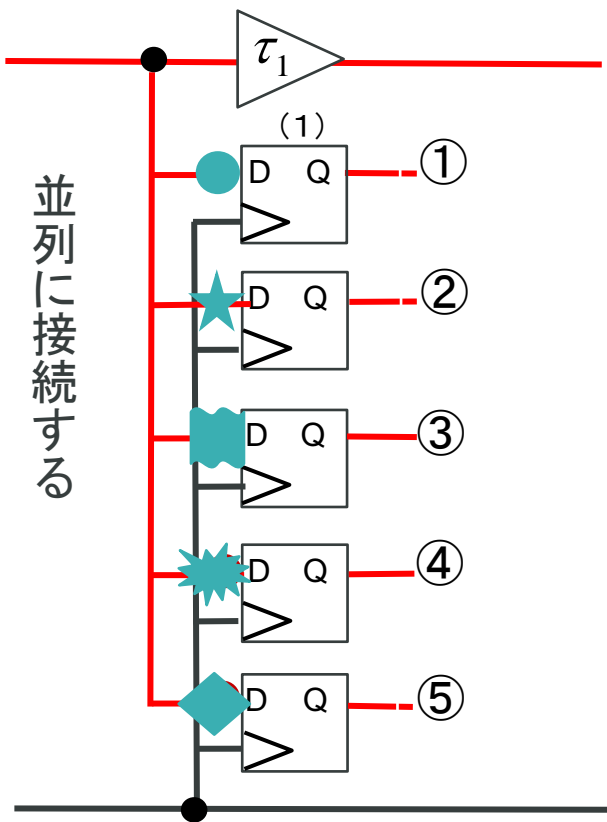


# 確率型時間ディジタイザ回路の動作原理

DFFの入力オフセットばらつき



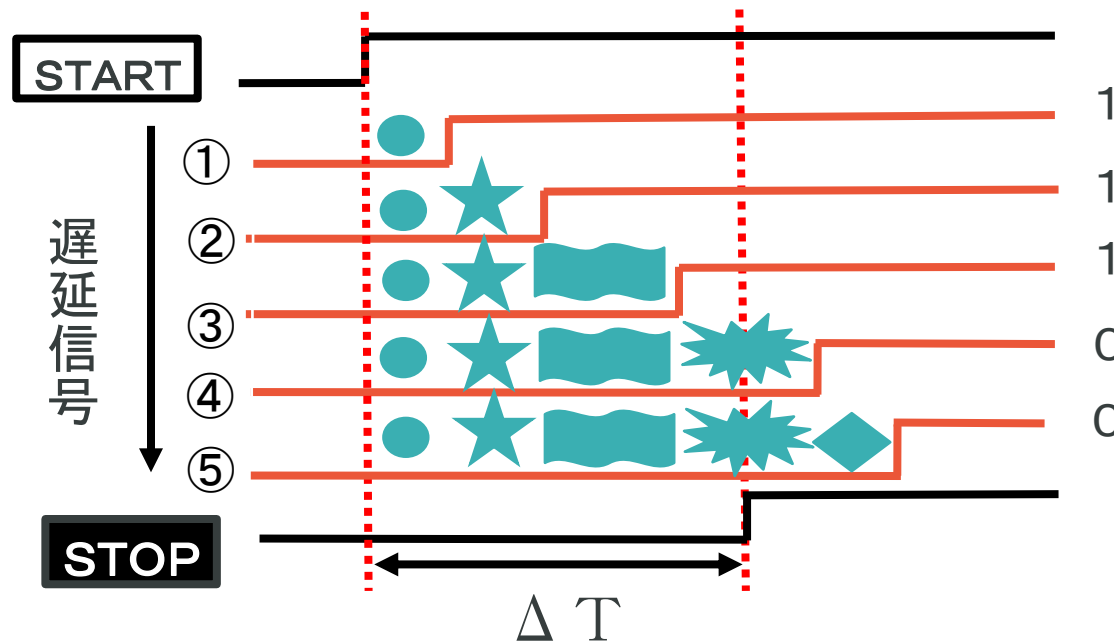
START



並列に接続する

STOP

タイムチャット



START

遅延信号

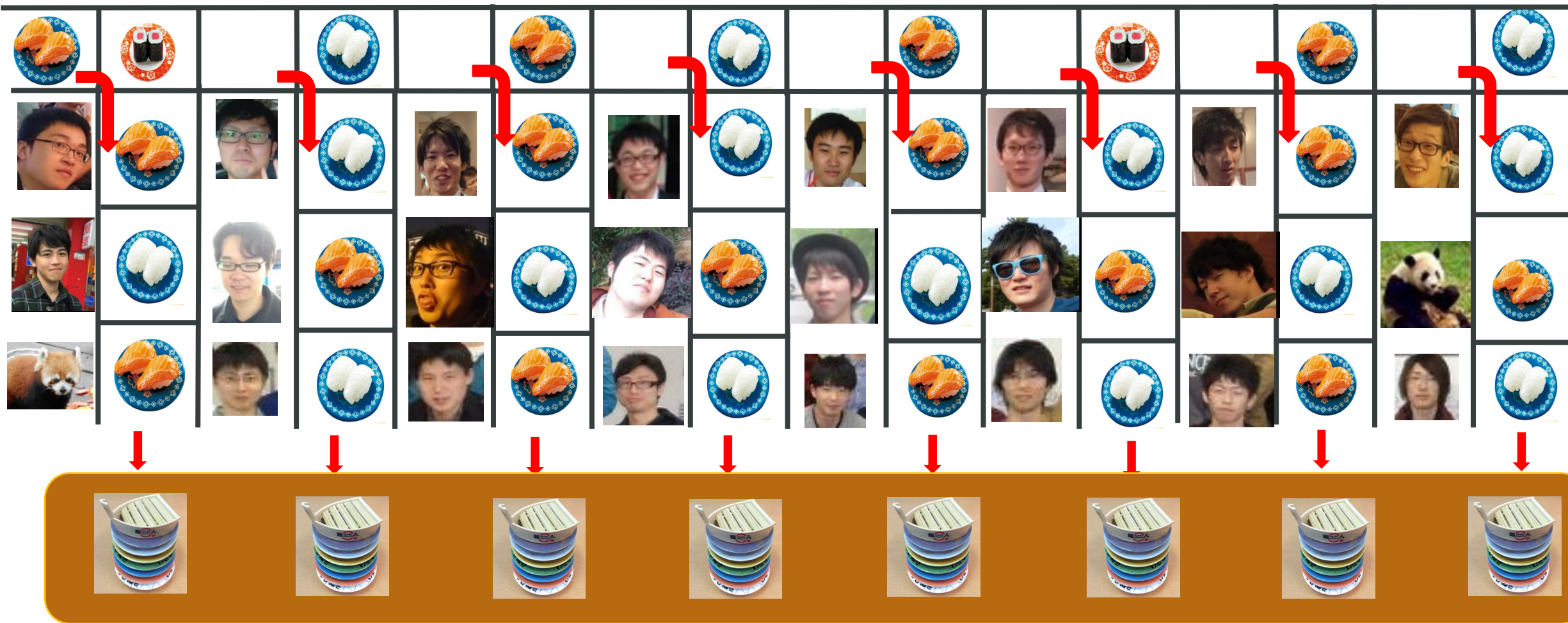
STOP

$\Delta T$



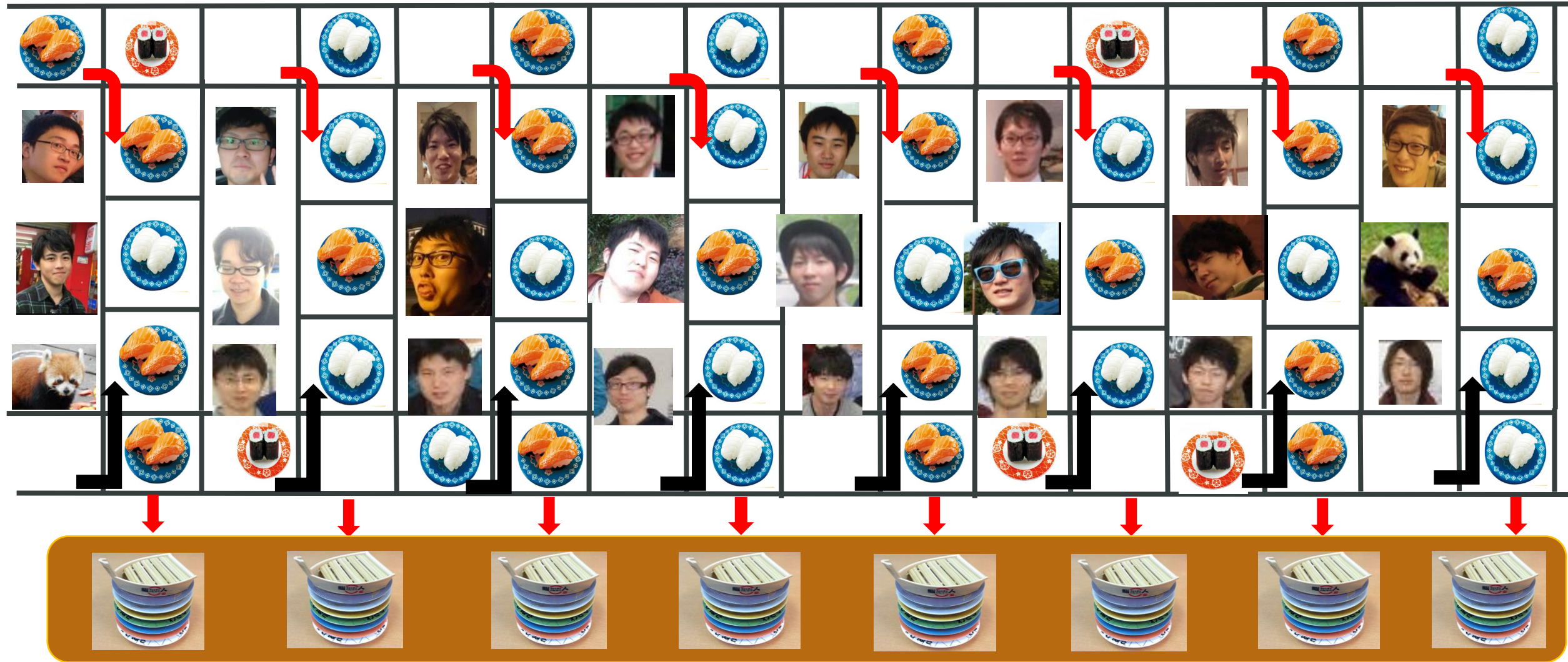
# 確率型時間ディジタイザ回路のイメージ図

お客様の人数 = TDCの分解能



# 確率的バーニア型時間ディジタイザ回路の回路構成と動作原理

TDCの分解能 = お客様の人数 + 提供時間

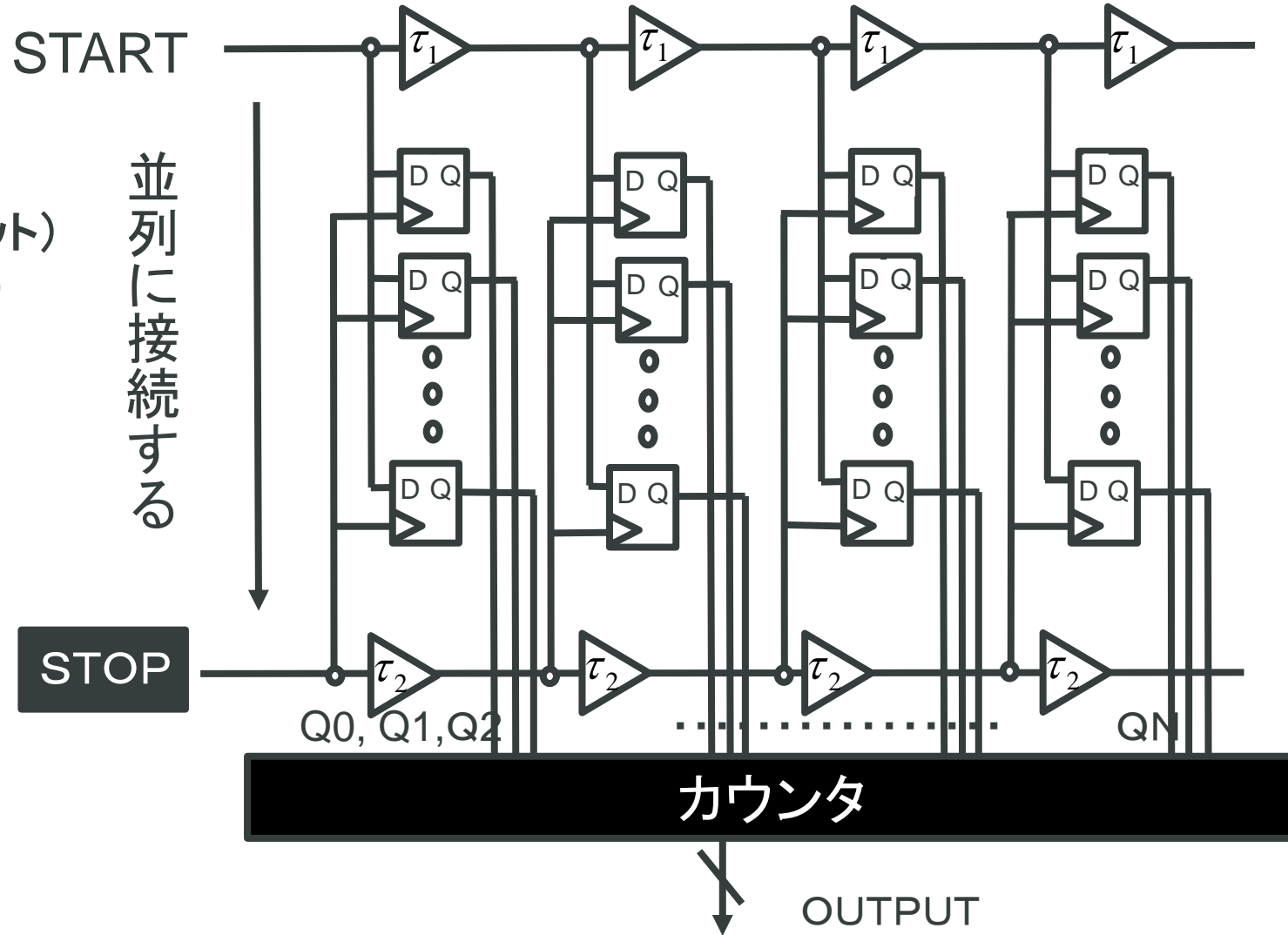




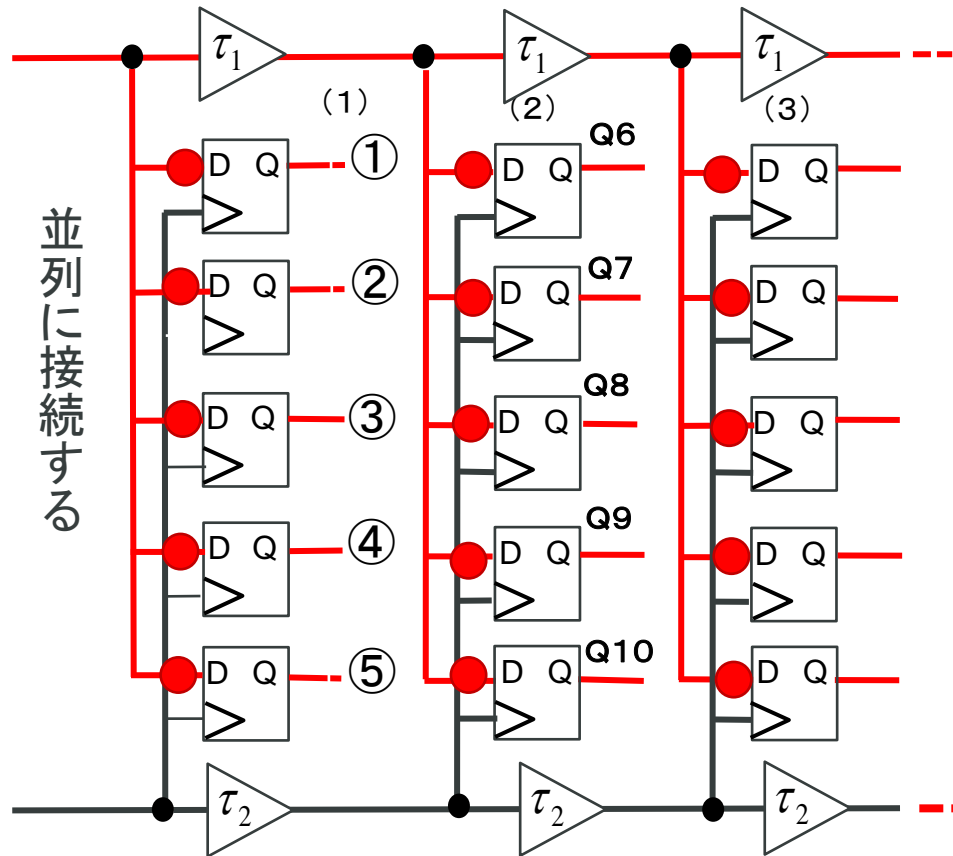
# 確率的バーニア型時間ディジタイザ回路図

( $\tau_1 - \tau_2$ )より更なる高分解能

- ◆パラメタ
- バッファ: 8個 (2×2ビット)
- DFF数: 20個 (5段×4)



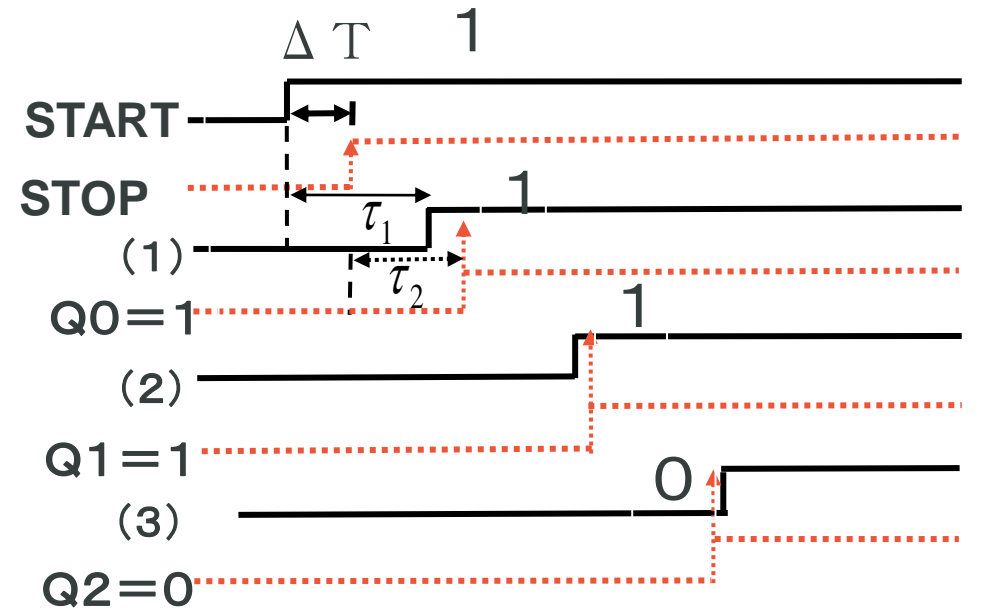
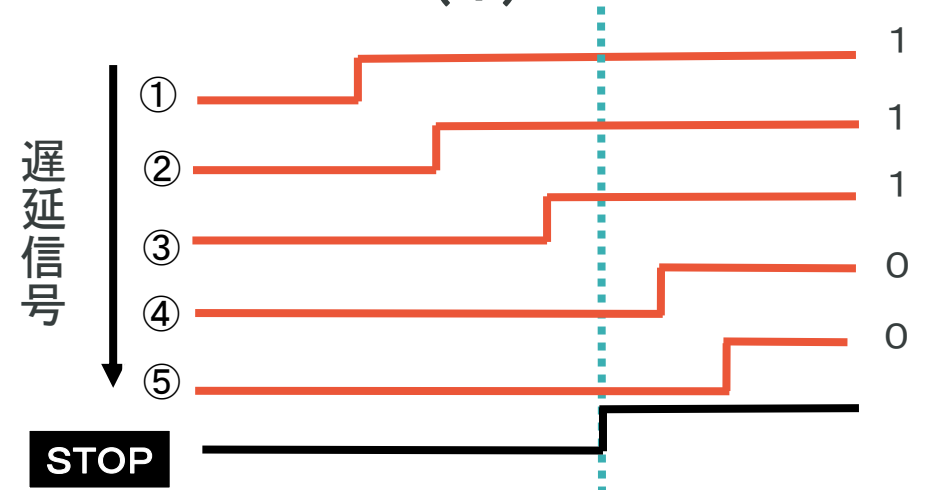
START



STOP

## タイムチャット

(1)



# アウトライン

## ◆研究背景、目的

## ◆時間ディジタイザ回路の回路構成と動作原理

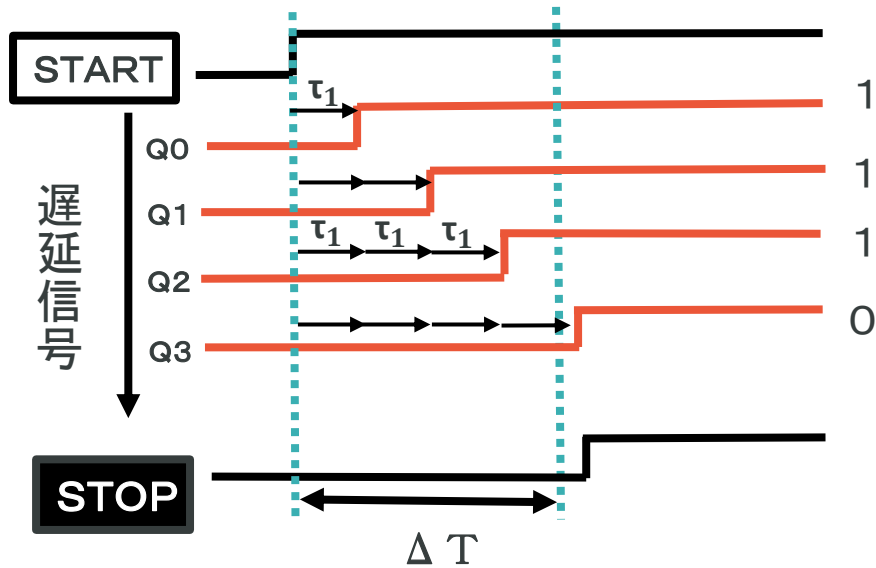
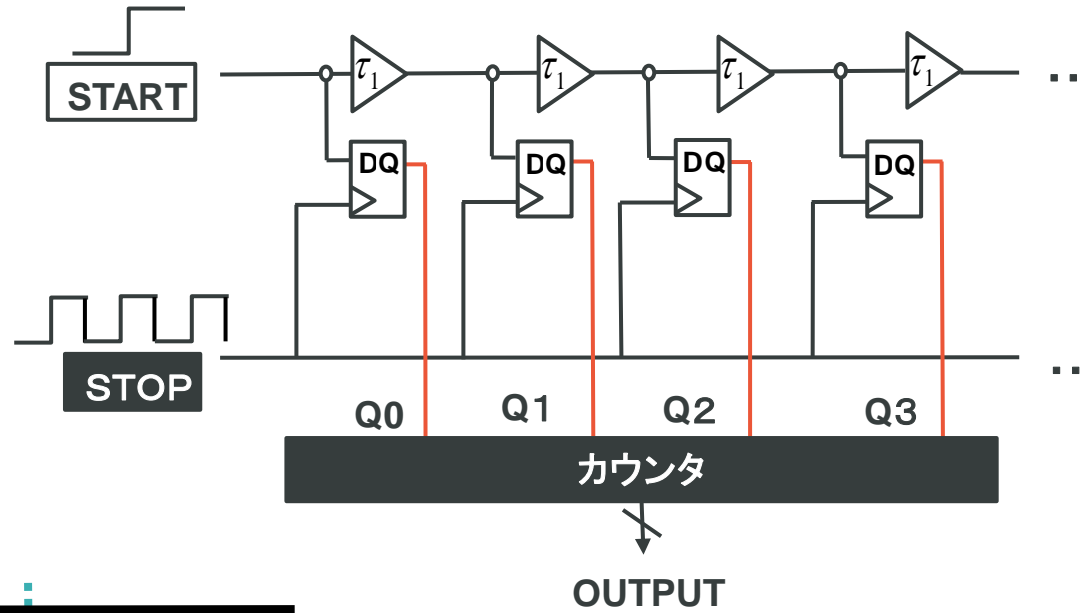
- フラッシュ型TDC
- バーニア型TDC
- 確率型TDC
- 確率的バーニア型TDC

## ◆ヒストグラム法を用いて自己校正

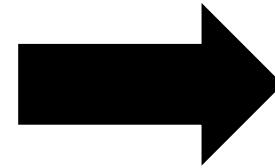
## ◆実験データ分析

## ◆まとめ

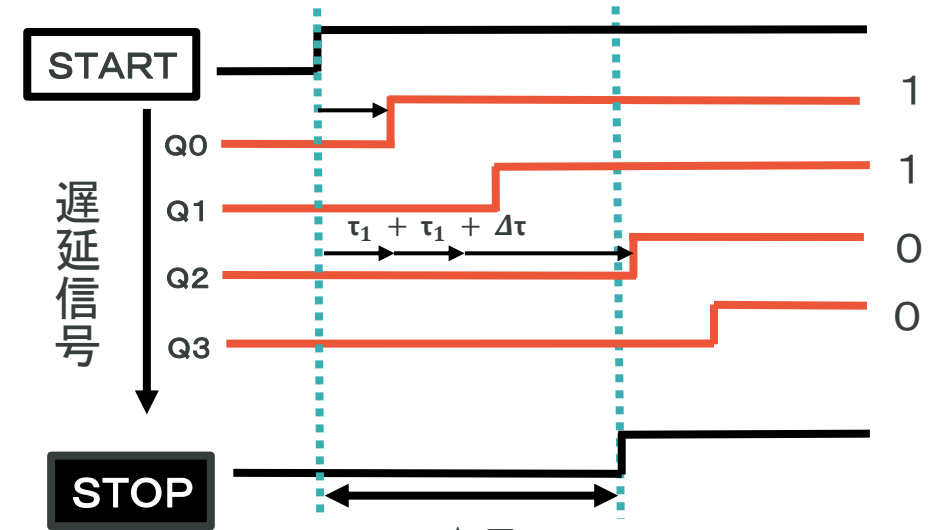
# ばらつきの影響



(a)ばらつきなし

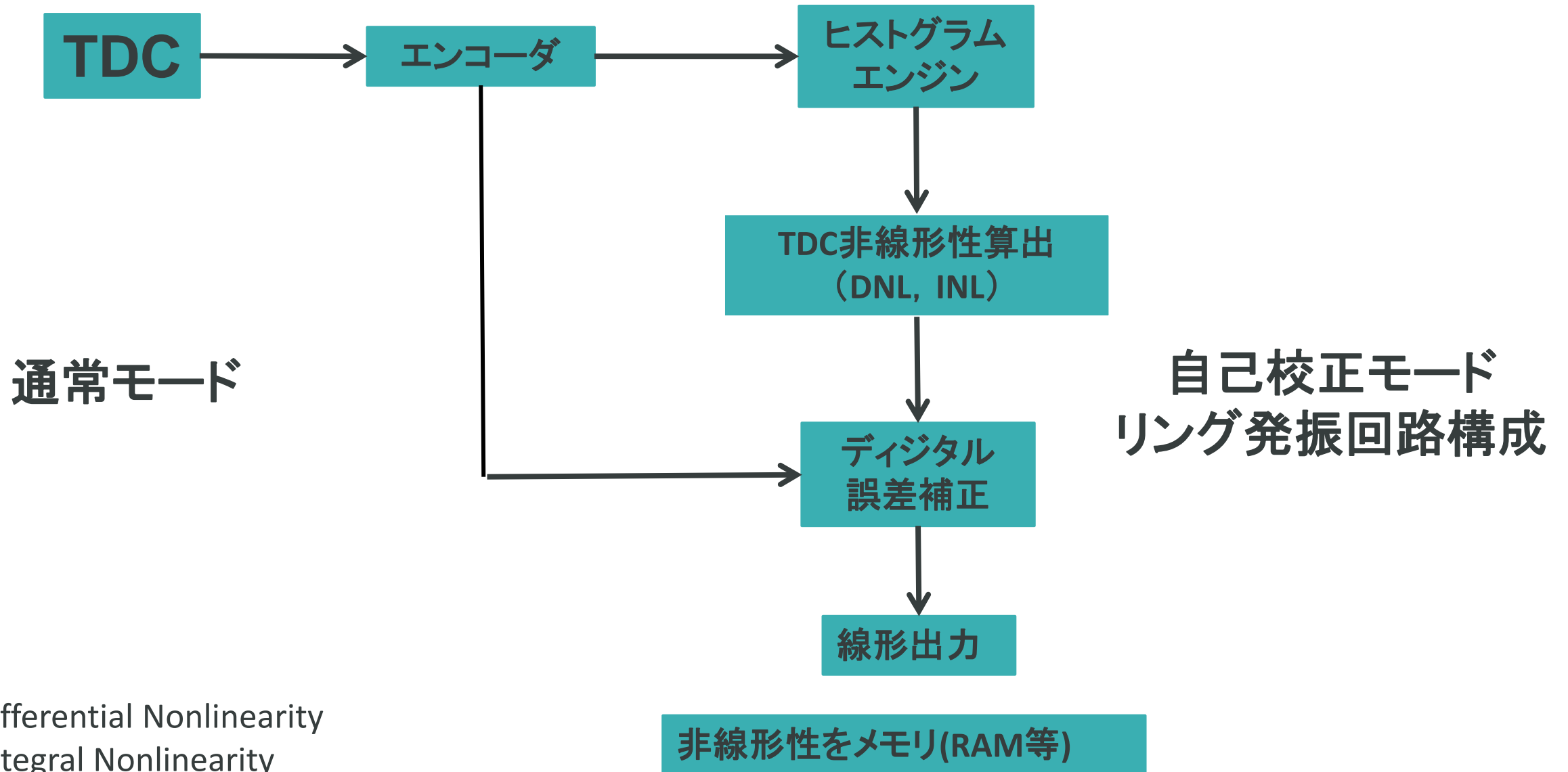


## タイムチャット

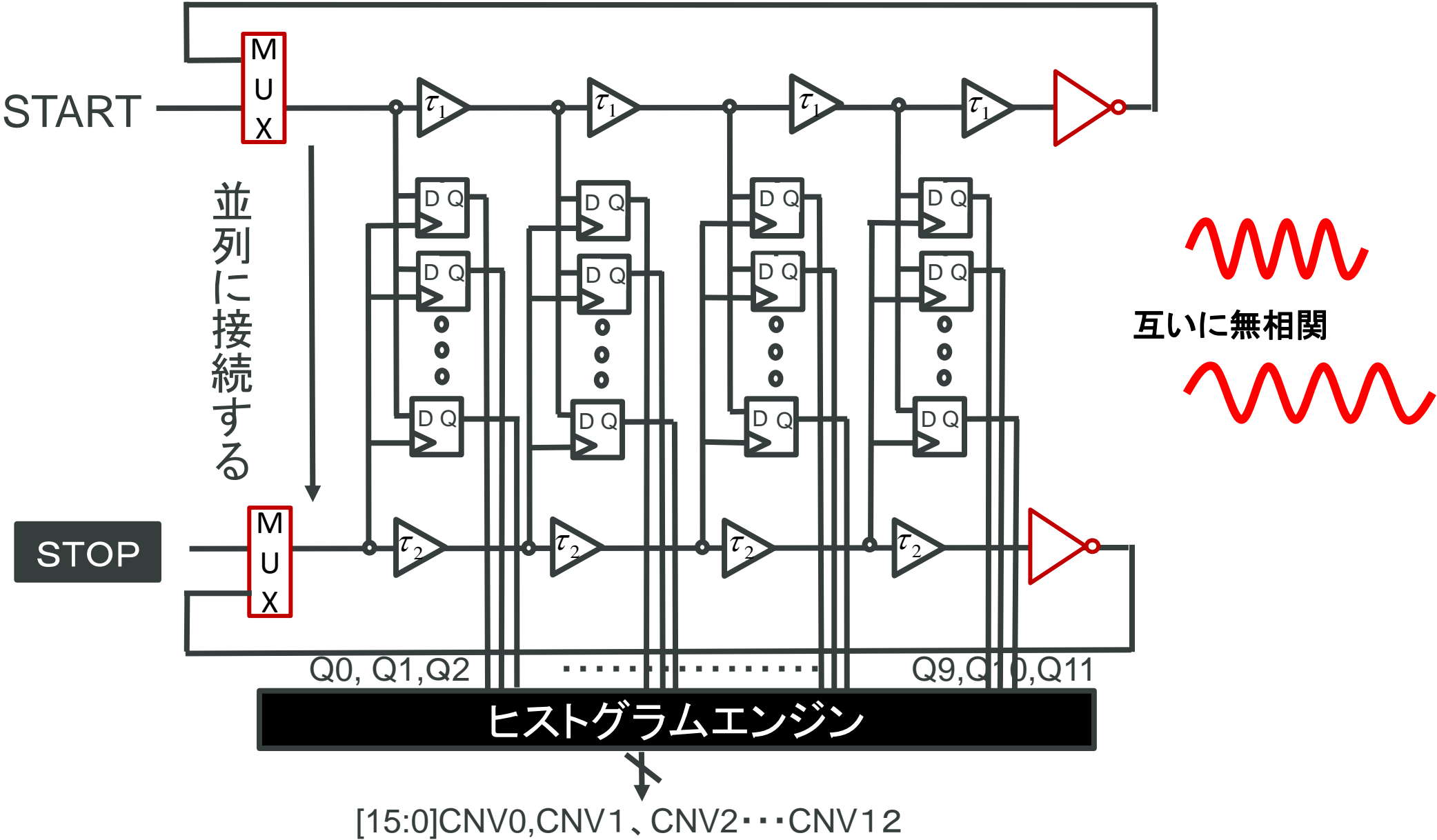


(b)ばらつきあり

# 自己校正のブロック図



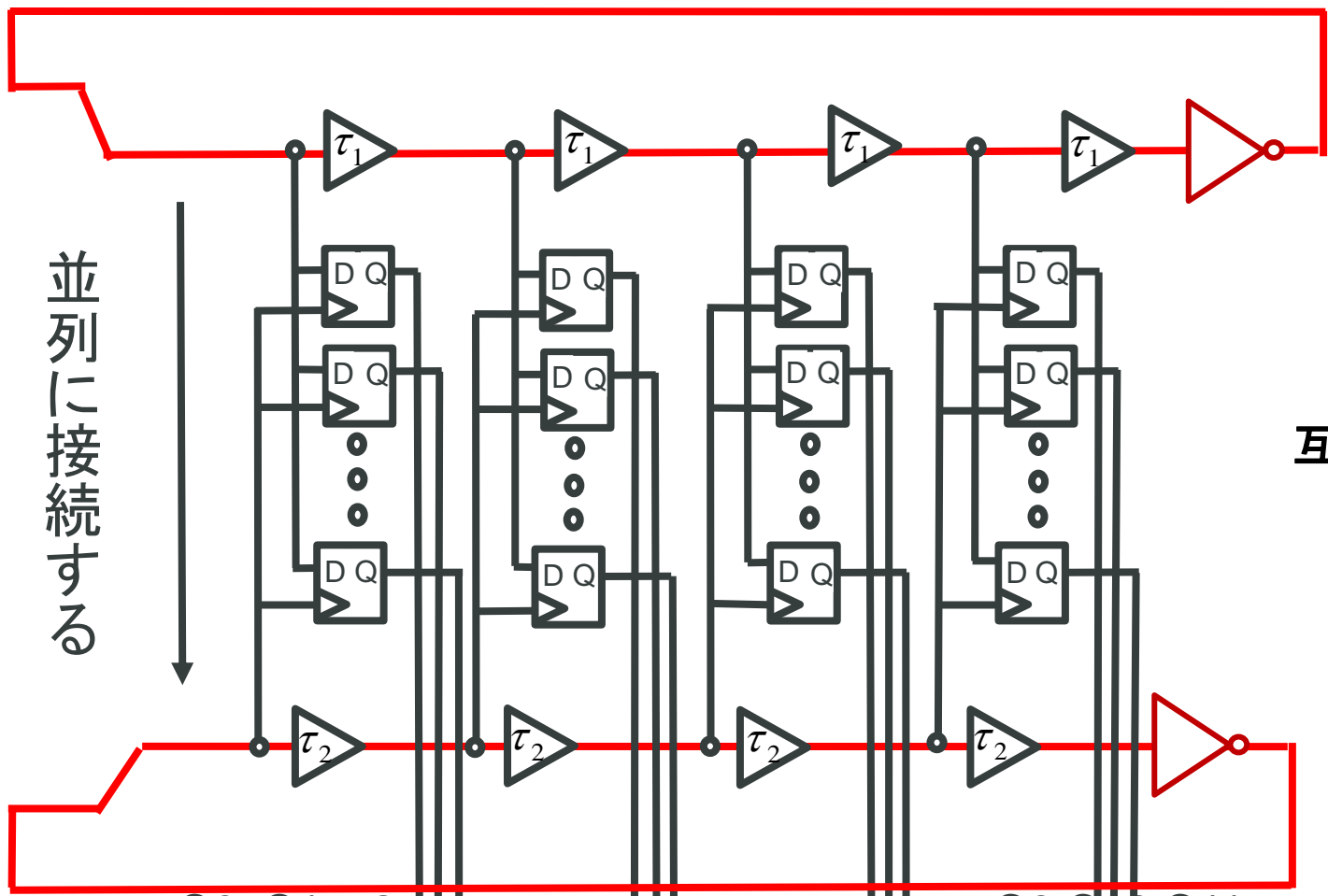
# 自己校正機能を備えた確率型時間ディジタイザ回路の回路構成と



# 自己校正モード確率型時間ディジタイザ回路の回路構成と動作原理

自己校正モード

START



並列に接続する

STOP

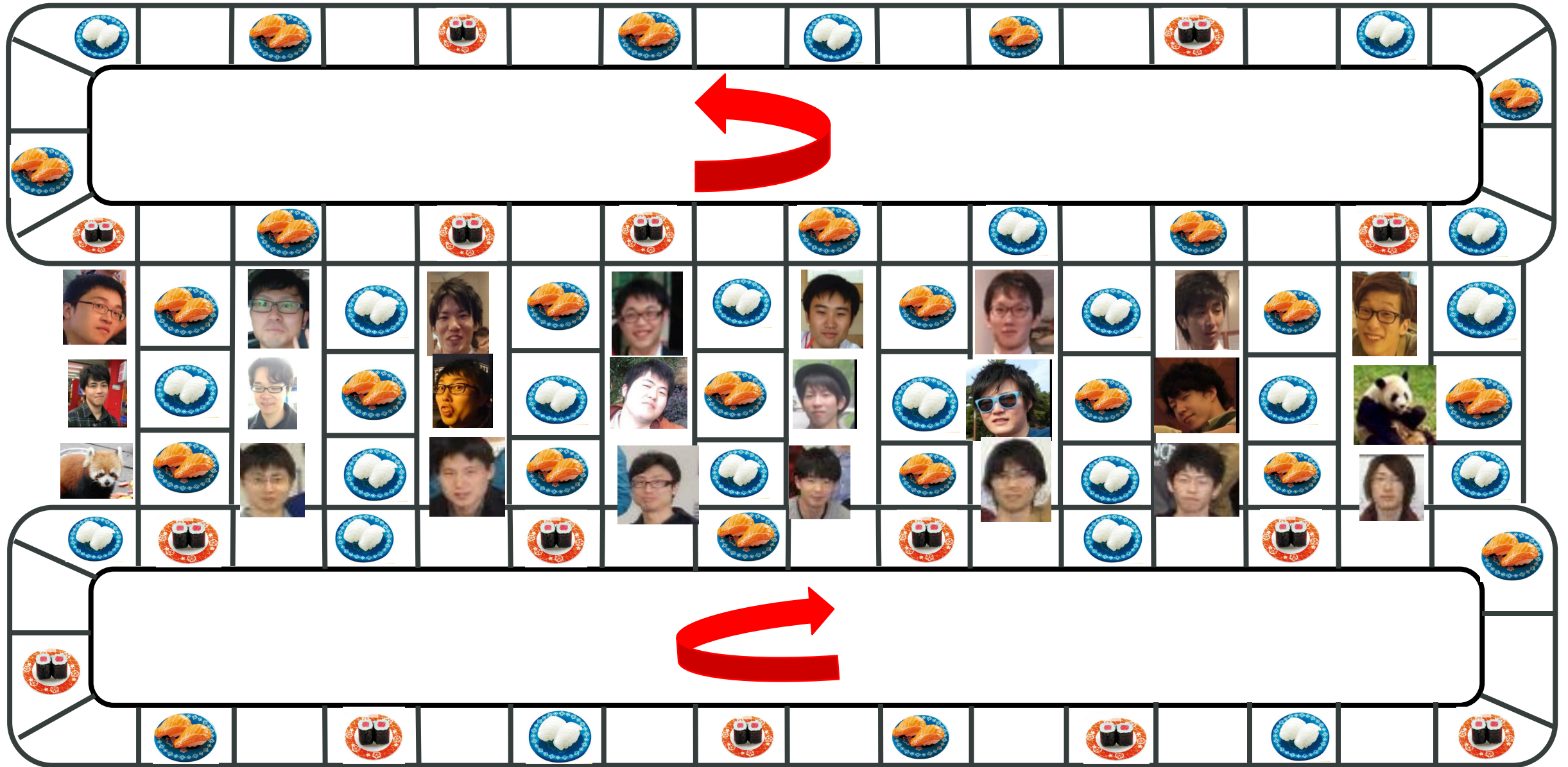
互いに無相関

Q0, Q1, Q2 ..... Q9, Q10, Q11

ヒストグラムエンジン

[15:0]CNV0, CNV1, CNV2...CNV12

# 確率的バーニア型時間ディジタイザ回路の回路構成と動作原理





# 自己校正アルゴリズム

自己校正モード

両方のリング発振器は同期していない(無相関)

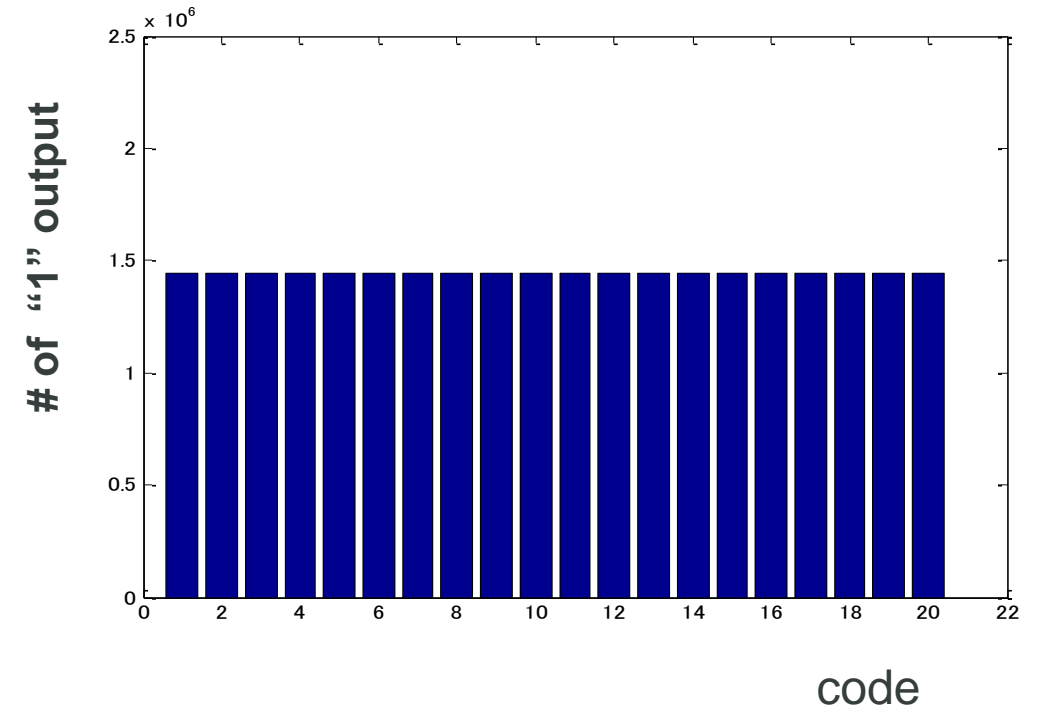


TDCが完全に線形(ばらつきなし)

各出現コードの確率が等しい

- ・ 充分多くの点数をとれば各デジタルコードのヒストグラムは同一になる
- ・ TDCのヒストグラムデータからDNL, INL を計算

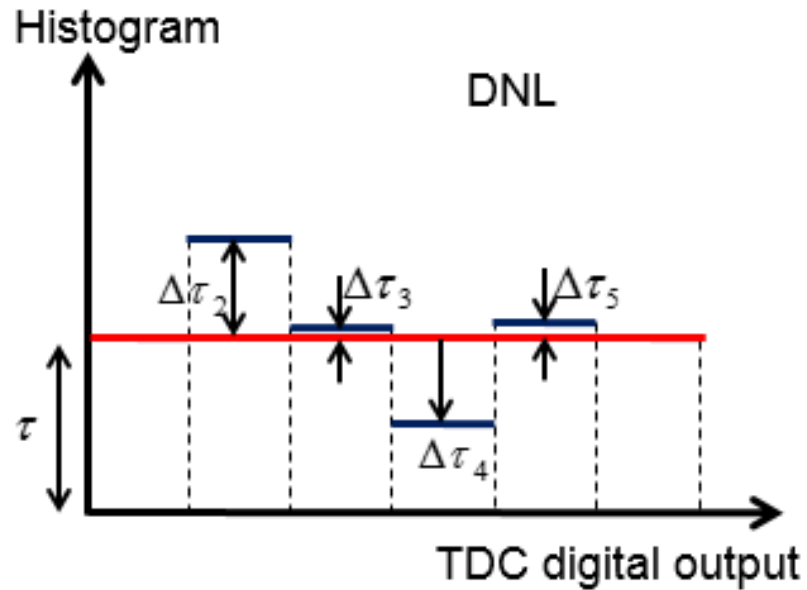
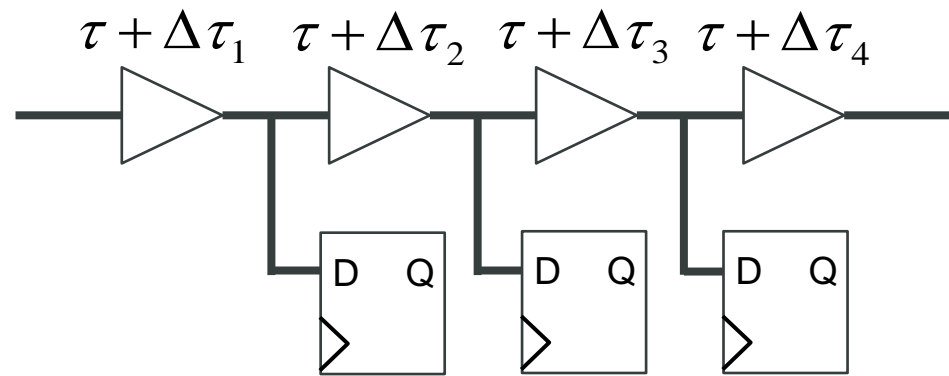
ヒストグラム



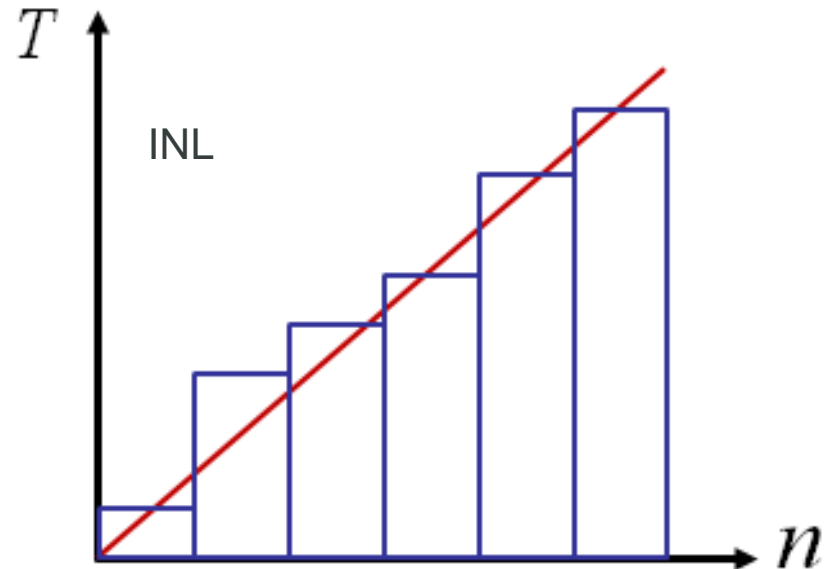
# 自己校正アルゴリズム

## 非線形TDC

遅延バッファ



- ADCヒストグラムテスト:  
高純度なランプ波、正弦波が必要
- TDCヒストグラムテスト:  
リング発振構成でよい  
⇒ 容易にDNL測定が可能



# アウトライン

## ◆研究背景、目的

## ◆時間ディジタイザ回路の回路構成と動作原理

- フラッシュ型TDC
- バーニア型TDC
- 確率型TDC
- 確率的バーニア型TDC

## ◆ヒストグラム法を用いて自己校正

## ◆実験データ分析

## ◆まとめ

◆パラメタ  
バッファ数:3ビット  
DFF数:400個  
 $\tau_1$ :600ps  
 $\tau_2$ :4fs

START

並列  
50段



1

2

STOP

MUX

MUX

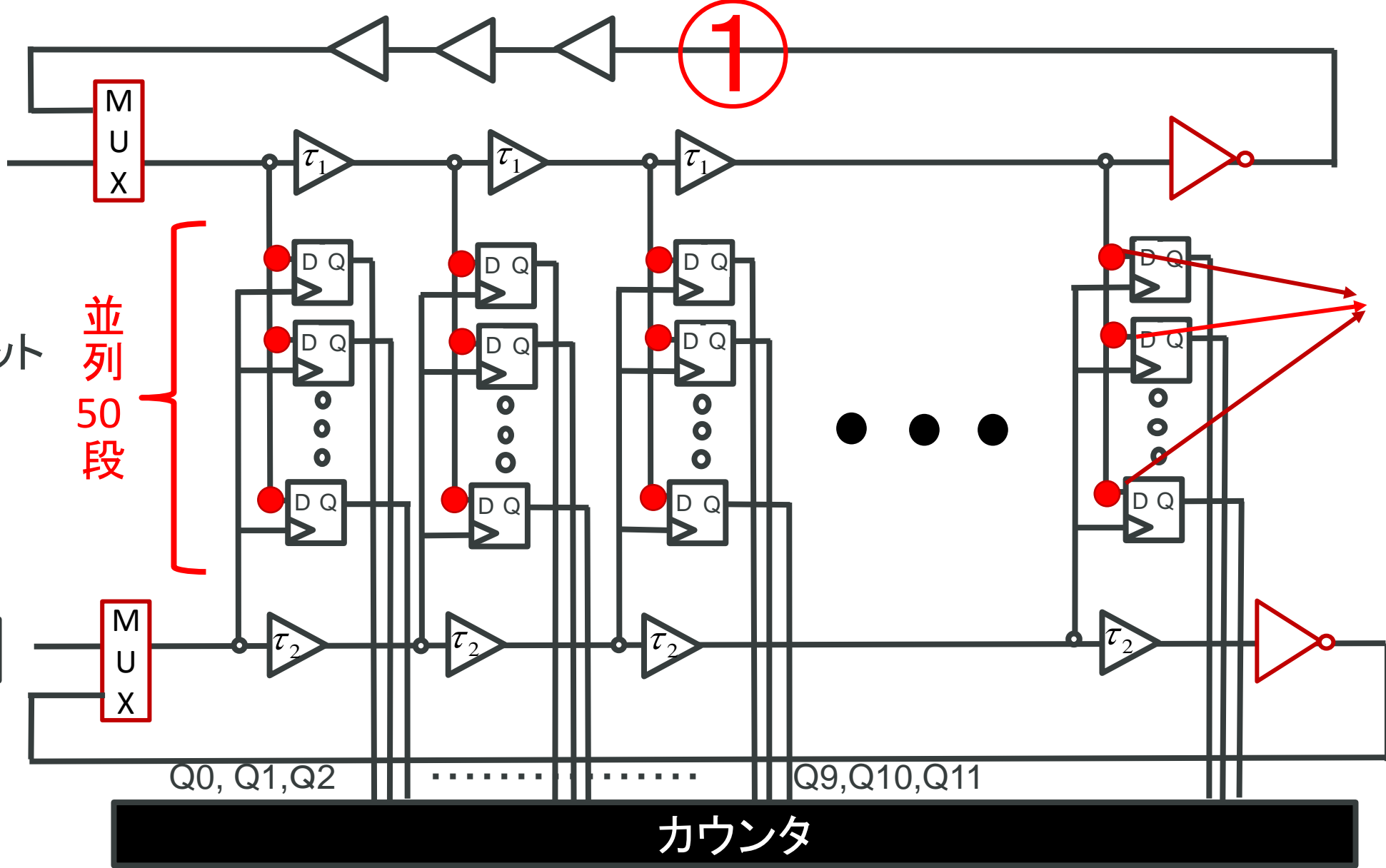
Q0, Q1, Q2

.....

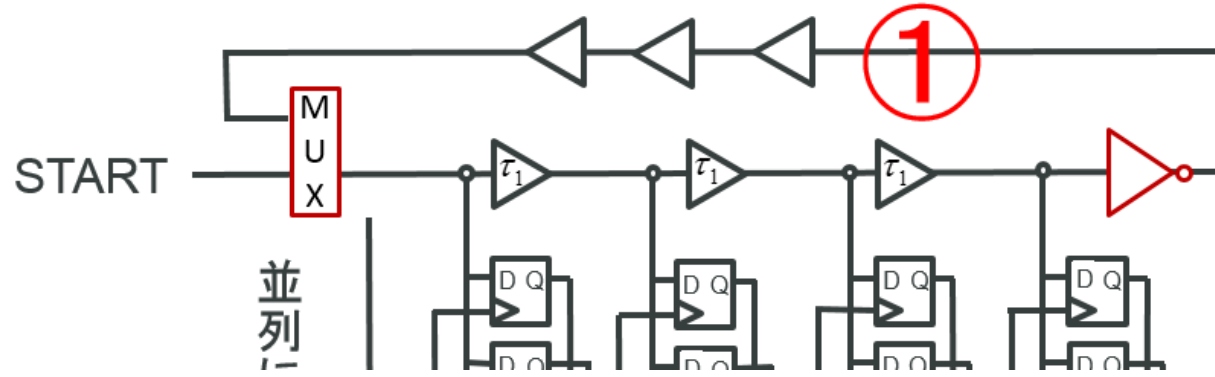
Q9, Q10, Q11

カウンタ

[15:0]CNV0,CNV1,CNV2...CNV12

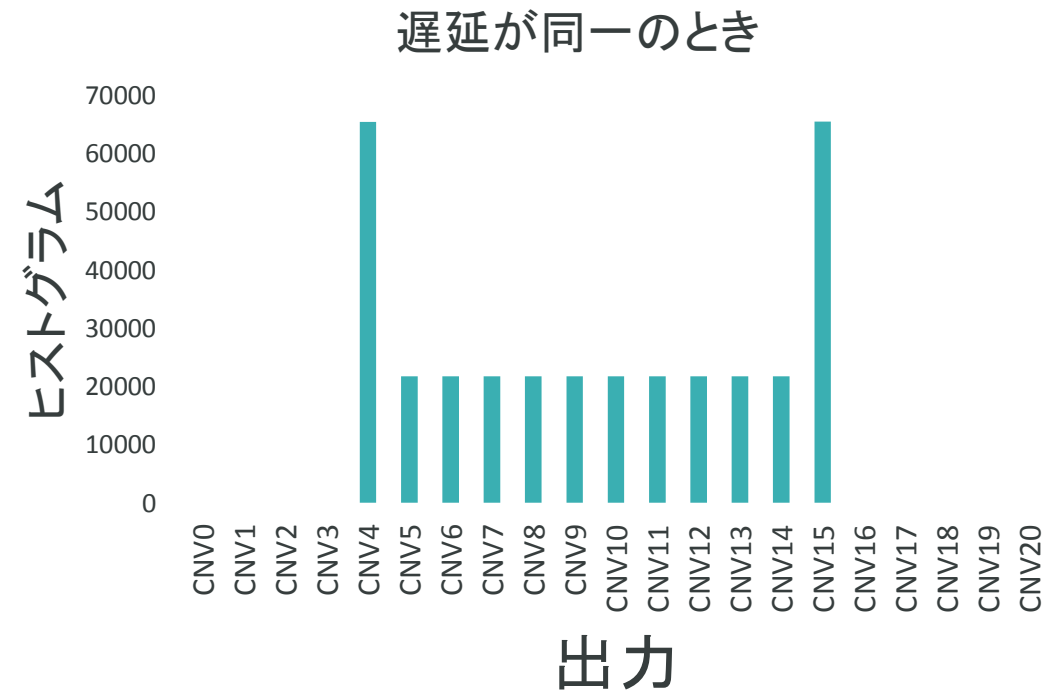
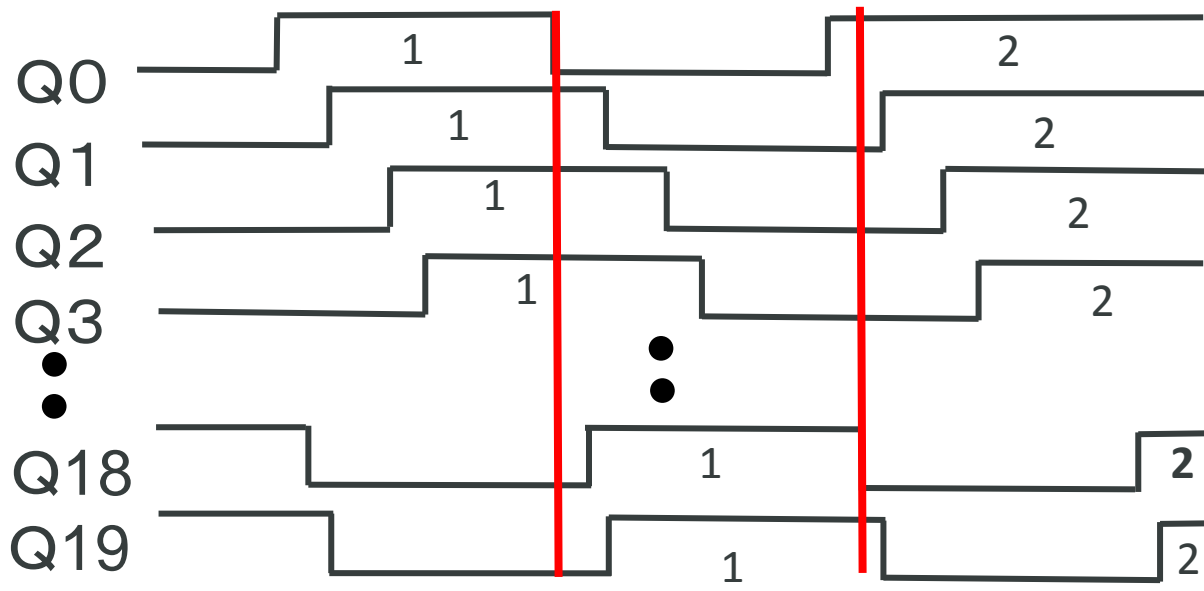


# 条件1 ◆上段のリング発振器の周波数は下段より大きくする



$$t1 \times N < \frac{T}{2}$$

$t1$ : バッファの遅延  
 $N$ : DFFの個数  
 $T$ : リング発信機の周期

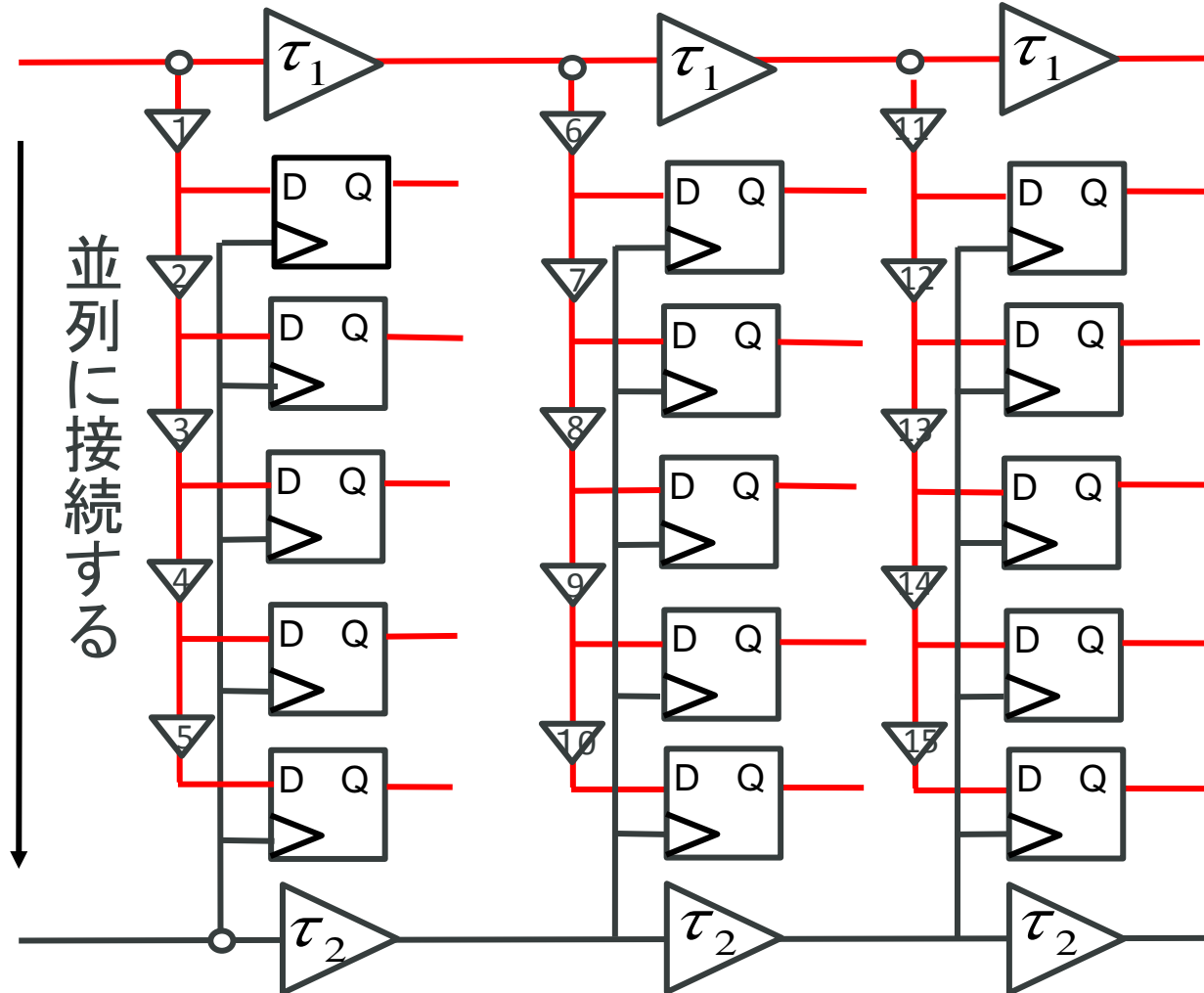


# 条件2

◆横のバッファτ1はその列のバッファ遅延より大きくすること

②

START

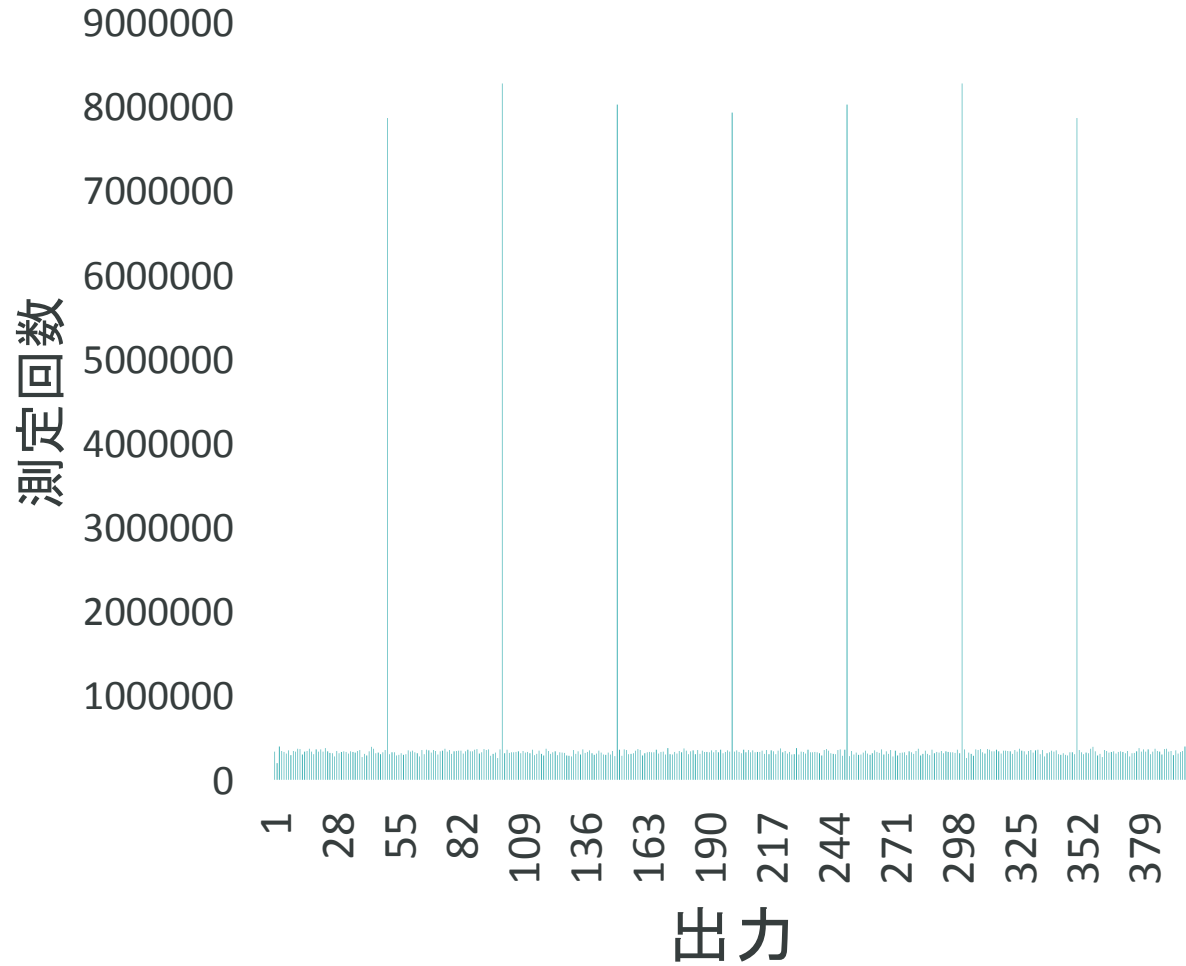


$$\tau_1 > 1 + 2 + 3 + 4 + 5$$

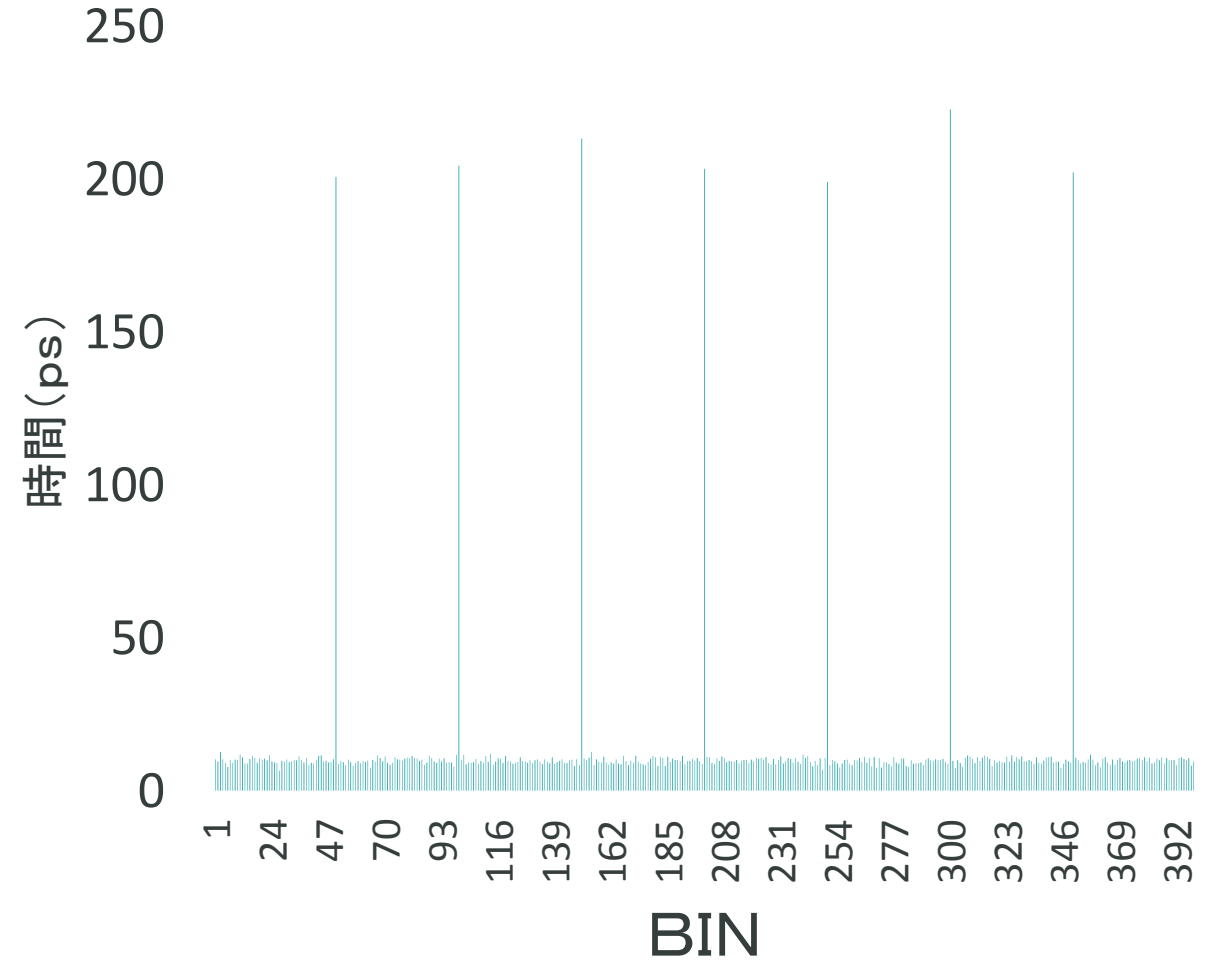
STOP

測定回数: 1億9千万回

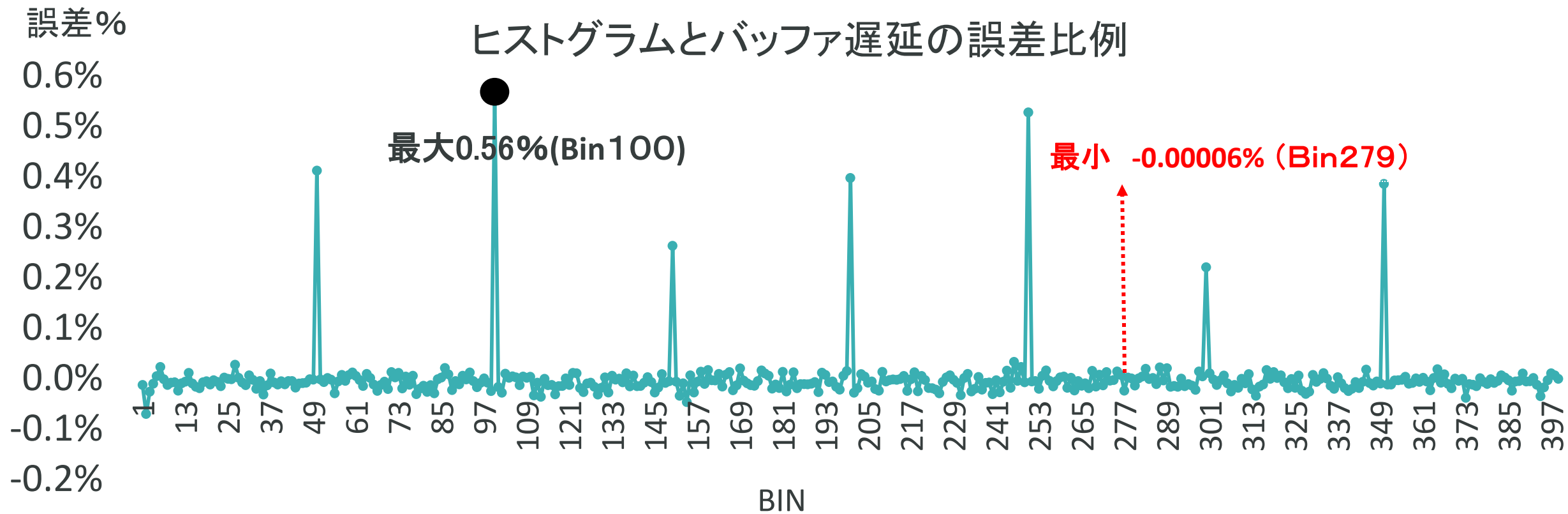
ヒストグラム



バッファ遅延



測定回数:1億9千万回





# 自己校正の計算

① 自己校正モードで取得したヒストグラムより各遅延素子毎の総和を算出  
例: 総和Bin3 =  $413(\text{Bin1}) + 585(\text{Bin2}) + 464(\text{Bin3}) = 1462$

② 校正係数 = 実際の測定回数総和 / 全測定回数総和  
例: Bin3 =  $1462 / 3530 = 0.4141643059$

③ 校正係数 × 7 より出力値校正  
例:  $\text{Dout}(3) = 7 \times 0.4141643059 \approx 2.897$

Dout(1)=0.819

Dout(2)=1.977

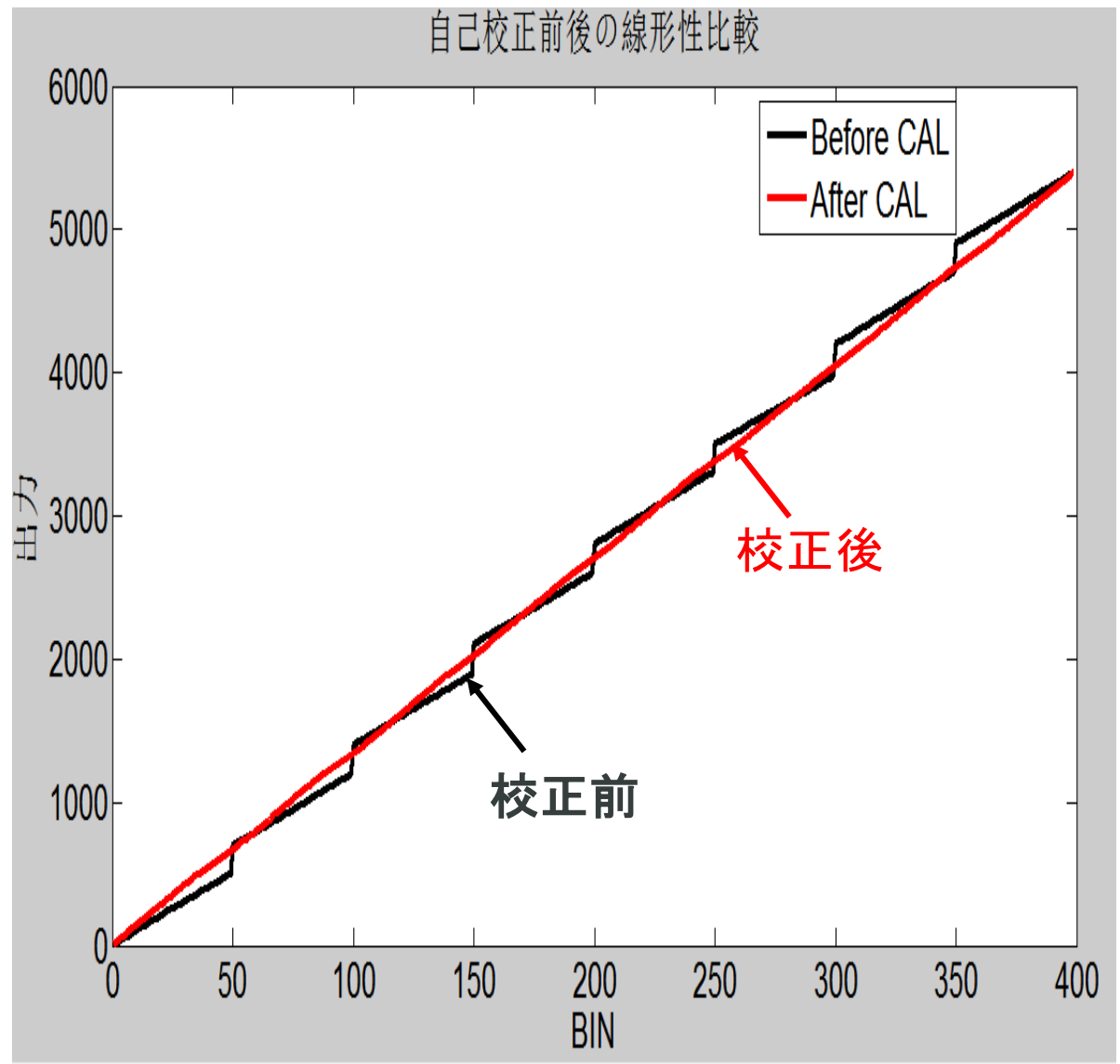
Dout(3)=2.897

Dout(4)=4.059

Dout(5)=4.941

Dout(6)=6.078

Dout(7)=7



# 校正の評価

最小二乗法を用いて線形近似直線を求め、線形近似直線との誤差を計算

$$gain = \frac{N \times K_4 - K_1 \times K_2}{N \times K_3 - K_1^2} \quad offset = \frac{K_2}{N} - gain \times \frac{K_1}{N} \quad N: \text{データ数}(24)$$

$i$ : 出力数

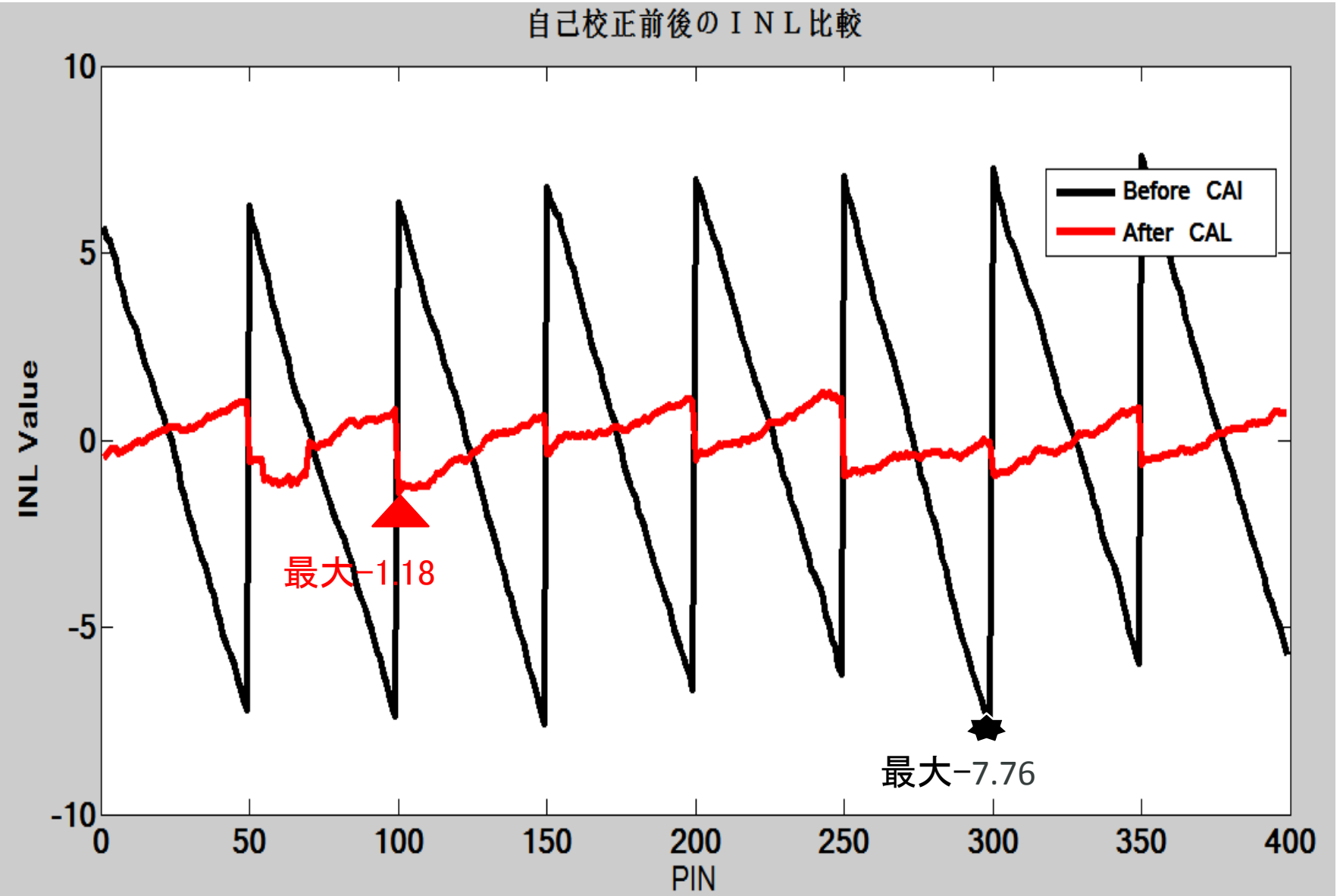
$$K_1 = \sum_{i=0}^{N-1} i \quad K_2 = \sum_{i=0}^{N-1} i S(i) \quad K_3 = \sum_{i=0}^{N-1} i^2 \quad K_4 = \sum_{i=0}^{N-1} i \times S(i) \quad S(i): \text{入力遅延差のしきい値}$$

$$INL(i) = \frac{S(i) - (gain_{bestfit} \times i + offset_{bestfit})}{V_{LSB}}$$

INL: 積分非直線性誤差

近似直線を取り、誤差を1LSBの値で正規化

参考論文:「フラッシュ型タイムデジタイザ回路のヒストグラム法による自己校正の実験検証」



# アウトライン

## ◆研究背景、目的

## ◆時間ディジタイザ回路の回路構成と動作原理

- フラッシュ型TDC
- バーニア型TDC
- 確率型TDC
- 確率的バーニア型TDC

## ◆ヒストグラム法を用いて自己校正

## ◆実験データ分析

## ◆まとめ

- フラッシュ型TDC、バーニア型TDC、確率型TDCおよび確率的バーニア型TDCの回路図と動作原理を説明した。
- 今回の実験では、Xilinx社のISE Design Suite 14.1でRTLレベルで回路動作を確認した。
- 自己校正技術を用いて、ヒストグラム法による確率的バーニア型の出力特性を改善することを確認した。
- 今後の課題としては、FPGAのボードに実装すること

ご清聴、ありがとうございました