

確率的バーニア型時間デジタル回路

王俊善* 李 从兵 小林春夫 (群馬大学)

キーワード：時間デジタル回路，確率型デジタル回路，確率的バーニア型時間デジタル回路，ヒストグラム，自己校正

(Time-to-Digital Converter, Stochastic TDC, Stochastic Vernier TDC, Histogram, Self-calibration)

1. はじめに

時間デジタル回路(TDC: Time-to-Digital Converter)は2つのタイミング信号間の時間間隔をデジタル値として測定する回路である。歴史は僅か 20 年ほどしかないが、現在までさまざまなアーキテクチャが提案されてきている。フラッシュ型 TDC, 二重積分型 TDC, 逐次比較型 TDC, デルタシグマ型 TDC および確率型 TDC, バーニア型 TDC などである。アプリケーションとして完全デジタル PLL 回路での位相比較器, クロック発生器, ADC, ジッタ測定, 飛行時間測定 (Time of Flight), さらに 2D / 3D 撮像システム, レーザ距離計, 核実験のためなどの工業, 医療および娯楽のアプリケーション等に幅広く使用されている。(1-9)

本論文では, 広く用いられているフラッシュ型 TDC に比べ, 高分解能が実現できる確率的バーニア型 TDC (Stochastic Vernier Time-to-Digital Converter) 回路を提案する構成と動作, RTLシミュレーション検証を示す。この回路構成は CMOS 微細化に伴って発生する素子特性のばらつきを積極利用し高時間分解能(サブピコ秒)を得る。また, 遅延ラインの各バッファの時間間隔ばらつきをヒストグラム法で測定・自己校正し, 入出力線形性を改善する。設計回路を RTL シミュレーションで動作確認を行った。

提案回路はデジタル回路のみで実現でき, 自己校正を行なうので自動配置・配線も利用できる。特性ばらつきを積極利用するため多数のフリップフロップを使用するが FPGA で大量の回路を実装できるので実用的である。

2. TDC アーキテクチャ

本節では基本フラッシュ型 TDC, 確率型 TDC, バーニア型 TDC 及び提案する確率的バーニア TDC アーキテクチャを述べる。

〈2-1〉基本フラッシュ型 TDC 図 1 に 2 ビットの基本 TDC 回路とタイミングチャートを示す。基準 CLK の経路に遅延バッファを挿入し, バッファ遅延配列により遅延線を構成する。バッファ遅延 τ の整数倍だけ遅延させ, 被測定信号の立ち上がりで遅延線の CLK の状態をフリップフロップで取り込む。これにより被測定信号の立ち上がりまでの時間間隔がバッファ遅延何段に相当するかを測定できる。また, エンコーダでは TDC から出力された値を 2 進数

コードに変換する。

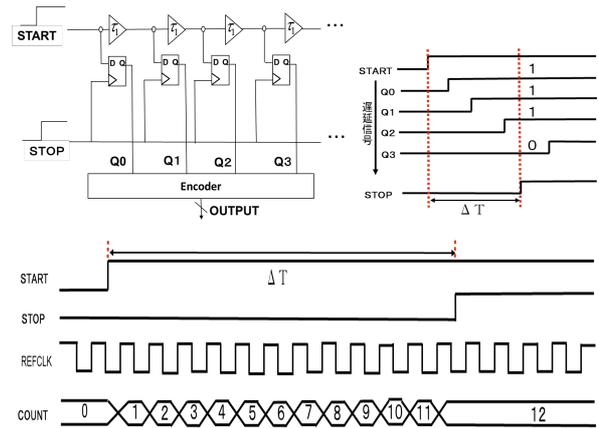


図 1 フラッシュ型 TDC 回路とタイミングチャート

Fig.1 Flash-type TDC circuit and timing chart.

フラッシュ型 TDC の構成ではバッファの遅延時間 τ が TDC の時間分解能になる。

〈2-2〉バーニア型 TDC 図 2 にバーニア型 TDC 回路とタイミングチャートを示す。START 信号側に τ_1 を, STOP 信号側に遅延バッファ τ_2 を設け, 時間分解能がゲートの遅延差 ($\tau_2 - \tau_1$) を実現する。2 つのバッファ遅延関係を $\tau_1 > \tau_2$ とすることで, それぞれのバッファ遅延の差の時間分解能となる。フラッシュ型 TDC より細かい時間分解能を実現できる。

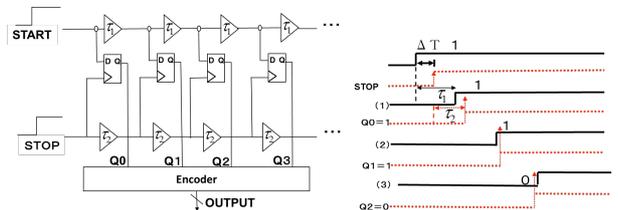


図 2 バーニア型 TDC 回路とタイミングチャート

Fig.2 Vernier TDC circuit and timing chart.

〈2-3〉確率型 TDC 確率型 TDC は図 3 に示すように 1 つの遅延段に対し多くの D-Flip Flop を並列に接続する構成である。基本型 TDC 同様, 遅延線の遅延バッファによる遅延時間分解能のほかに, DFF のオフセットばらつき

を利用し高時間分解能を可能となる。DFF の数が多くすれば、より細かい時間分解能が実現できる。

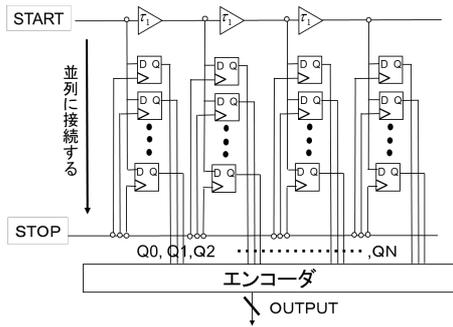


図3 確率型 TDC 回路とタイミングチャート
Fig.3 Stochastic TDC circuit and timing chart.

〈2・4〉 確率的バーニア型 TDC さらに高時間分解能を実現するため、確率型 TDC とバーニア型 TDC の回路を組み合わせ、確率的バーニア型 TDC を提案する。確率型 TDC にバーニア遅延線を設けることに加え、DFF のオフセットばらつきや配線遅延ばらつきにより、バーニア型 TDC 時間分解能 ($\tau_1 - \tau_2$) よりも高時間能を実現できる。

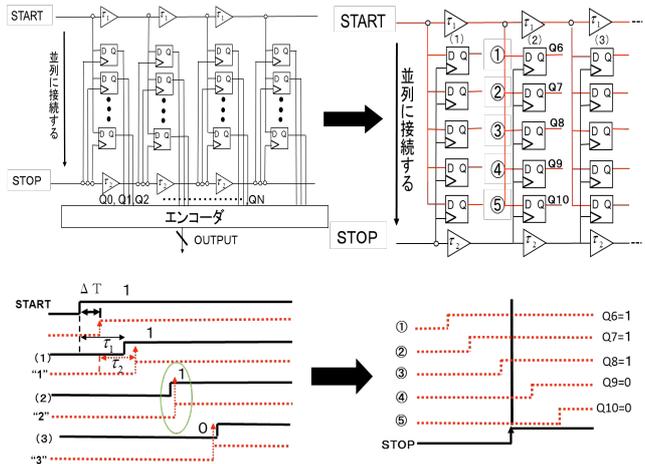


図4 確率的バーニア TD 回路とタイミングチャート
Fig.4 Stochastic Vernier TDC circuit and timing chart.

3. デジタル自己校正とヒストグラム法

基本フラッシュ型 TDC, バーニア型 TDC は遅延バッファ間の遅延時間ミスマッチにより TDC 特性の線形性が劣化する。確率型 TDC は CMOS 微細化に伴って素子ばらつきを積極的に利用しているので、そのままでは大きな非線形

特性になる。そこで線形特性を実現するためデジタル自己校正を用いる。

図5にTDC回路のデジタル誤差補正の流れを示す。フラッシュ型TDC, 確率型TDCに加え, 上段にリング発振器を構成する。マルチプレクサによって通常測定モードとリング発振器を用いた自己校正モードの切り替えを行なう。また, エンコーダ出力に自己校正のためのヒストグラムエンジンを設ける。同様に, バーニア型TDCと確率的バーニア型TDCに加え, 上段と下段両方ともリング発振器を用いて, マルチプレクサによって二つモードを切り替える。

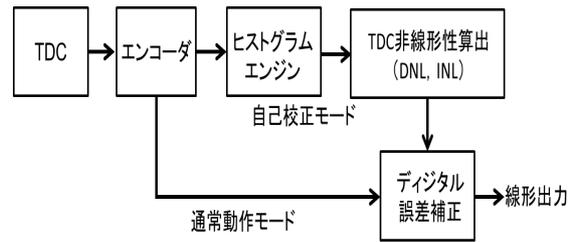


図5 自己校正のブロック図
Fig.5 Block diagram of the self-calibration.

リング発振器構成を実現でき, ヒストグラムエンジンを備えている上段と下段各3ビットバッファ(バッファ数 $2^3=8$)50段DFE(DFE数: $8 \times 50=400$)の確率的バーニア型TDCを図6に示す。マルチプレクサによって通常測定モードと自己校正モードの切り替えを行なう。

通常測定モード: 通常のフラッシュ型 TDC と同様に START 信号と STOP 信号を入力し, その入力時間差に対応したデジタル値を出力する。

自己校正モード: 上部のリング発振器と STOP 信号が互いに非同期で異なる周波数で発振させる。十分時間を取り, 十分なヒストグラムデータをとる。理想の場合(遅延バッファ等のばらつきがない場合)は, TDC が完全に線形になる, 十分な数のサンプリングを行うと TDC デジタル出力コードに対応するビンのヒストグラムはすべて同じになる。

上段のリング発振器の周波数について(下段の周波数と相関がある場合にはヒストグラムに偏りが出てしまうので), 上段の周波数とは無相関(非同期)になるように設定する。基本的には上段の周波数は下段の周波数より大きくする。

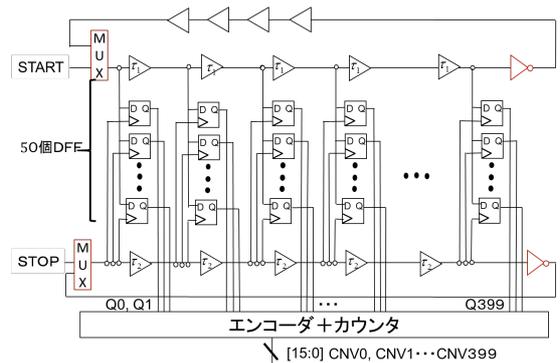


図 6 リング発振器つき確率的バーニア型 TDC

Fig.6 Stochastic Vernier TDC with self-calibration.

〈3・3〉 デジタル誤差補正演算：自己校正モードで遅延量の比（相対値）が導出できる。通常測定モードでは自己校正モードで導出された遅延量の比を利用してデジタル演算により出力誤差補正を行う。出力誤差補正は、全ヒストグラムの値の総和を取り、最下位ビットか出力ビットまでの測定回数の総和を取り測定回数を全体で割った値にフルスケールの値を掛けて誤差補正後の出力値とする。

$$D_{out}(N) = \frac{\sum_{i=1}^N PIN(i)}{\sum_{i=1}^N FS} \times FS \dots\dots\dots(1)$$

N: 校正するビット数

Dout(N): N 番目ビットの校正後出力値

PIN(i): i 番目遅延素子測定回数

FS: 出力最大デジタル値

4. RTL シミュレーション

図 6 に示す回路図を設計し、Xilinx 社の ISE Design Suit 14.1 の RTL レベルのシミュレーションで確認した。DFF のオフセットを表すために、図 7 のように DFF の前にバッファを取り付けた。条件としては横のバッファτ1はその列の N 個のバッファ遅延 N x τより大きく設定する。今回の実験で、400 のバッファを取り付け、各バッファに 10 に近い乱数を加えた。

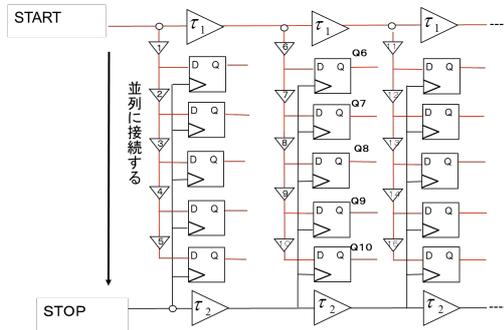


図 7 DFF オフセットがある場合の確率的バーニア型 TDC

Fig.7 Stochastic Vernier TDC with DFF offsets.

〈4・1〉 ばらつきがない場合 理想（特性ばらつきがない）場合は図 8 のシミュレーション結果に示すように、バッファ遅延時間と TDC デジタル出力コードに対応する Bin のヒストグラムはすべて同じになり、誤差が 0.0% である。

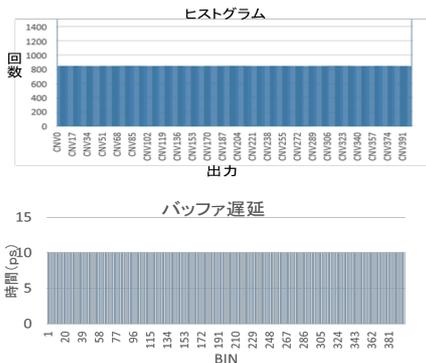


図 8 ばらつきがない場合のヒストグラムとバッファ遅延

Fig.8 Histogram (top) and buffer delay (bottom) without variations

〈4・2〉 特性ばらつきがある場合 実際のチップでの製造ばらつきが生じた場合は、出力の各 Bin のヒストグラム値はバッファの遅延時間ばらつきのため等しくはならない。図 9 にばらつきを仮定した場合の 3 ビット 50 段 確率バーニア TDC の自己校正シミュレーションでのヒストグラムデータを示す。遅延とヒストグラムはほぼ一致する（最大誤差は 0.56%）。ヒストグラム数は 1 億 9 千万回とした。自己校正した確率的バーニア型 TDC の線形性が改善した。（図 10）

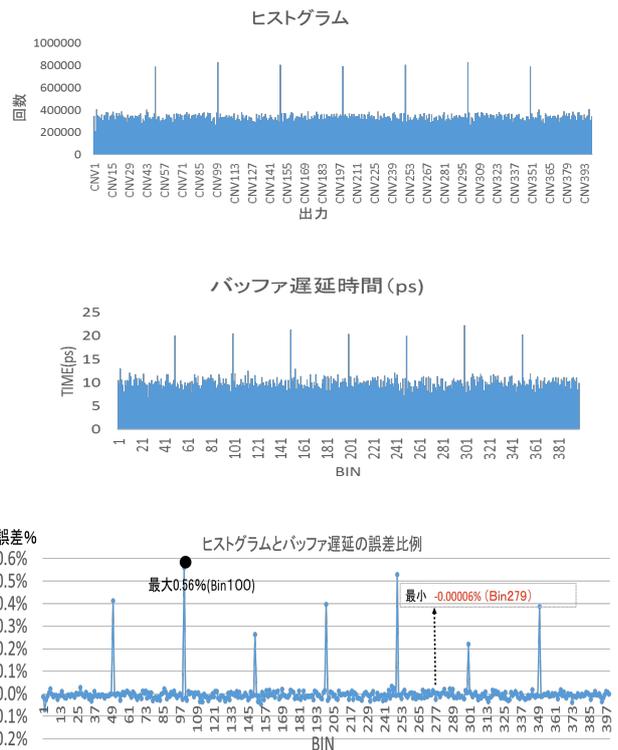


図 9 3 ビット 50 段のヒストグラムと遅延時間の比例

Fig.9 Error between Histogram and Delay

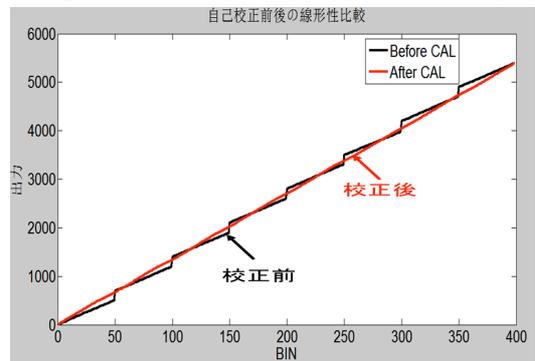


図 10 3 ビットの TDC 自己校正前後線形性

Fig.10 3-bit TDC Linearity before and after calibration

5. 評価

以上の結果もとに提案自己校正方法の評価を定量的に行う。本評価では、最小二乗法を用いて線形近似直線を求め、そ

こから積分非直線性 (INL) を計算する. INL は測定結果と線形近似直線との累積誤差を示す指標であり, 0 に近いことが望ましい. 線形近似直線のゲインとオフセットは以下の式で表すことができる.

$$gain = \frac{N \cdot K_4 - K_1 \cdot K_2}{N \cdot K_3 - K_1^2} \quad (2)$$

$$offset = \frac{K_2}{N} - gain \cdot \frac{K_1}{N} \quad (3)$$

ここで $N=399$ であり, K_1 から K_4 はそれぞれ以下の式で表すことができる.

$$K_1 = \sum_{i=0}^{N-1} i \quad (4)$$

$$K_2 = \sum_{i=0}^{N-1} S(i) \quad (5)$$

$$K_3 = \sum_{i=0}^{N-1} i^2 \quad (6)$$

$$K_4 = \sum_{i=0}^{N-1} i \cdot S(i) \quad (7)$$

i は入力時間差であり, $S(i)$ はそのときの出力数である. (2) 式から (7) 式より, INL (Integral Non-Linearity: 積分非直線性) を計算する式は以下ようになる.

$$INL(i) = \frac{S(i) - (gain \cdot i + offset)}{gain} \quad (8)$$

この式から求めた INL を図 10 に示す. 校正前 TDC では最大-7.75 の INL を有していたのに対し, 校正後 TDC では最大-1.18 の INL となり線形性が向上したことがわかる.

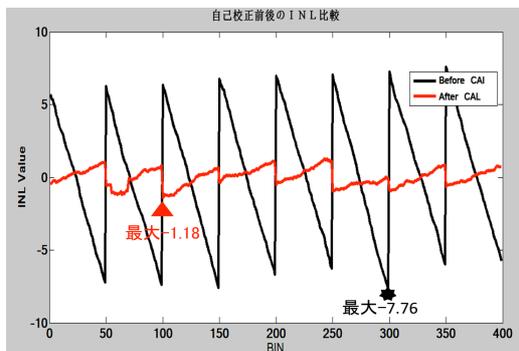


図 11 3 ビット 50 段 TDC 自己校正前後での INL の比較
Fig.11. 3-bit TDC INLs before and after calibration.

6. 実験補充

図 12 に 4 ビットバッファ 50 段 DFF のヒストグラムと遅延時間のシミュレーション結果の比較を示す. 同じオフセット時間においては, 横のバッファのビット数と DFF の数を増やすと, INL が小さくなり, 線形性が良くなった.

3 ビットでは最大-0.56047%と最小-0.00006%の誤差に対し, 4 ビットでは最大-0.01991%と最小-0.00003%の誤差となり誤差が低減した.

同様に図 13 に示されるように 3 ビットの校正後 TDC で

最大-1.18 の INL を有していたのに対し, 4 ビット校正後 TDC では最大-0.90 となり線形性が向上した.

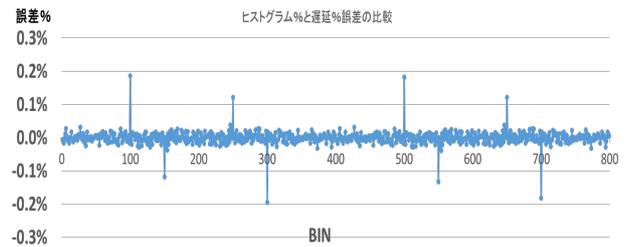


図 12 4 ビットのヒストグラムと遅延時間の誤差
Fig12 4-bit TDC error between histogram and delay.

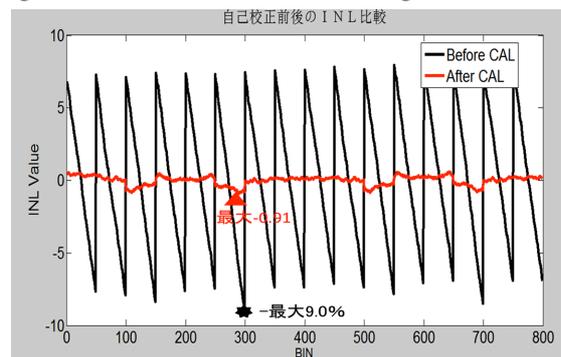


図 13 4 ビット TDC 自己校正前後での INL の比較
Fig13 4-bit TDC INL before and after calibration.

8. まとめ

この論文ではリング発振回路構成, ヒストグラム法による TDC 回路線形性のデジタル自己校正がバーニア型, 確率的, およびその両者の組み合わせの TDC アーキテクチャに適用可能であることを, RTL シミュレーションによって示した. FPGA 実装とその測定評価が次の課題である.

文 献

- (1) Robert Bogdan Staszewski / Poras T. Balasra 著 山田庸一郎/小林春夫 訳「完全デジタル PLL 回路の設計」CQ 出版 (2010 年)
- (2) Y. Arai, T. Baba, "A CMOS Time to Digital Converter VLSI for High-Energy Physics", IEEE VLSI Circuits Symposium (1988).
- (3) T.Chujo, et. al., "Experimental Verification of Timing Measurement Circuit With Self-Calibration," IEEE International Mixed-Signals, Sensors and Systems Test Workshop (Sept.2014).
- (4) E. R. Ruotsalainen, et. al., "An Integrated Time-to-Digital Converter with 30-ps Single-Shot Precision," IEEE J. of Solid-State Circuits (Oct. 2000).
- (5) P. Chen, et. al., "A PVT Insensitive Vernier-Based Time-to-Digital Converter With Extended Input Range and High Accuracy," IEEE Trans. Nuclear Science (Apr. 2007).
- (6) C. Li, et. al., "Time-to-Digital Converter Architecture with Residue Arithmetic and its FPGA Implementation", International SoC Design Conference, Jeju, Korea (Nov. 2014).
- (8) Y. H. Seo, et. al., "A 0.63ps Resolution, 11b Pipeline TDC in 0.13μm CMOS," IEEE VLSI Circuits Symposium (Jun. 2011).
- (9) S. Uemori, et. al., "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity," Journal of Electronic Testing : Theory and Applications, Springer (Dec. 2013)