

HCIによるLDMOSの特性劣化シミュレーション のための物理ベース最大電界モデルの研究



群馬大学
GUNMA UNIVERSITY

群馬大学大学院理工学府 電子情報数理領域
小林研究室

博士後期課程2年 築地 伸和

アウトライン

- 研究背景
- 研究目的
- 従来モデルの概要および問題点
- 提案モデルの導出および検証
- まとめと今後の課題

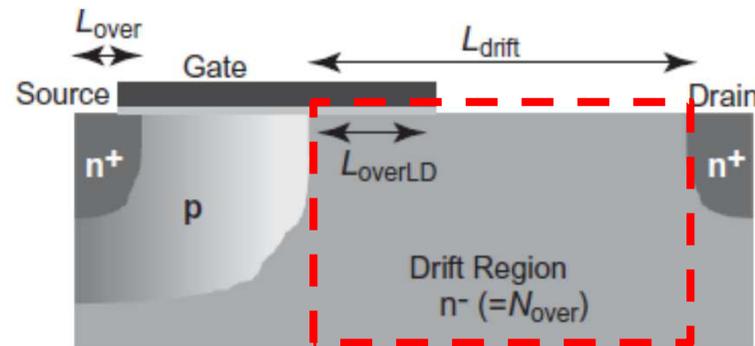
アウトライン

- 研究背景
- 研究目的
- 従来モデルの概要および問題点
- 提案モデルの導出および検証
- まとめと今後の課題

LDMOS(Laterally Diffused MOS)とは？

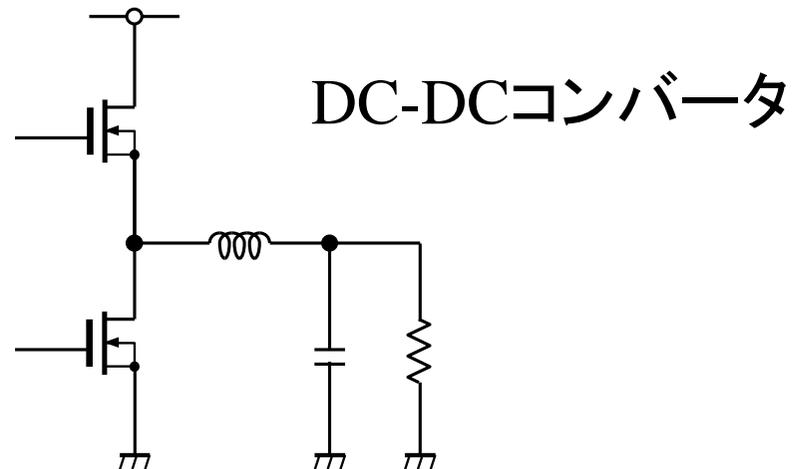
- 特徴

- ドレイン領域拡張し、横方向電界緩和により高耐圧化
- 大電流・高電圧の用途に対応



- 用途

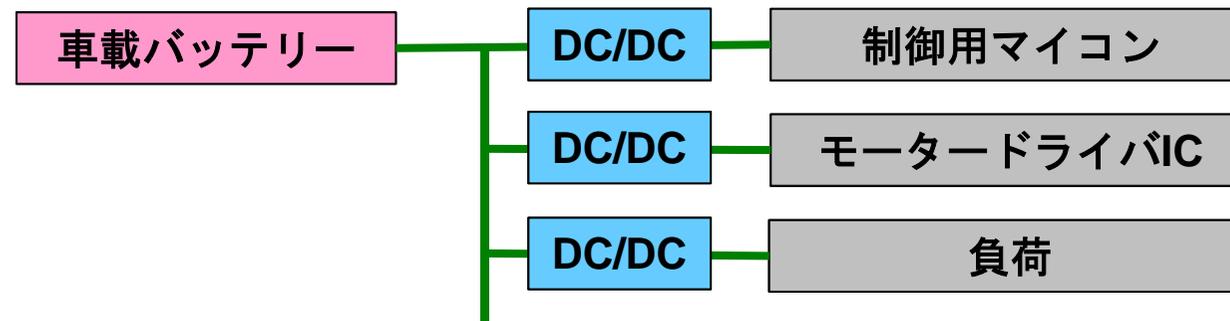
- DC/DCコンバータ
- モータードライバ
- パワーアンプ



集積回路に対する信頼性要求の高まり

- 特に**車載/産業機器**は**高信頼性が要求**される

車の電源系統の例

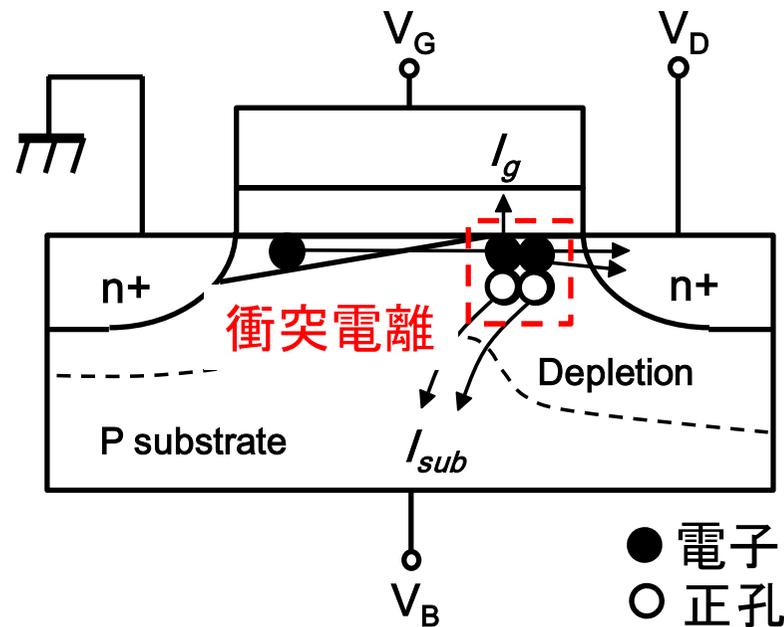


集積回路の故障・誤動作は人命に関わる

MOSFETの劣化現象

- HCI (Hot Carrier Injection) 劣化

- n-MOSFETで顕著な劣化現象
- 飽和領域動作時に多く発生 ($V_{DS} > V_{GS} - V_{TH}$)



空乏層中の電界で加速した電子が
衝突電離を起こし電子正孔対が発生



エネルギーの高い電子(ホットキャリア)
が酸化膜の界面準位にトラップされる



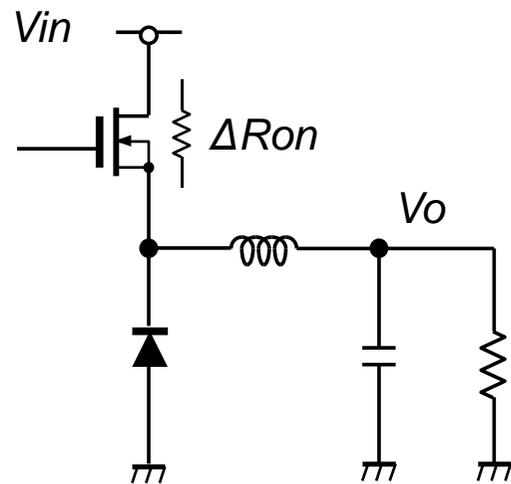
しきい値電圧、移動度などの性能が変化

アウトライン

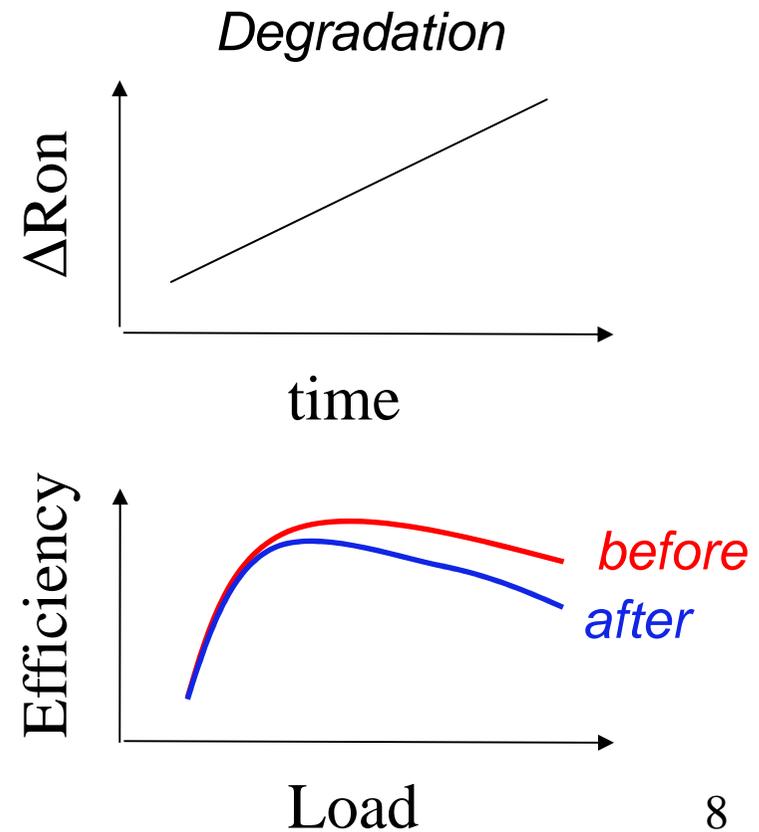
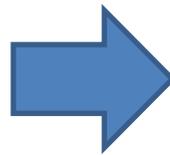
- 研究背景
- **研究目的**
- 従来モデルの概要および問題点
- 提案モデルの導出および検証
- まとめと今後の課題

研究目的

- MOS劣化現象をシミュレーションモデル化
 - 回路シミュレータで性能劣化が予想可能
 - 劣化対策(適正マージン設計)が検討可能



Simulation



今回の報告内容

HCIによるLDMOSの特性劣化シミュレーションのための物理ベース最大電界モデルを検討

検討範囲



アウトライン

- 研究背景
- 研究目的
- **従来モデルの概要および問題点**
- 提案モデルの導出および検証
- まとめと今後の課題

MOSFETにおけるHCI劣化モデル

- Hu Model

- 多くのHCIモデルの元となる代表的モデル

$$N_{it} = C_1 \left[t \frac{I_{DS}}{W} \exp\left(-\frac{\phi_{it}}{q\lambda E_m}\right) \right]^n$$

E_m : 横方向最大電界
 N_{it} : 界面準位の数

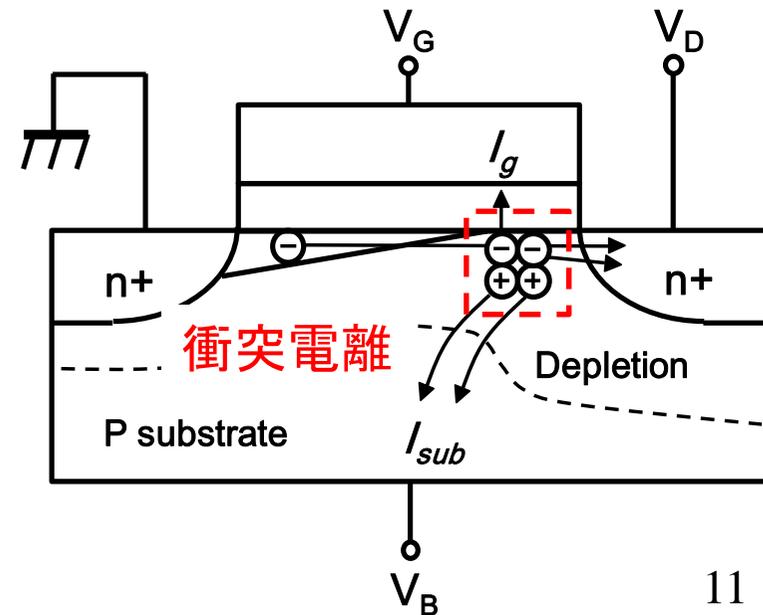
E_m 大 \rightarrow 衝突電離増 $\rightarrow N_{it}$ 増



N_{it} 変化による特性劣化式

$$\mu = \frac{\mu_0}{1 + \beta N_{it} \uparrow} \quad \text{— 移動度減少}$$

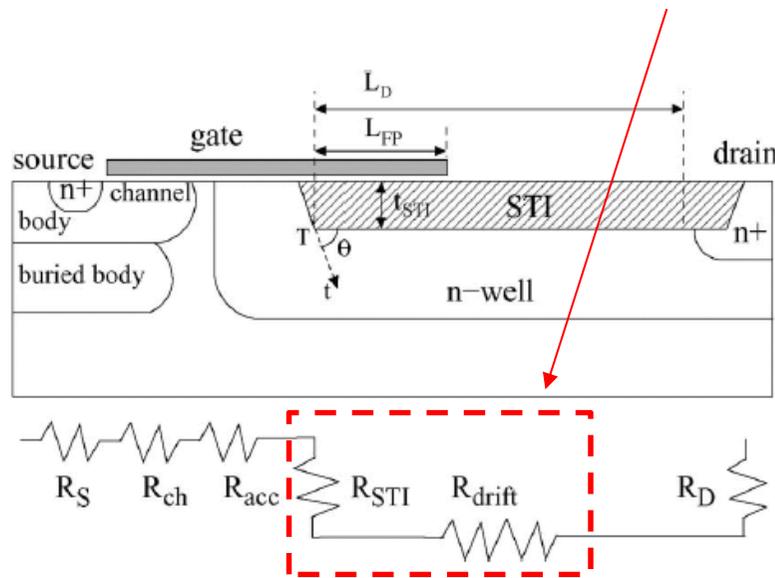
$$V_{th} = V_{th0} + \frac{qN_{it} \uparrow}{C} \quad \text{— しきい値増加}$$



LDMOSにおけるHCI劣化現象

- 文献[2]による報告

– HCIによりドリフト領域の抵抗が劣化



LDMOSの構造[2]

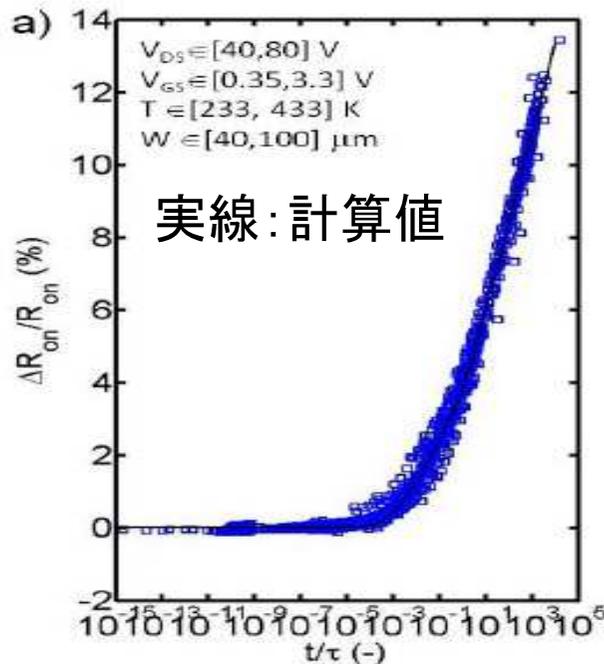


電流密度分布の変化[2]

[2] S. Reggiani, , et al, "Physics-Based Analytical Model for HCS Degradation in STI-LDMOS Transistors," in Electron Devices, IEEE Transactions on , vol.58, no.9, pp.3072-3080, Sept. 2011.

LDMOSにおけるHCl劣化モデル

- 文献[4]による劣化モデル



$$\frac{\Delta R_{on}}{R_{on}} = A_1 \cdot \ln\left(1 + \frac{t}{\tau}\right) t + A_2 \cdot \ln\left(1 + \frac{t}{\gamma \cdot \tau}\right)$$

$$\tau = \frac{\alpha \cdot W}{I_D} \cdot \frac{\phi_b}{E_m \lambda} e^{\frac{\phi_b}{E_m \lambda}}$$

$$\lambda = \lambda_0 \tanh \frac{E_p}{2k_B T_j}$$

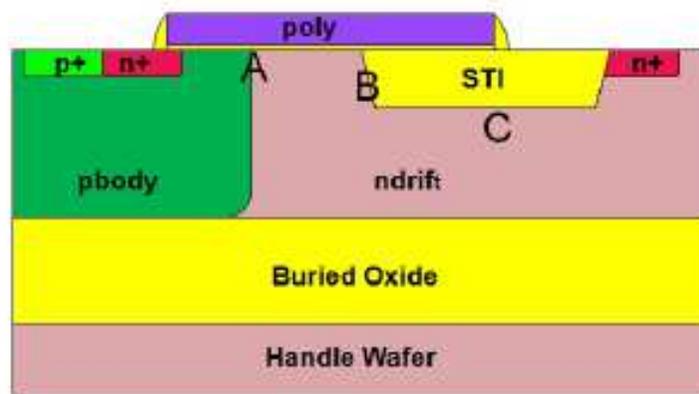
最大電界 E_m 以外はすべて定数

オン抵抗劣化特性[4]

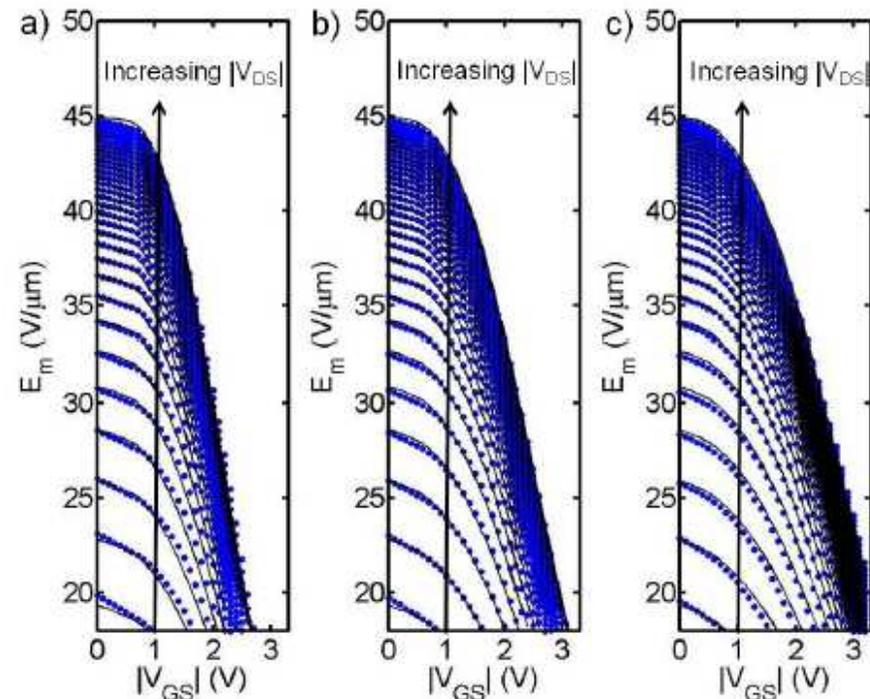
[4] G. Sasse, , et al, "An LDMOS hot carrier model for circuit reliability simulation," in Reliability Physics Symposium, 2014 IEEE International, pp.5D.5.1-5D.5.6, 1-5 June 2014.

LDMOSにおけるHCl劣化モデル

- 文献[4]による劣化モデル



LDMOSの構造[4]



最大電界 E_m (位置B) [4]

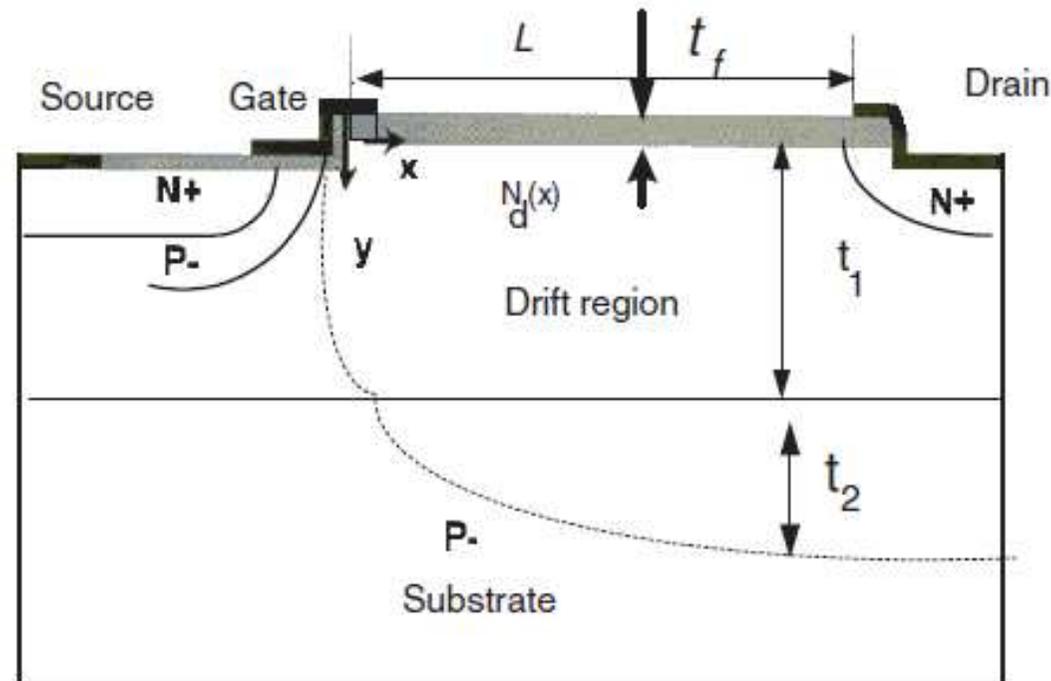
問題点: E_m のモデルが公開されていない
(論文中ではT-CAD使用した計算値を使用と記載)

アウトライン

- 研究背景
- 研究目的
- 従来モデルの概要および問題点
- **提案モデルの導出および検証**
- まとめと今後の課題

物理ベース最大電界モデルの導出

- 簡単化のためSTI構造なしでEmを導出

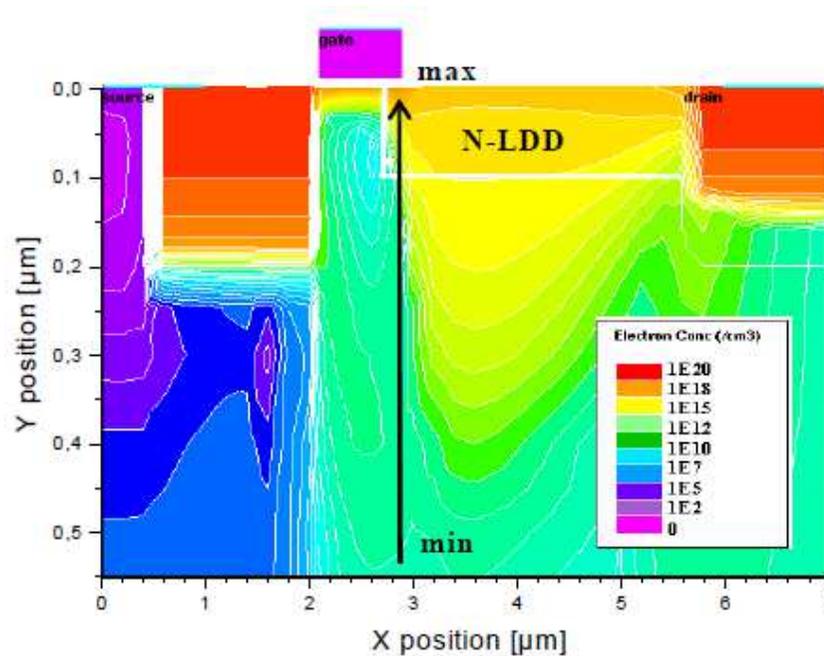


基準とするLDMOS構造[8]

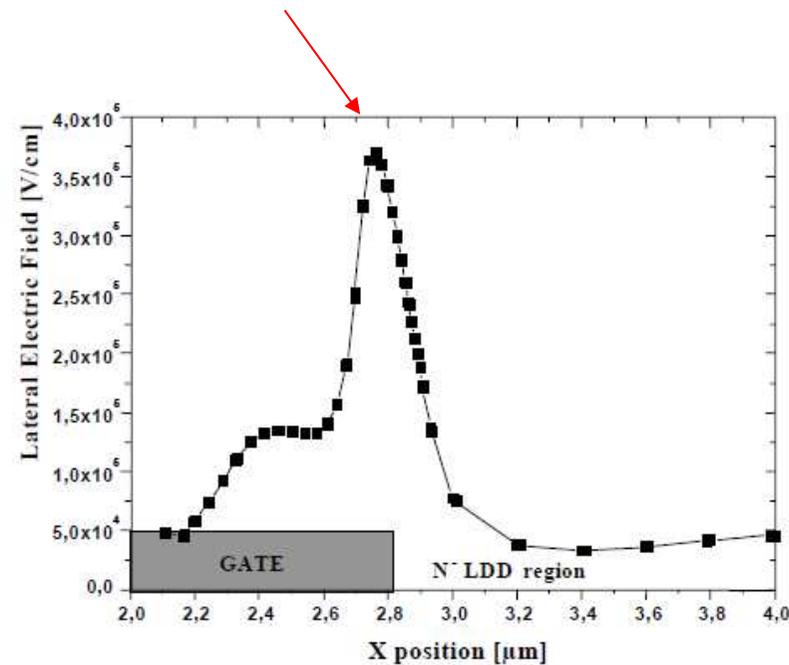
[8]Jin He, et al, “Linearly graded doping drift region: a novel lateral voltage-sustaining layer used for improvement of RESURF LDMOS transistor performances,” *Semicond. Sci. Technol.* 17 (2002) 721–728.

LDMOSの最大電界の位置

- 文献[7]による報告
 - ゲート端にて横方向電界が最大となる



二次元電界分布[4]



横方向電界分布[4]

[7]M.A. Belaid and K. Ketata, "Hot-carrier effects on power RF LDMOS device reliability," in Thermal Investigation of ICs and Systems, pp.123-127, 24-26 Sept. 2008.

物理ベース最大電界モデルの導出

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = -\frac{qN_d(x)}{\epsilon_{si}} \quad (1)$$

↓ y方向(0~t1)に積分

$$\int_0^{t_1} \frac{\partial^2 \phi(x, y)}{\partial x^2} dy + E_y(x, 0) - E_y(x, t_1) = -\frac{qN_d(x)}{\epsilon_{si}} t_1 \quad (2)$$

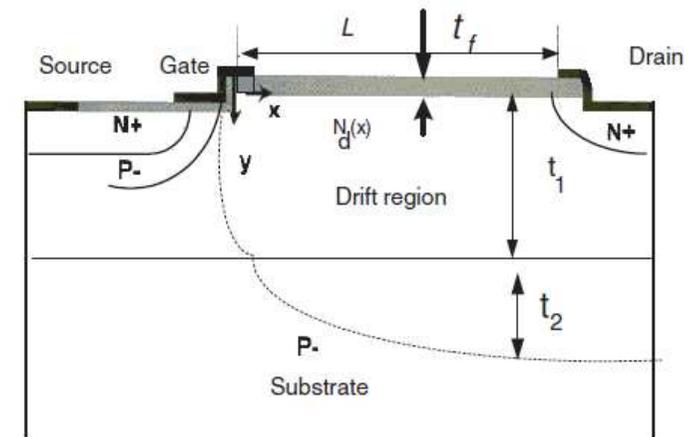
↓ Si-SiO2界面の境界条件より

$$E_y(x, 0) = -\frac{\epsilon_0}{\epsilon_{si}} \frac{\phi_f(x) - V_{gs} - V_{FB,f}}{t_f} \quad (3)$$

$$E_y(x, 0) \approx -\frac{\epsilon_0}{\epsilon_{si}} \frac{\phi_f}{t_f} \quad (4)$$

ドリフト層が完全に空乏化しているならば

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} \approx \frac{\partial^2 \phi_f(x)}{\partial x^2} \quad (5)$$



物理ベース最大電界モデルの導出

y方向の $t_1 - t_2$ 境界条件より,

$$\int_0^{t_2} E_y(x, y) dy = \int_{t_2}^{t_1} E_y(x, y) dy \quad (6)$$

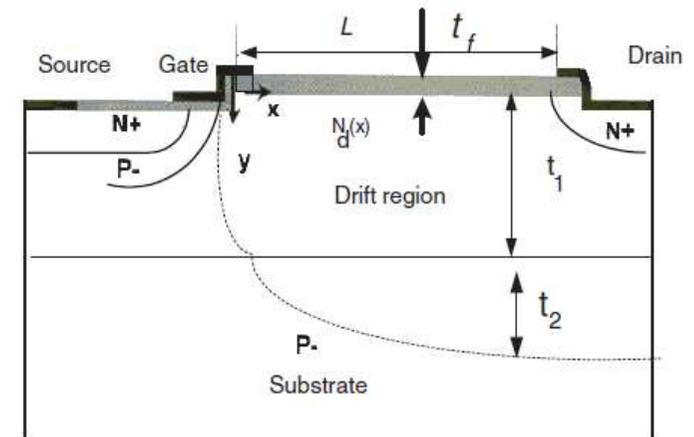
$$\frac{2(\phi_f - \phi_b)}{t_1} = \frac{2\phi_b}{t_2} = E_y(x, t_1) \quad (7)$$

$$\phi_b(x) = -\frac{qN_{sub}}{2\epsilon_{Si}} t_2^2 \quad (8)$$

ドレイン近傍($\phi_f = V_{ds}$)では

$$\frac{V_{ds} - \phi_b}{t_1} + \frac{qN_d(x)t_1}{2\epsilon_{Si}} = \frac{qN_{sub}t_2}{\epsilon_{Si}} \quad (9)$$

$$\frac{t_2}{t_1} = \sqrt{1 + \frac{N_d(x)}{N_{sub}} + \frac{2\epsilon_{Si}V_{ds}}{qN_{sub}t_1^2}} - 1 \quad (10)$$



物理ベース最大電界モデルの導出

y方向の $t_1 - t_2$ 境界条件より,

$$\int_0^{t_2} E_y(x, y) dy = \int_{t_2}^{t_1} E_y(x, y) dy \quad (6)$$

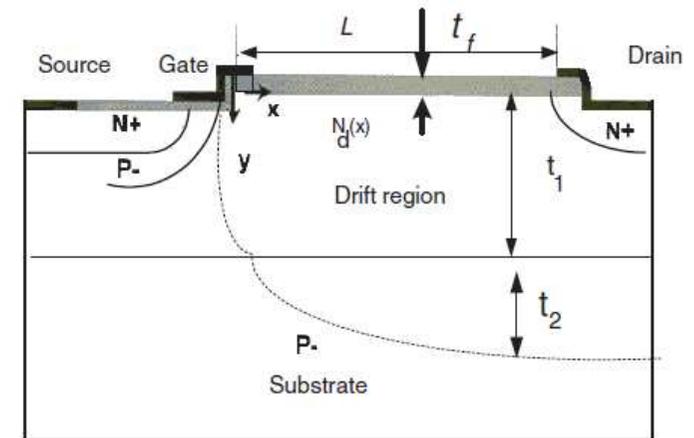
$$\frac{2(\phi_f - \phi_b)}{t_1} = \frac{2\phi_b}{t_2} = E_y(x, t_1) \quad (7)$$

$$\phi_b(x) = -\frac{qN_{sub}}{2\epsilon_{Si}} t_2^2 \quad (8)$$

ドレイン近傍($\phi_f = V_{ds}$)では

$$\frac{V_{ds} - \phi_b}{t_1} + \frac{qN_d(x)t_1}{2\epsilon_{Si}} = \frac{qN_{sub}t_2}{\epsilon_{Si}} \quad (9)$$

$$\frac{t_2}{t_1} = \sqrt{1 + \frac{N_d(x)}{N_{sub}} + \frac{2\epsilon_{Si}V_{ds}}{qN_{sub}t_1^2}} - 1 \quad (10)$$



物理ベース最大電界モデルの導出

$$\int_0^{t_1} \frac{\partial^2 \phi(x, y)}{\partial x^2} dy + E_y(x, 0) - E_y(x, t_1) = -\frac{qN_d(x)}{\epsilon_{Si}} t_1 \quad (2)$$

(2)に(4), (5),(7),(8)を代入すると、
1次元化されたポアソン方程式が求まる

$$\frac{\partial^2 \phi_f(x)}{\partial x^2} - \alpha \phi_f(x) = \beta \quad (11)$$

$$\alpha = \frac{\epsilon_0}{t_1 t_f \epsilon_{Si}} + \frac{2}{t_1^2} \quad (12)$$

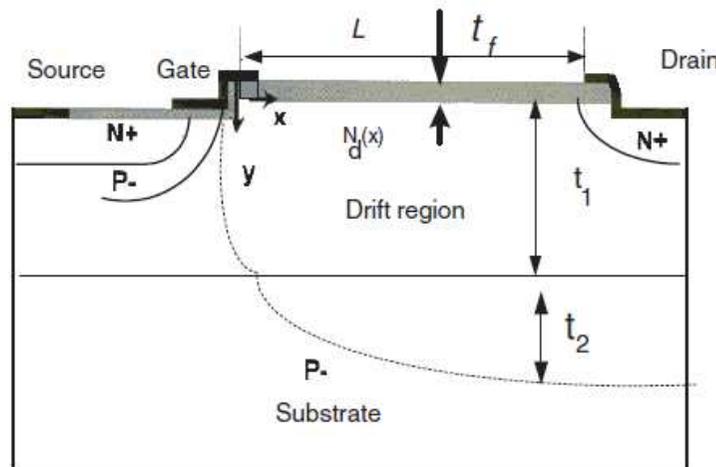
$$\beta = -\frac{q}{\epsilon_{Si}} \left[N_d(x) + N_{sub} \left(\frac{t_2}{t_1} \right)^2 \right] \quad (13)$$

物理ベース最大電界モデルの導出

境界条件を $\phi_f(0) = \phi_0$, $\phi_f(L) = V_{ds}$ とし、微分方程式を解くと、

$$E_m \triangleq \left| \frac{\partial \phi_f(0)}{\partial x} \right| = \sqrt{\alpha} \frac{\left(-\frac{\beta}{\alpha} + \phi_0 \right) \cosh(\sqrt{\alpha}L) + \left(V_{ds} + \frac{\beta}{\alpha} \right)}{\sinh \sqrt{\alpha}L} \quad (14)$$

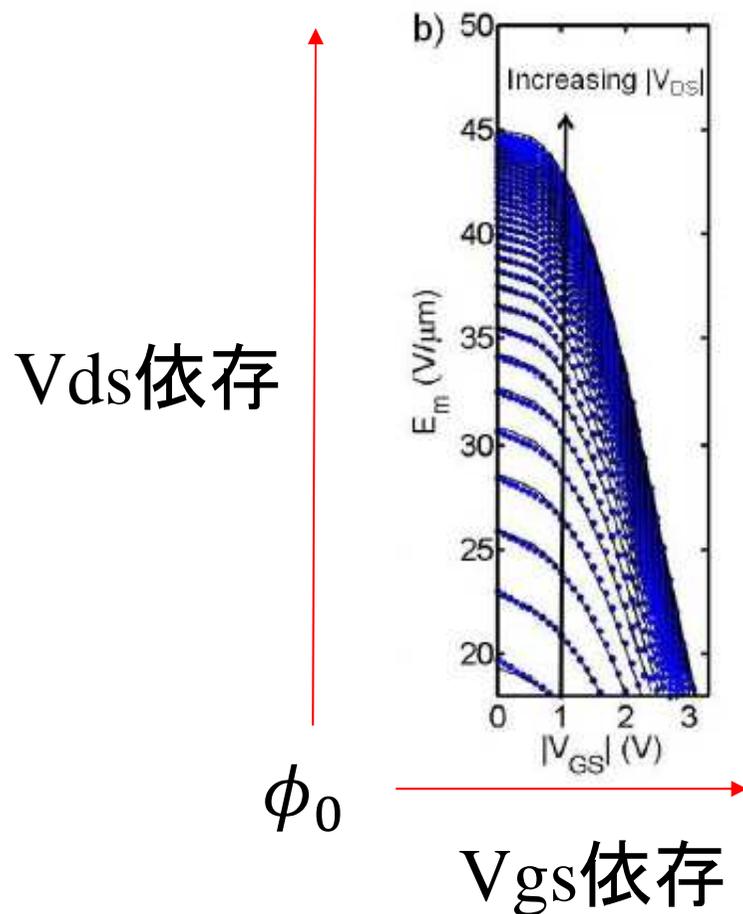
問題点: $x=0$ におけるポテンシャルは V_{gs} と V_{ds} による関数
しかし、関数として扱うと解析的には解けない



(14)は $\phi_f(0) = \phi_0$ (定数)として導出

ϕ_0 のモデルを開発

- 文献のEm値に整合するよう、 ϕ_0 をVgsとVdsの関数として開発



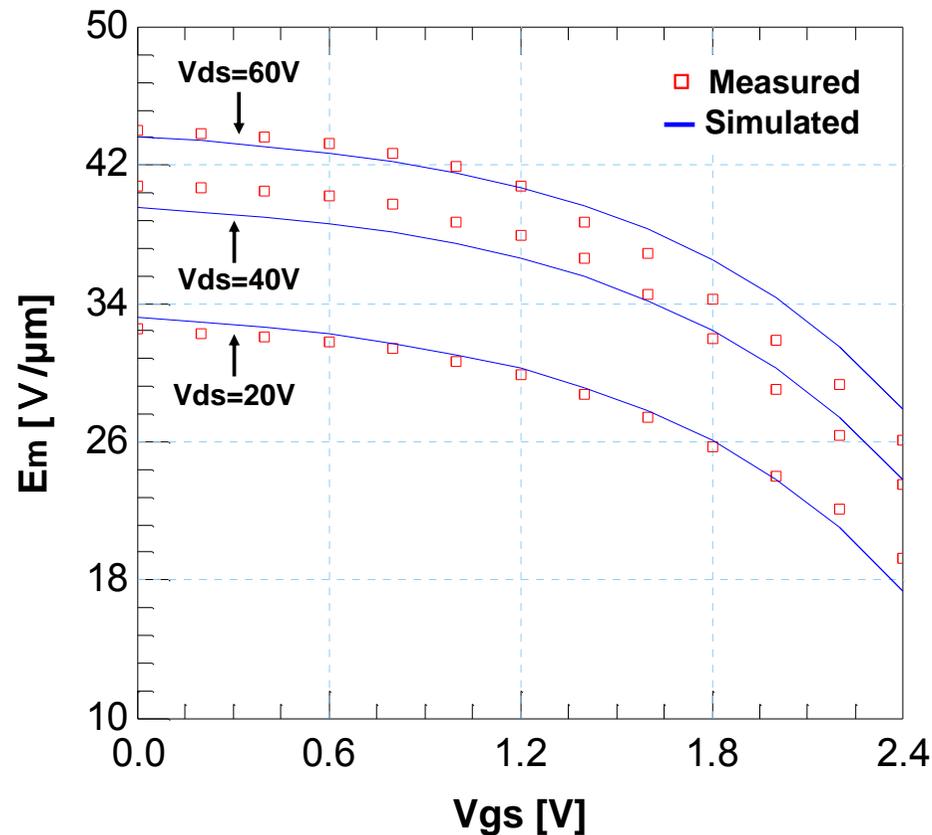
$$\phi_0 = d_1 \log\left(\frac{V_{ds}}{d_2}\right) - \left[1 - \exp\left(\frac{V_{gs} - V_{th}}{R}\right)\right] \quad (15)$$

d_1, d_2, R はフィッティングパラメータ

開発した物理ベース最大電界モデル

$$E_m \triangleq \left| \frac{\partial \phi_f(0)}{\partial x} \right| = \sqrt{\alpha} \frac{\left(-\frac{\beta}{\alpha} + \phi_0 \right) \cosh(\sqrt{\alpha}L) + \left(V_{ds} + \frac{\beta}{\alpha} \right)}{\sinh \sqrt{\alpha}L}$$

$$\phi_0 = d_1 \log \left(\frac{V_{ds}}{d_2} \right) - \left[1 - \exp \left(\frac{V_{gs} - V_{th}}{R} \right) \right]$$



param	Value
t1	3.934u
tf	10n
d1	348.9m
d2	2.272
R	817.9m

Emを物理ベースモデルで再現

アウトライン

- 研究背景
- 研究目的
- 従来モデルの概要および問題点
- 提案モデルの導出および検証
- **まとめと今後の課題**

まとめ

- LDMOSの特性劣化をシミュレーションすることを目的とし、これに必要となる最大電界の物理ベースモデルを開発した。
- 開発した物理ベースモデルの最大電界は、ゲート・ソース間電圧およびドレイン・ソース間電圧のバイアス電圧を変化させても測定データとよく一致することが確認できた

今後の課題

- Emモデルの精度アップ
- SPICEシミュレータへの実装

Q and A

- Q1: EmデータベースをSPICEに入れてシミュレーションすることはできないの？
- A1: することは可能だと思います。ただし、各構造毎にデータベースをもつより物理モデルによりパラメータを変更するほうが実用的です。
- Q2: 他のMOSでも同じように(劣化)モデルって作れるのか？
- A2: 使うMOSによって劣化の物理現象が異なります。劣化の物理現象が特定できていれば、モデルをつくることができます。

Q and A

- Q3: 大電流(用途)だと劣化しやすいの？
- A3: 電流が大きいほど、HCIの確率が高くなるため、劣化がおきやすいと思います。また、熱による影響も起こります。

- Q4: こういう研究は盛んにされているの？
- A4: されています。最近ではGaNやSiCが流行していますので、GaNやSiCでも劣化モデルが研究されると思います。