

# HCI による LDMOS の特性劣化シミュレーションのための 物理ベース最大電界モデルの研究

築地 伸和\* 青木 均 香積 正基 戸塚 拓也 東野 将史  
澁谷 将平 栗原 圭汰 小林 春夫(群馬大学)

## A Study on Physically Based Maximum Electric Field Modeling Used for HCI Induced Degradation Characteristic of LDMOS

Nobukazu Tsukiji\*, Hitoshi Aoki, Masaki Kazumi, Takuya Totsuka, Masashi Higashino,  
Shouhei Shibuya, Keita Kurihara, Haruo Kobayashi (Gunma University)  
tsukiji@el.gunma-u.ac.jp h.aoki@oak.gunma-u.ac.jp

キーワード：信頼性解析，経時劣化，経時劣化モデル，LDMOS，デバイスモデリング  
(Reliability Analysis, Time Degradation, Aging Model, LDMOS, Device Modeling)

### 1. はじめに

Laterally Diffused MOS (LDMOS) はドレイン領域を横方向に拡張することにより，ドレインとゲート間の電界強度を緩和する構造にした横型 MOSFET である．耐圧が高く，オン抵抗が低いことが特徴で，DC/DC コンバータの出力段や携帯基地局用のパワーアンプなどに用いられている．これらのアプリケーションは高電圧・大電流で使用するため，低電圧領域で使用する MOSFET より経時・温度劣化が顕著となり，これらの劣化を予測することはデバイスの信頼性において重要な課題である．

本研究では，n チャネル LDMOS の特性劣化シミュレーションに用いるための最大電界モデルについて検討を行う．一般的な n チャネル MOSFET の経時・温度劣化には，飽和領域の高ドレイン電流において起こる Hot Carrier Injection (HCI) や正の電圧ストレスを長時間かけることで発生する Positive Bias Temperature Instability (PBTI) 現象がある[1]．n チャネル MOSFET においては，HCI 現象による劣化が支配的であると考えられており，これは n チャネル LDMOS においても同様である．したがって，本研究では，LDMOS の劣化は HCI 現象による劣化のみを対象とした．

n チャネル LDMOS の HCI 劣化現象においては，文献[2]によると，“ドリフト層のキャリア減少からのオン抵抗増加による”ものと報告されており，文献[3,4]などでオン抵抗の HCI 劣化モデルが報告されている．さらに，文献[4]では，“オン抵抗増加の原因はゲート端における横方向の最大電界と相関がある”と報告されている．これらのことから，n チャネル LDMOS の特性劣化をシミュレーションする上

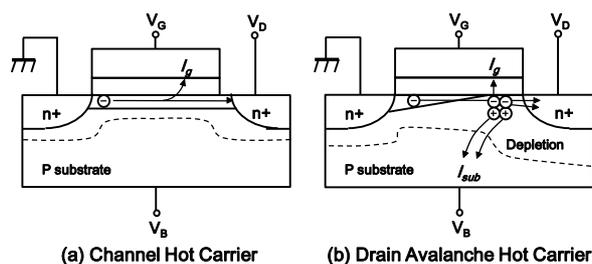


図 1 HCI 現象のメカニズム  
(a) CHC モード (b) DAHC モード

Fig. 1 Schematics of the HCI mechanism in n-MOSFETs:  
(a) channel hot carrier; (b) drain avalanche hot carrier.

で，横方向の最大電界を予測することが重要である．しかし，回路シミュレータ用のコンパクトモデルにおいて，最大電界は測定データによる完全なフィッティング関数モデルになっており，これらのモデルは未公開である．そこで，本研究では，回路シミュレータ用のコンパクトモデルに組み込み，n チャネル LDMOS の特性劣化をシミュレーションすることを目的とし，これに必要な最大電界の物理ベースモデルを検討したので，これを報告する．

### 2. HCI 現象のメカニズムと劣化モデル

〈2-1〉HCI 現象のメカニズム HCI 現象には Channel Hot Carrier (CHC) と Drain Avalanche Hot Carrier (DAHC) による 2 つの代表的な劣化モードがある．n チャネル MOSFET における，それぞれのメカニズムを図 1 に示す．CHC モードは，MOS が線形領域動作時に起こり，ゲート酸化膜のエネルギー障壁を超えられる確率に依存した

電子がゲートへ注入される．このような電子は Lucky Electron と呼ばれる． DAHC モードは MOS が飽和領域動作時に起こり，こちらのモードが劣化に支配的と考えられている． DAHC モードでは，高電界のかかった空乏層をドリフトする電子が，イオンと衝突電離を起こすことにより，電子正孔対が生成される．生成された正孔は基板へ流れ，生成された電子の大部分はドレインに流れるが，一部は酸化膜のエネルギー障壁を超えゲートに注入される．そして，ゲートに注入された高エネルギーを持った電子(ホットエレクトロン)によって，Si-SiO<sub>2</sub>界面の Si-H 結合が破壊される．このとき結合を破壊された水素原子は，ゲート酸化膜内に拡散し，水素原子との共有結合を失ったシリコンは未結合手(ダングリングボンド)をもつため界面トラップ準位を形成する．このようにして，ゲートに注入された電子によって界面準位が生成されるため，しきい値電圧や移動度などのデバイスパラメータの劣化が起きると考えられている．

〈2・2〉 HCI の劣化モデル 代表的な HCI の劣化モデルは，カリフォルニア大学バークレイ校の Hu 教授により考案された Hu モデルである． Hu モデルは Luck Electron Model (LEM) に基づいて考えられている． Hu モデルによる界面トラップ準位の数  $N_{it}$  を次式に示す[5]．

$$N_{it} = C_1 \left( t \frac{I_{ds}}{W} \exp \left[ -\frac{\phi_{it}}{q\lambda E_m} \right] \right)^n \quad (1)$$

ここで， $t$  はストレス時間， $I_{ds}$  はドレイン電流， $W$  はゲート幅， $q$  は電子の電荷量， $\phi_{it}$  は衝突電離を起こす最小エネルギー， $\lambda$  はホットエレクトロンの平均自由行程， $E_m$  は横方向の最大電界， $C_1$ ， $n$  は半導体プロセスに依存した係数である． Hu モデルにおいて最大電界  $E_m$  は界面トラップ準位の数  $N_{it}$  に影響を与える重要なパラメータである．

### 3. LDMOS の構造と HiSIM-HV モデル

図 2 に典型的な LDMOS の構造，図 3 に HiSIM-HV モデル(LDMOS 国際標準モデル)における LDMOS モデルのコンセプトを示す[6]． LDMOS の重要な特徴は高耐圧を実現するために導入されたドリフト領域にある． LDMOS におけるキャリアはソースから供給され，チャンネル領域の反転層を通じて拡散した後，ドリフト領域を通じてドレインへ到達する．このときドレイン・ソース間に印加される電圧の大部分はドリフト領域で電圧降下する．図 3 のように，HiSIM-HV モデルではドリフト領域を抵抗としてモデル化している． HiSIM-HV モデルにおけるドリフト領域の抵抗  $R_{drift}$  は，式(2)~(4)のように定義されている[6]．

$$R_{drift} = (R_d + V_{ds} R_{DVD}) \left( 1 + RDVG11 - \frac{RDVG11}{RDVG12} V_{gs} \right) \quad (2)$$

$$(1 - V_{bs} RDVB) \left( \frac{LDRIFT1 + LDRIFT2}{DDRIFT - W_{dep}} \right)$$

$$R_d = \frac{R_{d0}}{W_{eff,LD} \cdot NF} \left( 1 + \frac{RDS}{(W_{gate} \cdot 10^6 \cdot L_{gate} \cdot 10^6)^{RDSF}} \right) \quad (3)$$

$$R_{d0} = (RD + R_{d0,temp}) f_1 \cdot f_2 \quad (4)$$

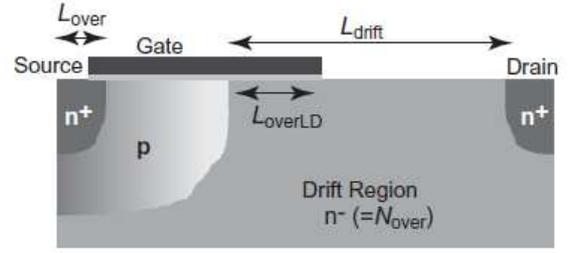


図 2 LDMOS の構造 [6]

Fig.2. Schematic of the LDMOS. [6]

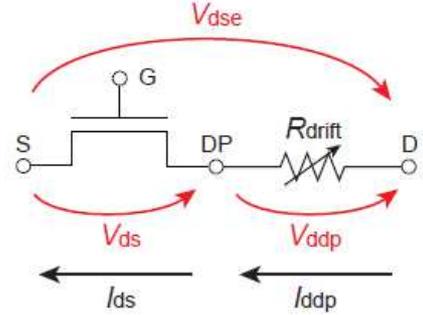


図 3 LDMOS モデルのコンセプト [6]

Fig. 3. LDMOS Model concept in HiSIM-HV. [6]

### 4. 最大電界の物理ベースモデル開発

〈4・1〉 最大電界モデルの問題点 図 4 に飽和領域で動作している n チャンネル LDMOS 中の電界強度分布を示す[7]．図 5 は，図 4 のチャンネル方向に沿った電界強度のプロファイルを示している[7]．図 4，5 より，横方向の電界強度はゲート端にて最大となっていることがわかる．次に，文献[4]の劣化実験に用いられている LDMOS の断面構造を図 6 に示す．T-CAD シミュレータを用いた電界分布の解析では，図 6 のドリフト層 (B, C) 位置で電界ピークが生じていると報告されている．そして，文献[4]では，“オン抵抗の増加はゲート端の横方向の電界強度と相関がある”と報告されており，オン抵抗  $R_{on}$  の経時劣化は以下の式で表される．

$$\frac{\Delta R_{on}}{R_{on}} = A_1 \cdot \ln \left( 1 + \frac{t}{\tau} \right) + A_2 \cdot \ln \left( 1 + \frac{t}{\gamma \cdot \tau} \right) \quad (5)$$

ここで， $A_1$ ， $A_2$ ， $\gamma$  はフィッティングパラメータ， $t$  はストレス時間， $\tau$  は特性時間であり， $\tau$  は次式にて表される．

$$\tau = \frac{\alpha \cdot W}{I_D} \cdot \frac{\phi_b}{E_m \lambda} \cdot e^{\frac{\phi_b}{E_m \lambda}} \quad (6)$$

ここで， $I_D$  はドレイン電流， $\alpha$  はフィッティングパラメータ， $W$  はチャンネル幅， $E_m$  は横方向の最大電界， $\lambda$  は自己発熱係数， $\phi_b$  は Si-SiO<sub>2</sub> 界面のエネルギー障壁を乗り越えるために必要な電子のエネルギーである．(5),(6)式より，特性時間  $\tau$  は最大電界  $E_m$  に依存しており，経時劣化への影響が大きいことがわかる．しかし，文献[4]では，最大電界  $E_m$  は，T-CAD シミュレータによって求めた計算値を完全なフィッティング関数にモデル化して(6)式に使用しており，このモデルは

公開されていない。そして、最大電界 $E_m$ はLDMOSの構造やゲート・ソース間電圧およびドレイン・ソース間電圧のストレス電圧などの物理的な条件に依存するため、フィッティングモデルではなく、汎用性のある物理ベースのモデルが望ましい。本研究では、物理ベース最大電界モデルを開発したので、次節にてその導出および検証について説明する。

#### 〈4・2〉物理ベース最大電界モデルの導出および検証

最大電界導出のための基準となるLDMOS構造を図7に示す[8]。図7の構造に二次元ポアソン方程式を適用すると、

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} + \frac{\partial^2 \phi(x,y)}{\partial y^2} = -\frac{qN_d(x)}{\epsilon_{si}} \quad (7)$$

と表され、これをy方向(0~ $t_1$ )に積分すると、

$$\int_0^{t_1} \frac{\partial^2 \phi(x,y)}{\partial x^2} dy + E_y(x,0) - E_y(x,t_1) = -\frac{qN_d(x)}{\epsilon_{si}} t_1 \quad (8)$$

となる。 $E_y(x,0)$ はSi-SiO<sub>2</sub>界面の境界条件より、

$$E_y(x,0) = -\frac{\epsilon_0}{\epsilon_{si}} \frac{\phi_f(x) - V_{gs} - V_{FB,f}}{t_f} \quad (9)$$

$$E_y(x,0) \approx -\frac{\epsilon_0}{\epsilon_{si}} \frac{\phi_f(x)}{t_f} \quad (10)$$

となる。ここで、 $\phi_f(x) \equiv \phi(x,0)$ である。図7において、ドリフト層が完全に空乏化しているならば、次式の近似が成り立つ。

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} \approx \frac{\partial^2 \phi_f(x)}{\partial x^2} \quad (11)$$

次に、 $E_y(x,t_1)$ を導出する。y方向の $t_1$ ・ $t_2$ 境界条件より、

$$\int_0^{t_2} E_y(x,y) dy = \int_{t_2}^{t_1} E_y(x,y) dy \quad (12)$$

となり、(12)式より、 $E_y(x,t_1)$ は、

$$\frac{2(\phi_f - \phi_b)}{t_1} = \frac{2\phi_b}{t_2} = E_y(x,t_1) \quad (13)$$

となる。(13)式より、ポテンシャル $\phi_b(x)$ は、

$$\phi_b(x) = -\frac{qN_{sub}}{2\epsilon_{si}} t_2^2 \quad (14)$$

である。また、(13)式より、ドレイン近傍( $\phi_f = V_{ds}$ )では、

$$\frac{V_{ds} - \phi_b}{t_1} + \frac{qN_d(x)t_1}{2\epsilon_{si}} = \frac{qN_{sub}t_2}{\epsilon_{si}} \quad (15)$$

となる。これに、(14)式を代入し、 $t_2/t_1$ について解くと、

$$\frac{t_2}{t_1} = \sqrt{1 + \frac{N_d(x)}{N_{sub}} + \frac{2\epsilon_{si}V_{ds}}{qN_{sub}t_1^2}} - 1 \quad (16)$$

となる。ここで、(8)式に(10)、(11)、(13)、(14)式を代入すると、一次元化されたポアソン方程式が求まる。

$$\frac{\partial^2 \phi_f(x)}{\partial x^2} - \alpha \phi_f(x) = \beta \quad (17)$$

ここで、 $\alpha$ と $\beta$ は以下の式で示される。

$$\alpha = \frac{\epsilon_0}{t_1 t_f \epsilon_{si}} + \frac{2}{t_1^2} \quad (18)$$

$$\beta = -\frac{q}{\epsilon_{si}} \left[ N_d(x) + N_{sub} \left( \frac{t_2}{t_1} \right)^2 \right] \quad (19)$$

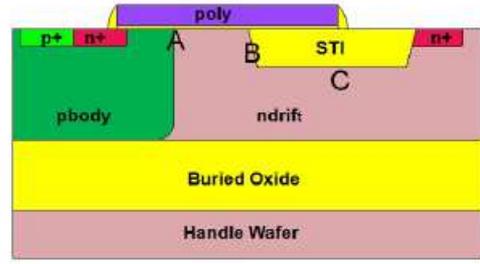


図4 nチャネルLDMOSの断面図 [4]

Fig. 4. Schematic cross section of n-LDMOS used in [4].

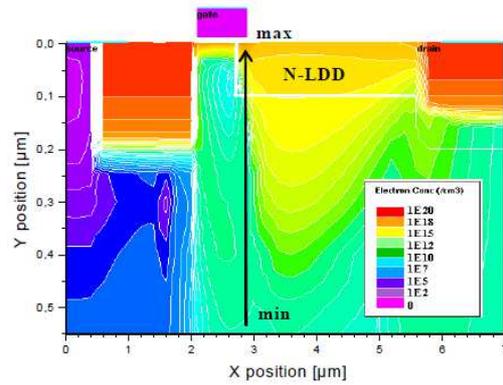


図5 nチャネルLDMOSの電界強度分布 [7]

Fig. 5. Electric field distribution of n-LDMOS. [7]

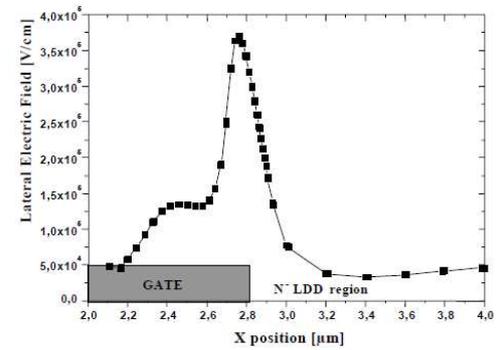


図6 nチャネルLDMOSの横方向電界強度分布 [7]

Fig. 6. Lateral electric field distribution in n-LDMOS. [7]

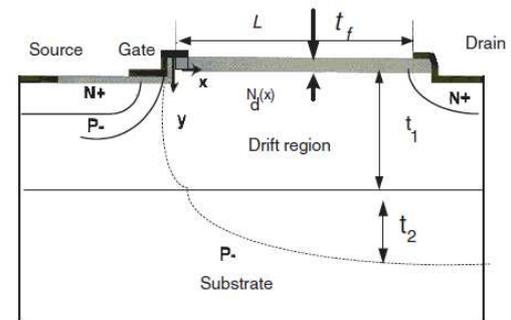


図7 最大電界導出の対象とするLDMOS構造 [8]

Fig. 7. The structure of the LDMOS to derive the field. [8]

境界条件を $\phi_f(0) = \phi_0$ ,  $\phi_f(L) = V_{ds}$ とし, (17)式の微分方程式を解くと, 最大電界 $E_m \equiv |\partial\phi_f(0)/\partial x|$ は,

$$E_m = \sqrt{\alpha} \frac{\left(-\frac{\beta}{\alpha} + \phi_0\right) \cosh(\sqrt{\alpha}L) + \left(V_{ds} + \frac{\beta}{\alpha}\right)}{\sinh \sqrt{\alpha}L} \quad (20)$$

となる. (20)式において,  $x=0$ における表面ポテンシャル $\phi_0$ は, 実際には定数ではなく, ゲート・ソース間電圧およびドレイン・ソース間電圧に関する変数である. しかし, 表面ポテンシャル $\phi_0$ をこれらの変数として定義すると, 解析的に微分方程式を解くことができない. そこで, 本研究では, 最大電界の測定データと整合するように, (20)式の $\phi_0$ にゲート・ソース間電圧およびドレイン・ソース間電圧の依存性をもたせる方法を用いた. この方法で開発した $\phi_0$ のモデルを次式に示す.

$$\phi_0 = d_1 \log(V_{ds}/d_2) - A \exp[R(V_{gs} - V_{th})] \quad (21)$$

ここで,  $d_1$ ,  $d_2$ ,  $A$ ,  $R$  はフィッティングパラメータである. なお, 最大電界の測定データは図 8 (b)における  $V_{DS} = 20V$ ,  $40V$ ,  $60V$  のときの数値計算結果を用いた[4].

開発したモデルによる最大電界と測定データを比較した結果を図 9 に示す. 図 9 より, 開発したモデルによる最大電界は, ゲート・ソース間電圧およびドレイン・ソース間電圧のバイアス電圧を変化させても測定データとよく一致していることが確認できる. また, 開発したモデルは物理的に導出したモデルのため, 多少構造が違う場合でも物理定数の変更により対応が可能であり, 従来のフィッティングモデルより汎用性が高いモデルである.

本モデルを元に, 3章で述べた HiSIM-HV モデルの, 各ドリフト層における抵抗パラメータの劣化特性に結びつけることで, LDMOS 特性劣化汎用モデルが作成可能となる.

## 5. まとめ

本研究では, 回路シミュレータ用のコンパクトモデルに組み込み, n チャンネル LDMOS の特性劣化をシミュレーションすることを目的とし, これに必要となる最大電界の物理ベースモデルを開発した. 開発した物理ベースモデルの最大電界は, ゲート・ソース間電圧およびドレイン・ソース間電圧のバイアス電圧を変化させても測定データとよく一致することが確認できた. 本研究で開発したモデルは物理的に導出したモデルのため, 多少構造が違う場合でも物理定数の変更により対応が可能であり, 従来のフィッティングモデルより汎用性が高いモデルである.

今後は, 開発した物理ベース最大電界モデルを組み込んだ温度・時間・バイアス電圧の各ストレスに依存した, LDMOS の特性劣化モデルを完成させ, LDMOS の特性劣化シミュレーションによる回路設計の信頼性向上に役立てたい.

**謝辞:** 本研究をご支援いただきました株式会社 MoDeCH に感謝いたします.

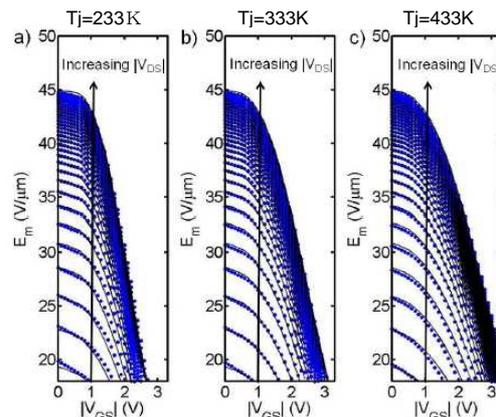


図 8 最大電界のバイアス依存性(T-CAD 数値解析結果) [4]

Fig.8. Peak electric field in the n-LDMOS as a function of bias.  $V_{DS}$  is varied from 10V to 70 V in steps of 2 V. [4]

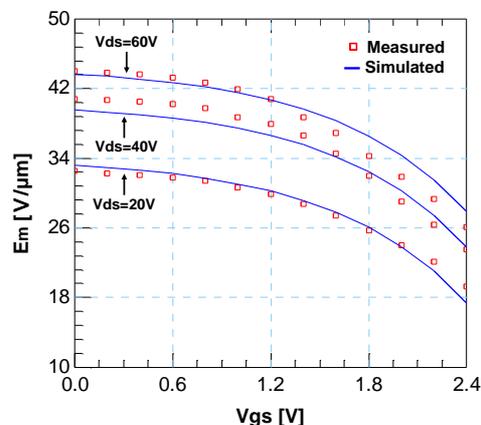


図 9 開発した物理ベースモデルと測定データの比較

Fig.9. Comparison between measured data and the proposed physically based model in the maximum electric field of an n-LDMOS.

## 文 献

- [1] E. Maricau and G. Gielen, "Analog IC Reliability in Nanometer CMOS", Springer Science+Business Media New York (2013).
- [2] S. Reggiani, et al, "Physics-Based Analytical Model for HCS Degradation in STI-LDMOS Transistors," in Electron Devices, IEEE Transactions on, vol.58, no.9, pp.3072-3080, Sept. 2011.
- [3] P. Moens, et al, "A Comprehensive Model for Hot Carrier Degradation in LDMOS Transistors," in Reliability physics symposium, pp.492-497, 15-19 April 2007.
- [4] G. Sasse, et al, "An LDMOS hot carrier model for circuit reliability simulation," in Reliability Physics Symposium, 2014 IEEE International, pp.5D.5.1-5D.5.6, 1-5 June 2014.
- [5] Chenming Hu, et al, "Hot-Electron-Induced MOSFET Degradation - Model, Monitor, and Improvement," in Solid-State Circuits, IEEE Journal of, vol.20, no.1, pp.295-305, Feb. 1985.
- [6] Hisim-HV 2.2.0 User's manual.
- [7] M.A. Belaid and K. Ketata, "Hot-carrier effects on power RF LDMOS device reliability," in Thermal Investigation of ICs and Systems, pp.123-127, 24-26 Sept. 2008.
- [8] Jin He, et al, "Linearly graded doping drift region: a novel lateral voltage-sustaining layer used for improvement of RESURF LDMOS transistor performances," Semicond. Sci. Technol. 17 (2002) 721-728.