

高信頼性・低オン抵抗デュアルRESURF Nch-LDMOSの提案

松田順一 小島潤也 神山雅貴 築地伸和 小林春夫
群馬大学



- 研究背景・目的
- 従来型①②・新型 Nch-LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- まとめ

- 研究背景・目的
- 従来型①②・新型 Nch-LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- まとめ

研究背景・目的

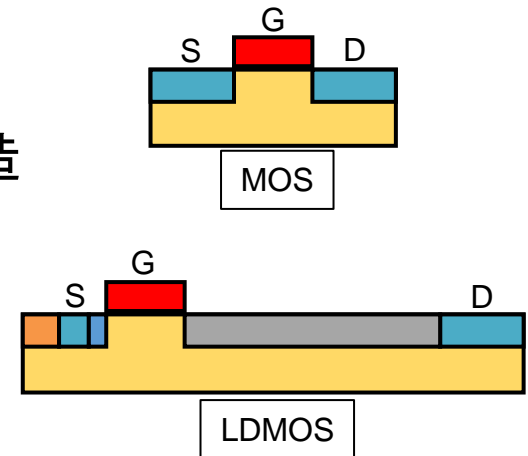
LDMOS (Laterally Diffused MOS)

- ・横方向拡散MOS

ゲート-ドレイン間の電界強度を緩和する構造
耐圧が高い⇒高電圧を印加可能

- ・パワーMOSの一種

電源回路のスイッチングなどに使用



集積型中高耐圧 (30-50V) **車載用LDMOS** に注目

信頼性：車載用LDMOS > 民生用LDMOS

信頼性の低下要因

- ・インパクトイオン化
- ・Kirk効果
- ・電流増大 (Current Expansion: CE)

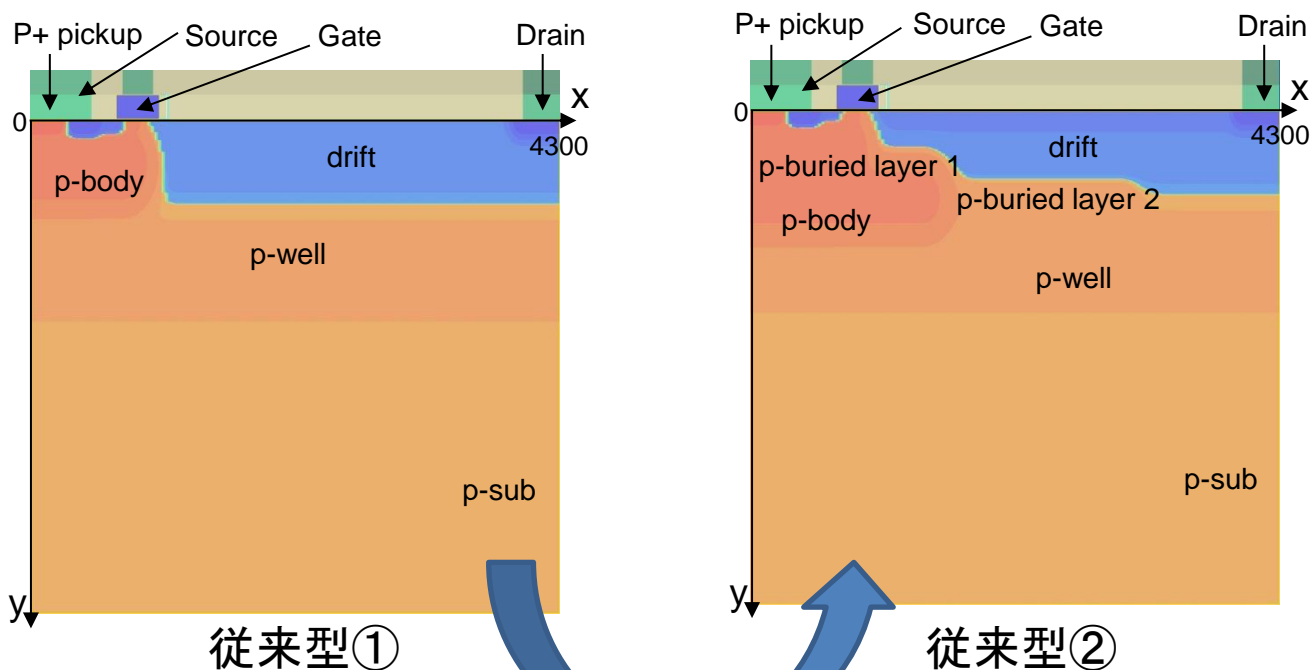
研究目的

耐圧60V・高信頼性LDMOS構造を提案

- 研究背景・目的
- 従来型①②・新型 Nch-LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- まとめ

従来型①② Nch-LDMOS構造

◆ 電子デバイス・半導体電力変換合同研究会, EDD-15-066, SPC-15-148, (2015年10月) に発表



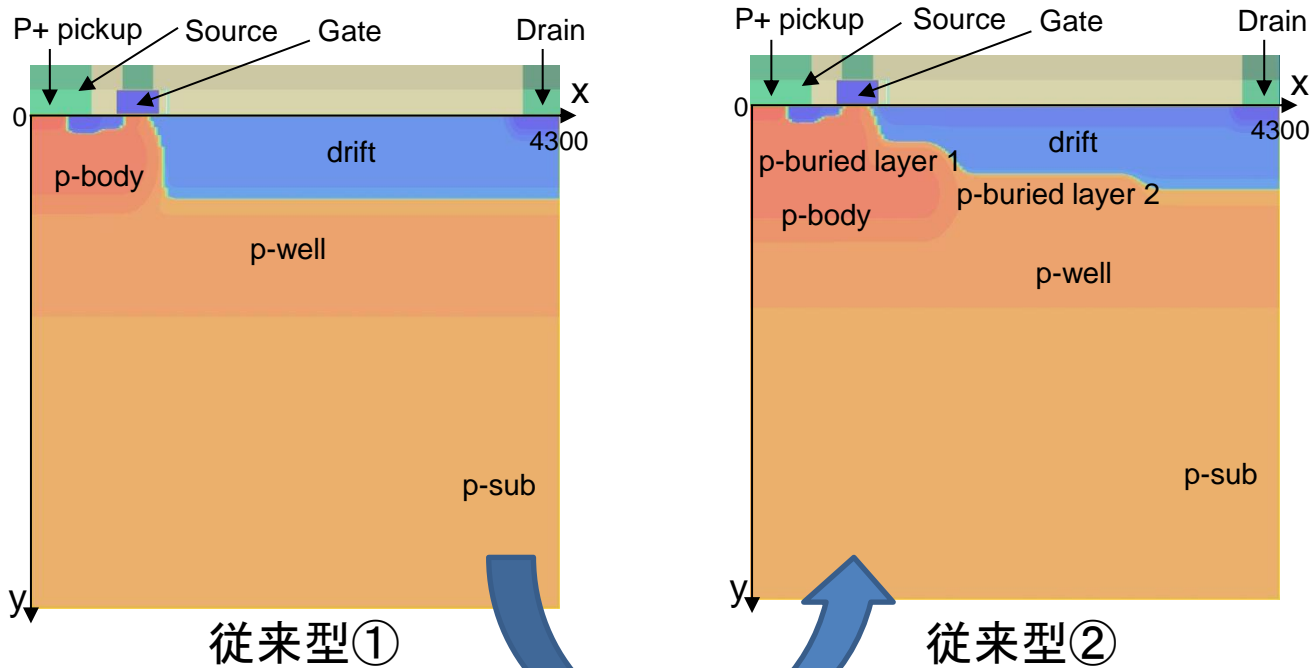
0.35 μ mプロセススペース	
ゲート長	0.35 μ m
ゲート酸化膜厚	12nm
ドリフト長	2.95 μ m
デバイス幅	0.3 μ m

デュアルRESURF構造 高信頼性 { インパクト・イオン化
Kirk効果による電流増大 (抑制)
(Current Expansion: CE)

- ・p-buried layer 1 ⇒ドリフト端周りでのRESURFの強化とCEの抑制
- ・p-buried layer 2 ⇒ドリフト領域に沿ったRESURFの強化
- ・ドレイン下のp-buried layer 2の開口⇒CEの抑制と耐圧の維持

従来型①② Nch-LDMOS構造

◆ 電子デバイス・半導体電力変換合同研究会, EDD-15-066, SPC-15-148, (2015年10月) に発表



0.35μmプロセススペース	
ゲート長	0.35μm
ゲート酸化膜厚	12nm
ドリフト長	2.95μm
デバイス幅	0.3μm

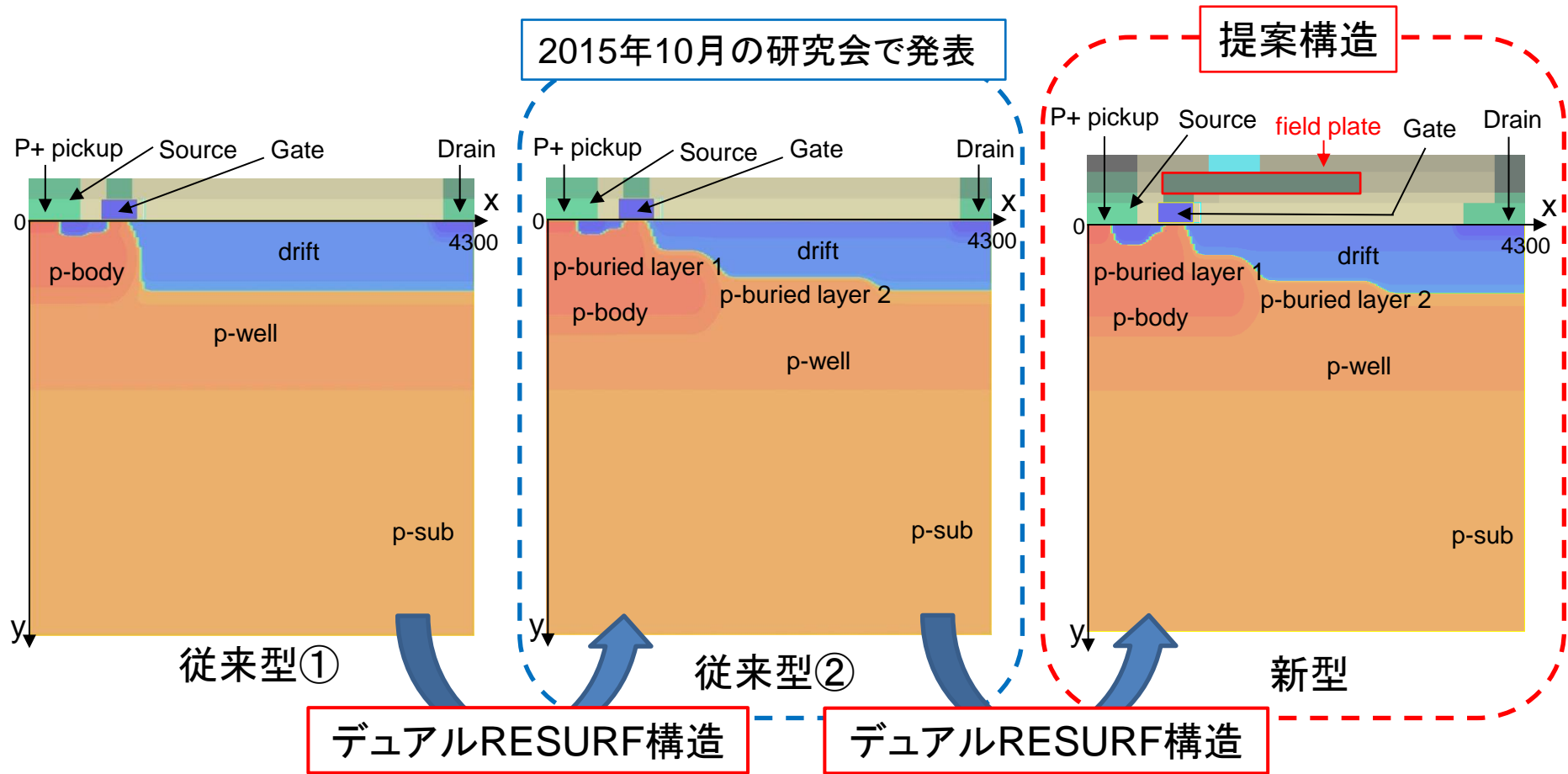
デュアルRESURF構造

低 信頼性 高

68.7 特性オン抵抗 $R_{on}A(m\Omega mm^2)$ 69.3

低オン抵抗化へ新構造を提案

新型 Nch-LDMOS構造



+

低オン抵抗化

- ・ドリフト領域縮小化
- ・ソースとドリフト領域のドーズ量増加
- ・フィールドプレート

0.35 μ mプロセスベース	
ゲート長	0.35 μ m
ゲート酸化膜厚	12nm
ドリフト長	2.65 μ m
デバイス幅	0.3 μ m
(フィールドプレート長	1.925 μ m)
(ドリフト-フィールドプレート間酸化膜厚	0.3 μ m)

新型 低オン抵抗化

9/17

I .ドリフト領域縮小化

➡ オン抵抗→減少

抵抗 $R \propto$ 長さ

II .フィールドプレート

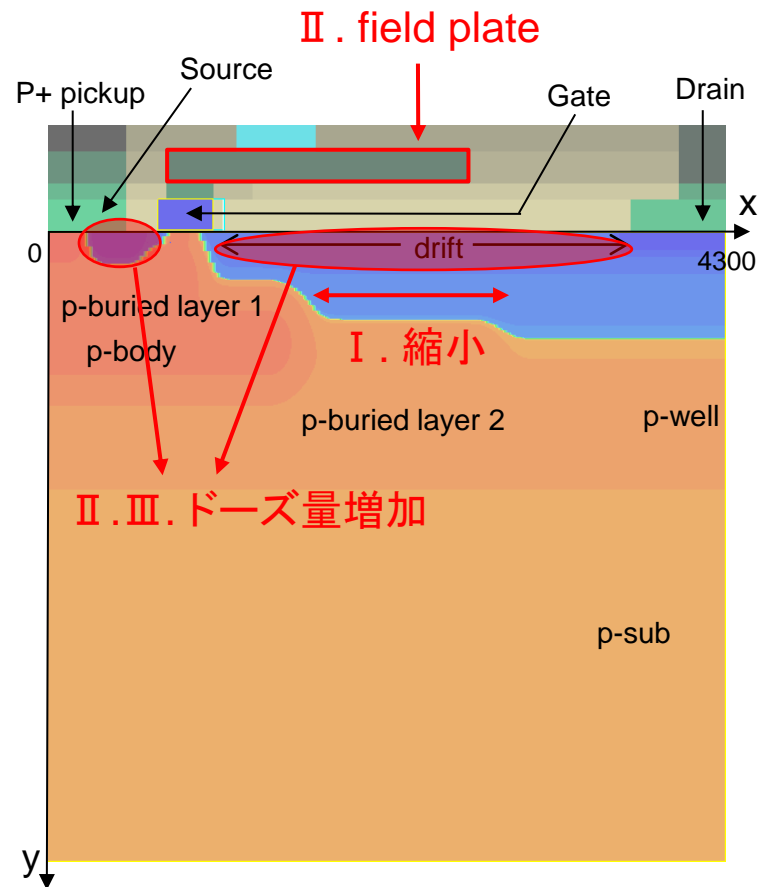
➡ RESURFの強化

耐圧の向上と低オン抵抗
→ドリフト領域のドーズ量増加

III .ソース領域のドーズ量増加

➡ $\left[\begin{array}{l} \text{キャリア} \rightarrow \text{増加} \\ \text{オン抵抗} \rightarrow \text{減少} \end{array} \right.$

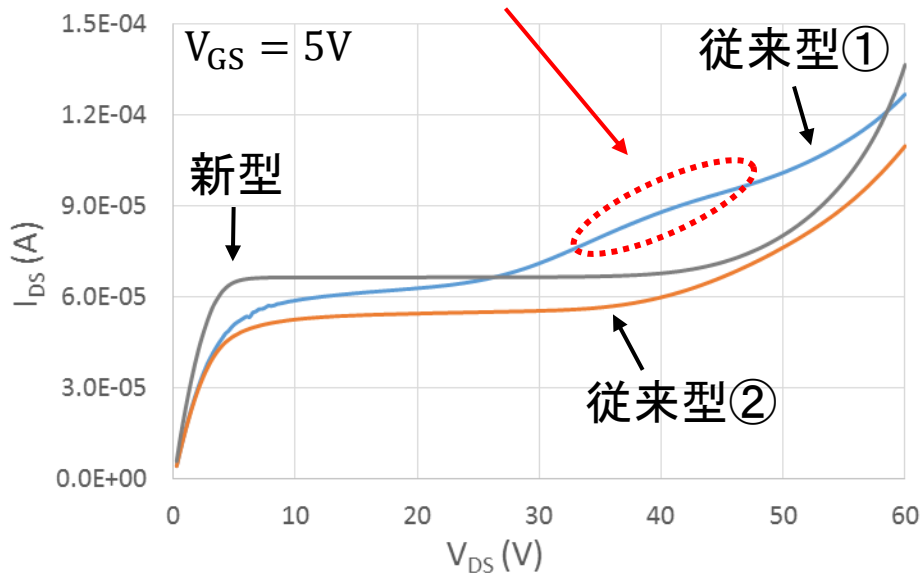
バックゲート効果を抑制



- 研究背景・目的
- 従来型①②・新型 Nch-LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- まとめ

従来型と新型の $I_{DS}-V_{DS}$ 特性の比較

電流増大(Current Expansion: CE)



	従来型①	従来型②	新型
電流増大(CE)	有	無	無
特性オン抵抗 $R_{on}A$ ($A=width \times pitch$)	68.7mΩmm ² ($A=0.3 \times 4 \mu\text{m}^2$)	69.3mΩmm ² ($A=0.3 \times 4 \mu\text{m}^2$)	44.8mΩmm ² ($A=0.3 \times 3.725 \mu\text{m}^2$)

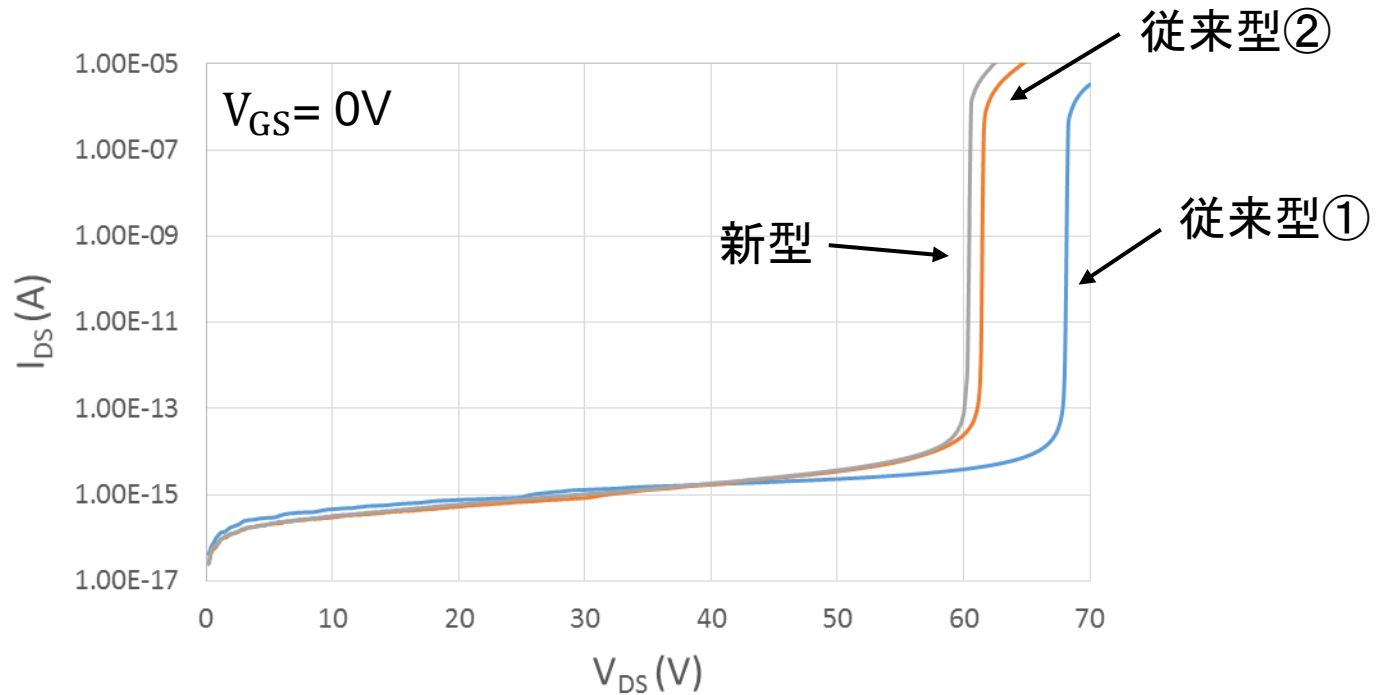
低信頼性

高信頼性

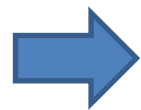
高信頼性

低オン抵抗化

従来型と新型の BV_{DS} の比較



	従来型①	従来型②	新型
ブレークダウン電圧 BV_{DS}	68V	61V	60V

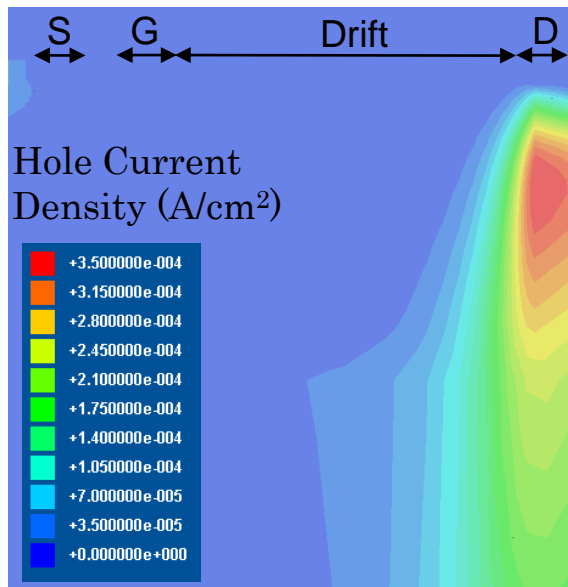


車載用中高耐圧LDMOS(50V動作)への応用
すべての構造で問題ない

ブレークダウン時の正孔電流密度分布 13/17

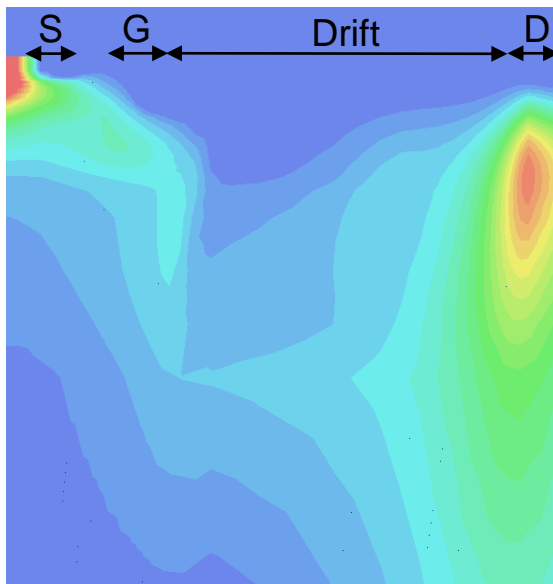
従来型①

$V_{DS}=68V, V_{GS}=0V$



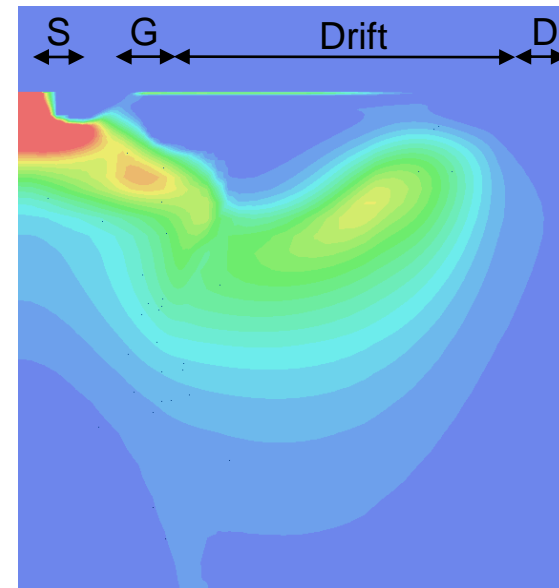
従来型②

$V_{DS}=61V, V_{GS}=0V$



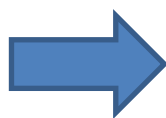
新型

$V_{DS}=60V, V_{GS}=0V$



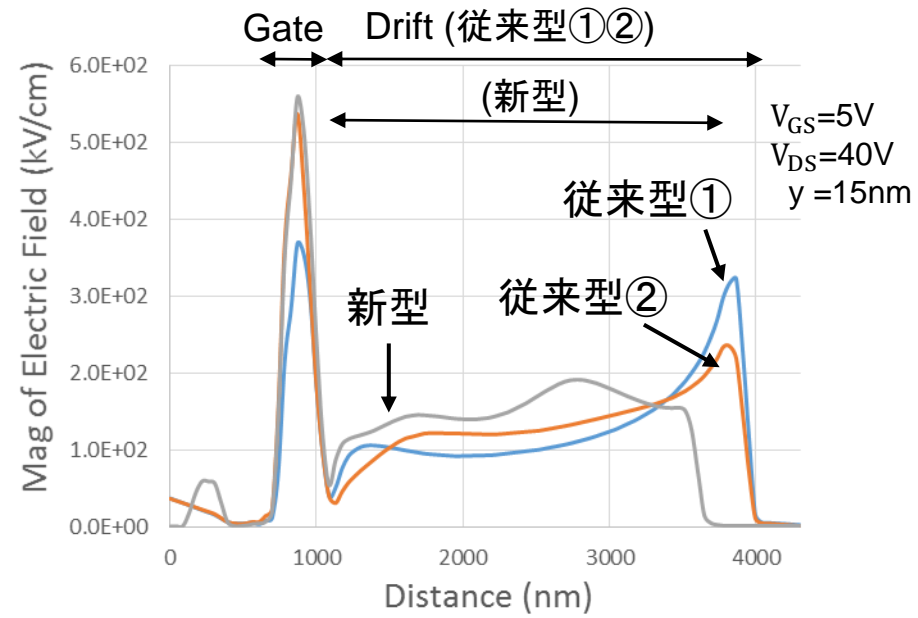
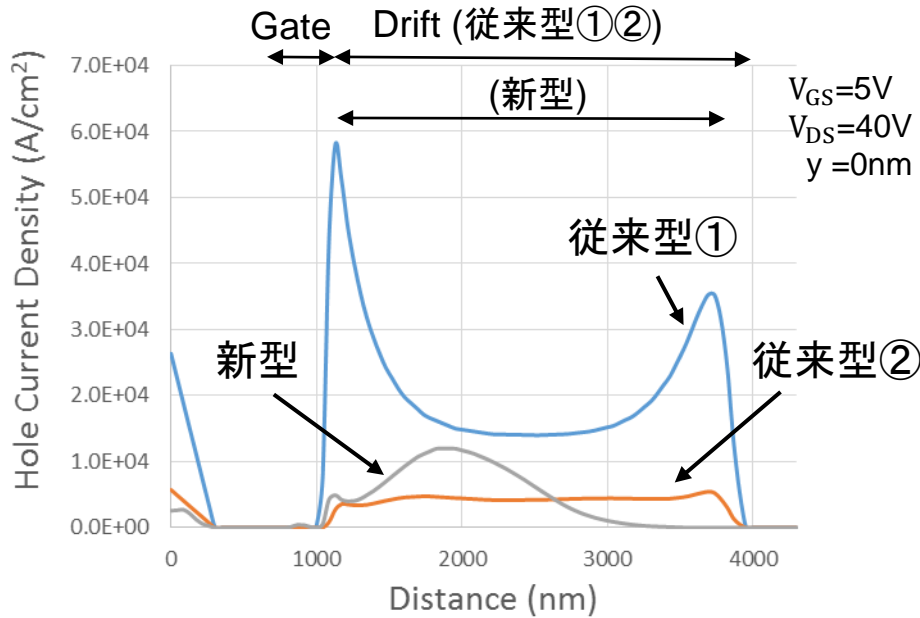
すべての構造でブレークダウンは**バルク**で発生

(界面で発生していない)



電子・正孔の { 酸化膜へのトラップ
界面への影響 } (抑制)

正孔電流密度と電界形状の比較



インパクトイオン化による正孔電流 \propto 電子電流 \times 電界 $\times \exp(-A/\text{電界})$

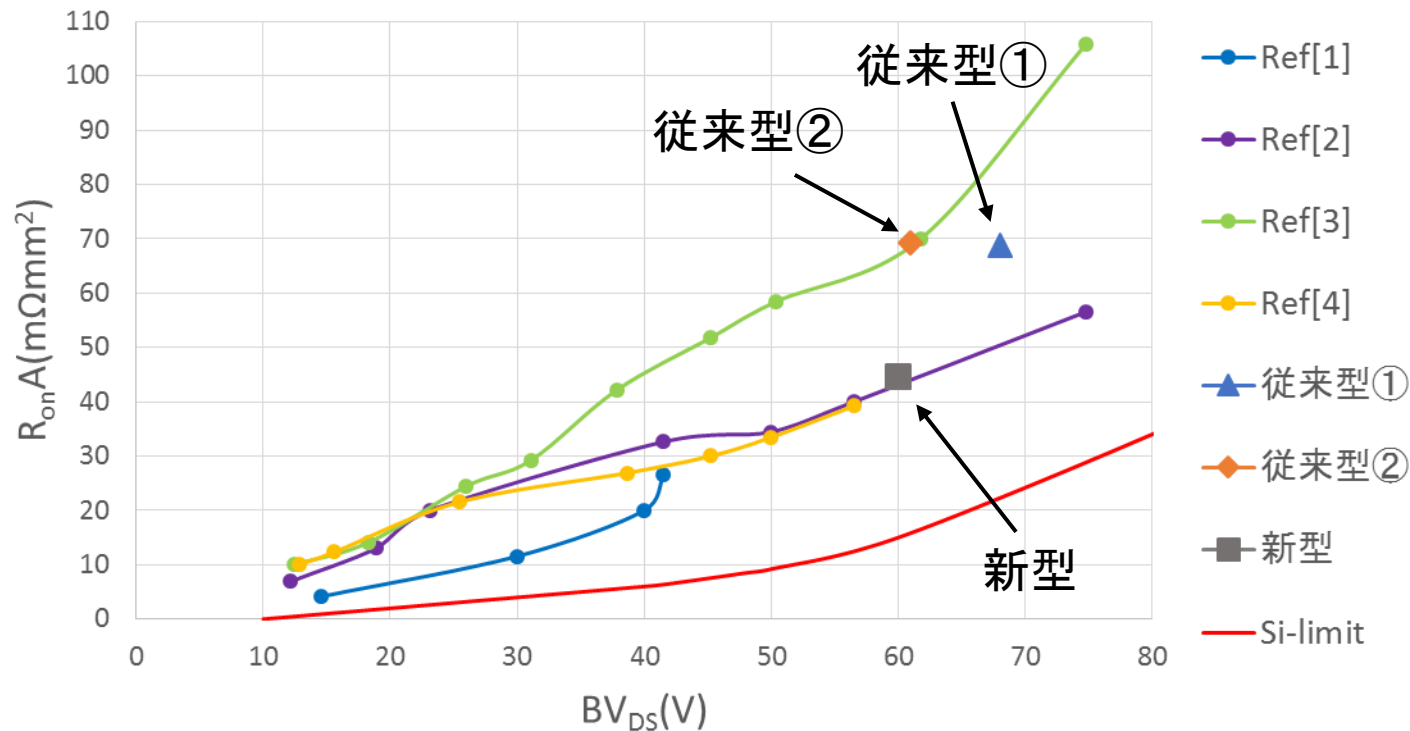
	従来型①	従来型②	新型
ゲート端周りでの正孔電流密度	高	低	低(x=1800nmでピーク)
ドレイン端周りの電界の大きさ	高	中	低(x=2700nmでピーク)



インパクトイオン化の発生率	高	低	低(ピークの位置にズレ)
---------------	---	---	--------------

※デュアルRESURF構造による

オン抵抗-耐圧特性



新型 {
・ 高信頼性
・ オン抵抗値 が既存のレベル

Ref[1]: S. Pendharkar "7 to 30V state-of-art power device implementation in 0.25 μ m LBC7 BiCMOS-DMOS process technology" Proc. Of ISPSD, p419-422, 2004. (Texas Instruments(米))

Ref[2]: R. Zhu, "Implementation of high-side, "high-voltage RESURF LDMOS in a sub-half micron smart power technology", ISPSD, p403-406, 2001. (Motorola(米))

Ref[3.4]: Choul-Joo Ko, et al., "Implementation of Fully Isolated Low Vgs nLDMOS with Low Specific On-resistance," ISPSD, pp. 24-27 (2011). (Dongbu Hitek(韓国))

- 研究背景・目的
- 従来型①②・新型 Nch-LDMOS構造
- シミュレーション結果
 - I_{DS} - V_{DS} 特性
 - ブレークダウン特性
 - 正孔電流密度と電界形状
 - オン抵抗-耐圧特性
- まとめ

- オン抵抗が大きい従来型②に対して新たな構造を取り入れ高信頼性・低オン抵抗化した新型を提案した

項目	従来型①	従来型②	新型
ドレイン電流増大	強 (Current Expansion)	弱	弱
$R_{on}A$ (mΩmm ²)	68.7	69.3	44.8
BV_{DS} (V)	68	61	60
ブレークダウンの箇所	バルク	バルク	バルク
真性MOSFETのドレイン側ゲート端周りでのインパクト・イオン化による正孔電流密度	高	低	低
真性MOSFETのドレイン端周りのドリフト領域内の電界の大きさ	高	中	低 〔インパクトイオン化発生の問題は無し〕

本研究を進めるにあたり、3D TCADを貸していただいたアドバンスソフト社に深謝いたします。

この3D TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト社で開発されています。

Q1.耐圧などはシミュレーションでどれほどの精度があるのか。実測ではどうか。

A1.シミュレーションはアドバンスソフト社のTCADを用いて行い、実測に近いものとなっている。実測は行っていない。

Q2.製造のときにフィールドプレートや層のズレがあると思うが、耐圧とかは下がらないのか。

A2.フィールドプレートや層のズレは耐圧の低下に繋がることもある。しかし、今回は50V動作のときを考えており、提案した新型構造では+10Vの余裕を持たせて耐圧を60Vにしてある。耐圧が低下しても動作時には問題がないようにしてある。