

## 高信頼性・低オン抵抗デュアル RESURF Nch-LDMOS の提案

### A Proposal of High Reliability Dual RESURF Nch-LDMOS with Low On-resistance

松田 順一、<sup>○</sup>小島 潤也、神山 雅貴、築地 伸和、小林 春夫 (群馬大学)

Jun-ichi Matsuda, <sup>○</sup>Jun-ya Kojima, Masataka Kamiyama, Nobukazu Tsukiji, Haruo Kobayashi

(Gunma University) E-mail: t12306031@gunma-u.ac.jp

#### 1. はじめに

民生用の中高耐圧 (30~50V) LDMOS を車載用に展開する場合一層の信頼性が要求される。先に、LDMOS のドレイン側ゲート端周りでインパクト・イオン化を抑えた高信頼性デュアル RESURF Nch-LDMOS を提案<sup>[1]</sup>したが、オン抵抗が高かった。今回、これを改善する。

#### 2. 従来型と新型 Nch-LDMOS 構造

前記 Nch-LDMOS (従来②)<sup>[1]</sup>のドリフト(D)層は二段階になっており、従来の単純な D 層の Nch-LDMOS (従来①)と異なる。今回 (新型)、従来②に対し Field Plate (FP) を追加し、D 層の n 型不純物量を最適化し、D 層を短縮した。

Nch-LDMOS 構造 は 0.35 $\mu\text{m}$  ルール相当であり、アドバンスソフト社のデバイス・シミュレータ DESSERT ( $\beta$  版) を用いて特性を調べた。

#### 3. シミュレーション結果

Fig. 1 は  $I_{DS}$ - $V_{DS}$  特性 ( $V_{GS}=5V$ ) の比較を示す。従来①では Kirk 効果による電流増大 (CE: Current Expansion) はあるが、従来②と新型では CE の発生はない。

Fig. 2 は Si の表面に沿ったインパクト・イオン化による正孔電流密度 ( $J_h$ ) プロファイル ( $V_{GS}=5V$ ,  $V_{DS}=40V$ ) の比較を示す。新型と従来②の  $J_h$  は、従来①に比べて大きく低下している。新型の  $J_h$  はゲート端から D 領域へ向かって大きくなるが、ゲート端では従来②と同程度であるため、インパクト・イオン化による新型での LDMOS 中の真性 MOSFET の特性変動は

従来①に比べて少ないと考える。

特性オン抵抗  $R_{onA}$  ( $\text{m}\Omega\cdot\text{mm}^2$ ) は、従来②の 69.3 から新型の 44.8 に低下した。またブレークダウン電圧  $BV_{DS}$  (V) は、従来②の 61 から新型の 60 であり、ほとんど変わらなかった。新型の  $R_{onA}$ - $BV_{DS}$  (トレードオフ特性) は、今迄発表<sup>[2]</sup>された中で最も良いレベルと同等である。

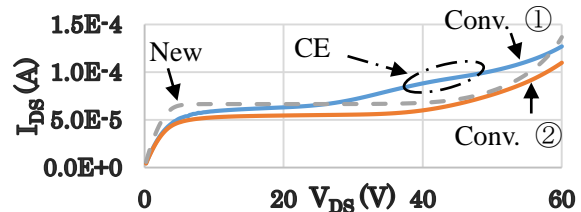


Fig. 1. Comparison of  $I_{DS}$ - $V_{DS}$  characteristics between conventional and new Nch-LDMOSs.

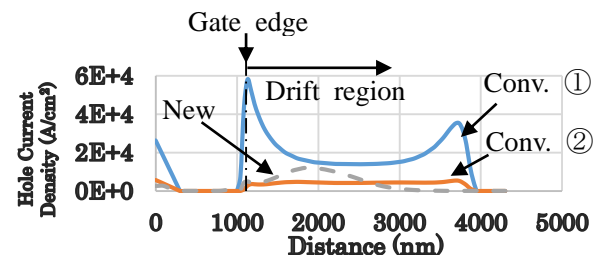


Fig. 2. Comparison of hole current density profiles along the surface between conventional and new Nch-LDMOSs.

**謝辞** 本シミュレータを貸して頂いた、アドバンスソフト社に深謝申し上げます。

#### 参考文献

- [1] 松田順一, 他, 「高信頼性 Nch-LDMOS の提案」 EDD-15-066, SPC-15-148, pp. 11-16 (2015).
- [2] Choul-Joo Ko, et al., "Implementation of Fully Isolated Low  $V_{gs}$  nLDMOS with Low Specific On-resistance," ISPSD, pp. 24-27 (2011).