

# LDMOSの信頼性モデリングにおける HiSIM-HVモデルを用いたオン抵抗の 劣化モデルの開発

○戸塚拓也 青木均 築地伸和  
香積正基 東野将司 栗原圭太 小林春夫(群馬大学)

群馬大学大学院 理工学府  
電子情報・数理教育プログラム専攻  
小林研究室

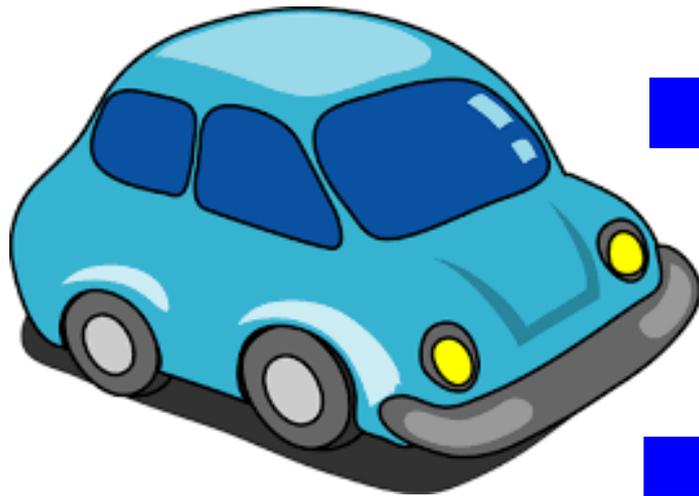
- 研究背景・目的
- LDMOS、HiSIM-HVとは
- モデル開発の手法
- 劣化モデルの開発
- まとめ

- 研究背景・目的
- LDMOS、HiSIM-HVとは
- モデル開発の手法
- 劣化モデルの開発
- まとめ

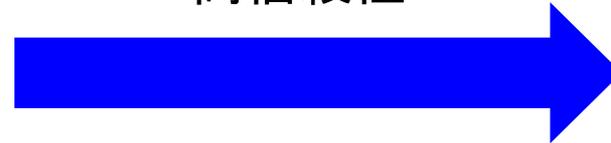
半導体の微細化により素子の集積度が増加

➡ 半導体の面積縮小、高速化、省電力化

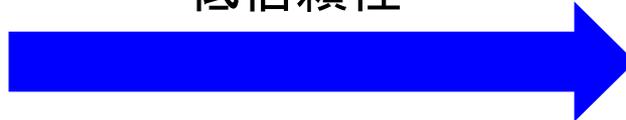
製造ばらつきや経時劣化による影響大



高信頼性



低信頼性

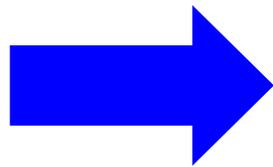


## 製造ばらつき

デバイス特性のばらつき

## 経年劣化

過酷な環境で使用



問題発生



## 設計マージンが必要

- 過多マージン  
回路面積の増加  
消費電力の増加
- 過少マージン  
故障率の増加

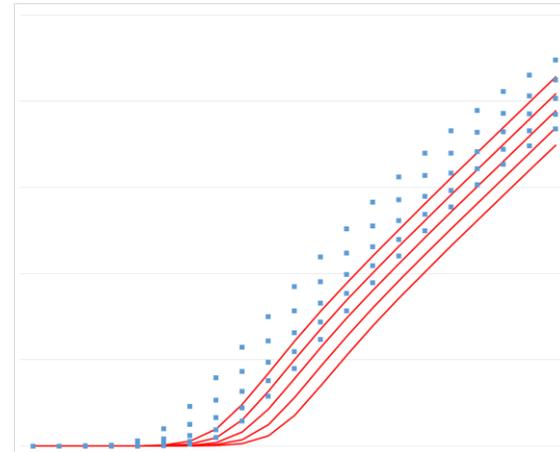
最適なマージンを得る



高コスト化

## 新しい信頼性を高めるモデルの開発

製造ばらつき  
経時変化



シミュレーション可能

回路設計者がシミュレーションで予測可能!!



信頼性向上

- デバイスモデル

素子の動作を方程式や等価回路により表現

- デバイスモデリング

方程式の中には多くの変数(パラメータ)があり  
プロセス・デバイスに応じて変化

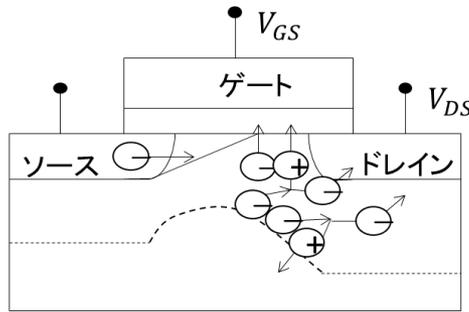
そのパラメータを実測データを用い抽出・最適化

回路シミュレーションを行う際  
実際の回路動作にどれだけ近づけるかが重要

## • HCI現象 (Hot Carrier Injection)

チャネルがエネルギーを持ち

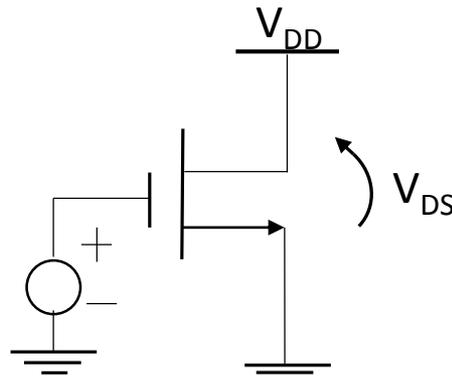
移動度劣化、しきい値電圧の上昇が起こる現象



- $|V_{th}|$  → 変化
- $\mu$  → 変化

## • BTI現象 (Bias Temperature Instability)

電圧ストレスを長時間かけしきい値電圧が上昇する現象



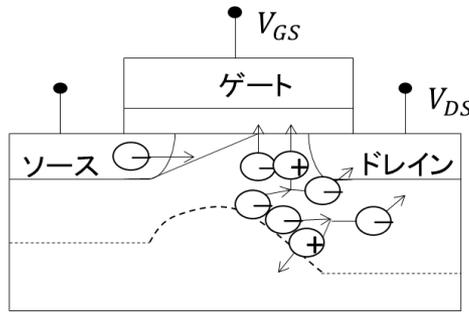
- $|V_{th}|$  → 変化

## • HCI現象 (Hot Carrier Injection)

より支配的であるHCI現象に着目し  
特性解析を行う。

チャネルがエネルギーを持ち

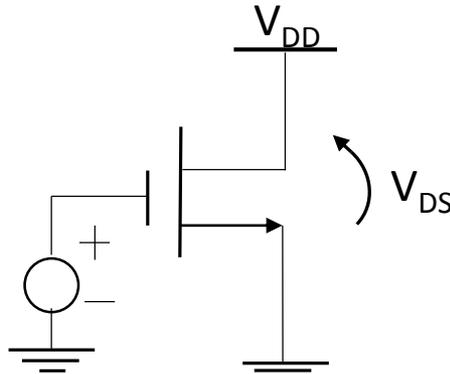
移動度劣化、しきい値電圧の上昇が起こる現象



- $|V_{th}|$
  - $\mu$
- ➡ 変化

## • BTI現象 (Bias Temperature Instability)

電圧ストレスを長時間かけしきい値電圧が上昇する現象



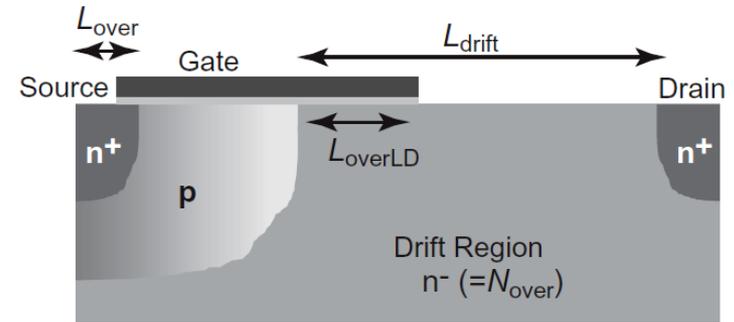
- $|V_{th}|$
- ➡ 変化

- 研究背景・目的
- LDMOS、HiSIM-HVとは
- モデル開発の手法
- 劣化モデルの開発
- まとめ

## 横方向拡散MOS

### Laterally Diffused MOS (LDMOS)

- ・ドレイン-ゲート間の電界強度緩和する構造
- ・耐圧が高く、オン抵抗が低い
- ・LDMOSの使用用途：DC/DCコンバータの出力段  
携帯基地局用のパワーアンプなど



LDMOSの構造図

## HiSIM-HV

LDMOSのシミュレーションで基準

シミュレーションで信頼性を確認できない

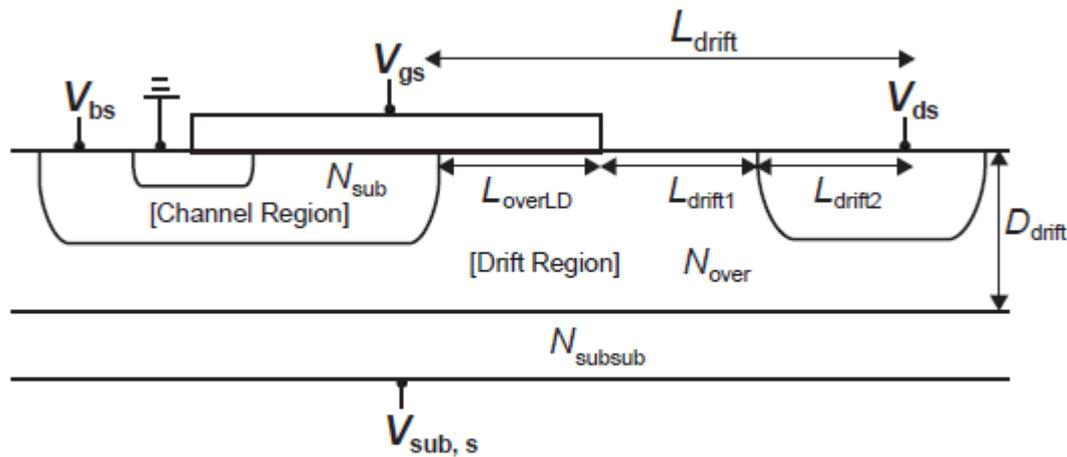


事前解析できる環境が必要

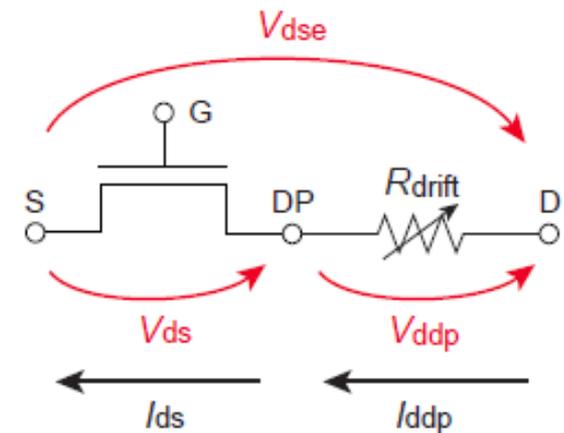
HiSIM-HVとは

広島大学とSTARCが共同開発したLDMOSモデル

Compact Model Council(CMC)が推奨しているLDMOSのモデル

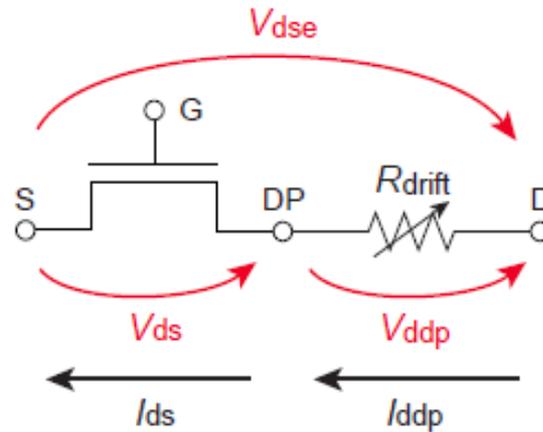


LDMOSの構造



HiSIM-HV コンセプト図

## $R_{drift}$ の抵抗式



## HiSim-HV コンセプト図

$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left( 1 + \mathbf{RDVG11} - \frac{\mathbf{RDVG11}}{\mathbf{RDVG12}} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot \mathbf{RDVB}) \cdot \left( \frac{\mathbf{LDRIFT1} + \mathbf{LDRIFT2}}{\mathbf{DDRIFT} - W_{dep}} \right)$$

$$R_d = \frac{R_{d0}}{W_{eff,LD} \cdot \mathbf{NF}} \left( 1 + \frac{\mathbf{RDS}}{(W_{gate} \cdot 10^6 \cdot L_{gated0} \cdot 10^6) \mathbf{RDSP}} \right)$$

$$R_{d0} = (\mathbf{RD} + R_{d0,temp}) f_1 \cdot f_2$$

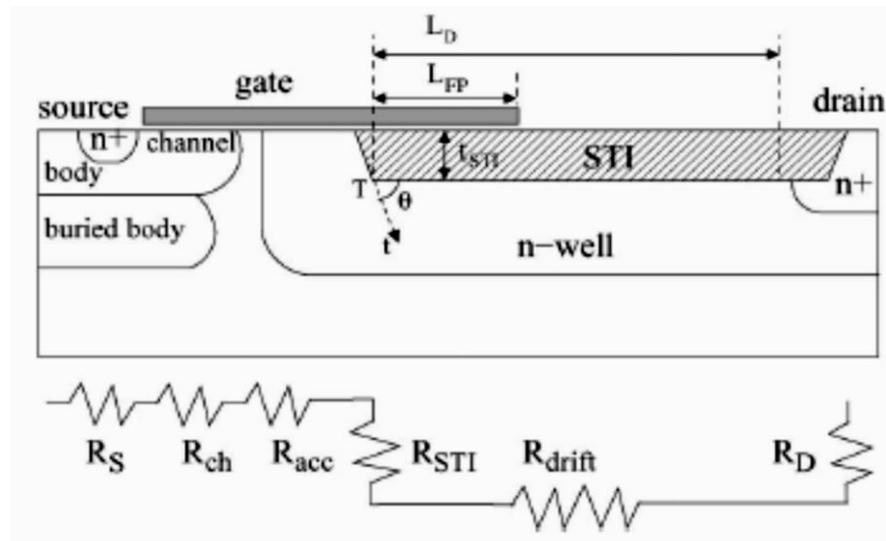
- 研究背景・目的
- LDMOS、HiSIM-HVとは
- モデル開発の手法
- 劣化モデルの開発
- まとめ

## 論文調査の結果

LDMOSの劣化  
ドリフト領域でHCI劣化が発生

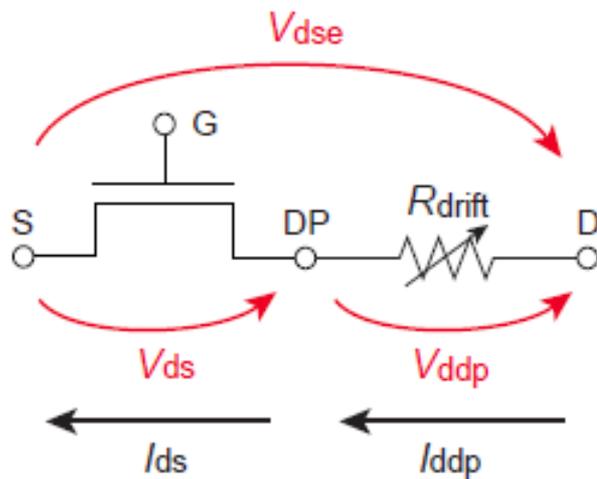


抵抗 $R_{drift}$ が増加

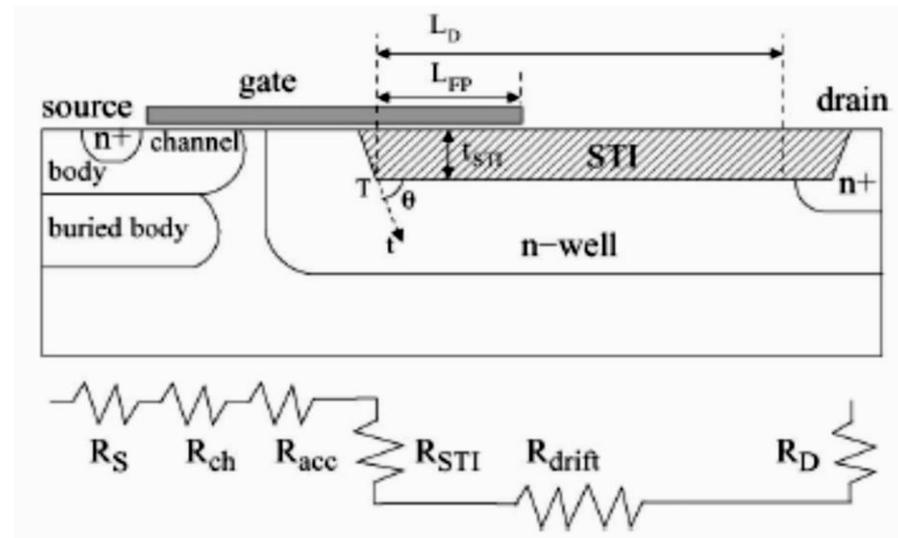


LDMOS構造と等価回路

- S. Regginani, Ph.D. degree in information technology from the University of Bologna, Bologna, Italy, in 2009. : “Physics-Based Analytical Model for HCS Degradation in STI-LDMOS Transistors”, IEEE Transactions on Electron Devices, vol. 58, No. 9, pp.3072-3080, (2011).



HiSIM-HVコンセプト図



LD MOS構造と等価回路

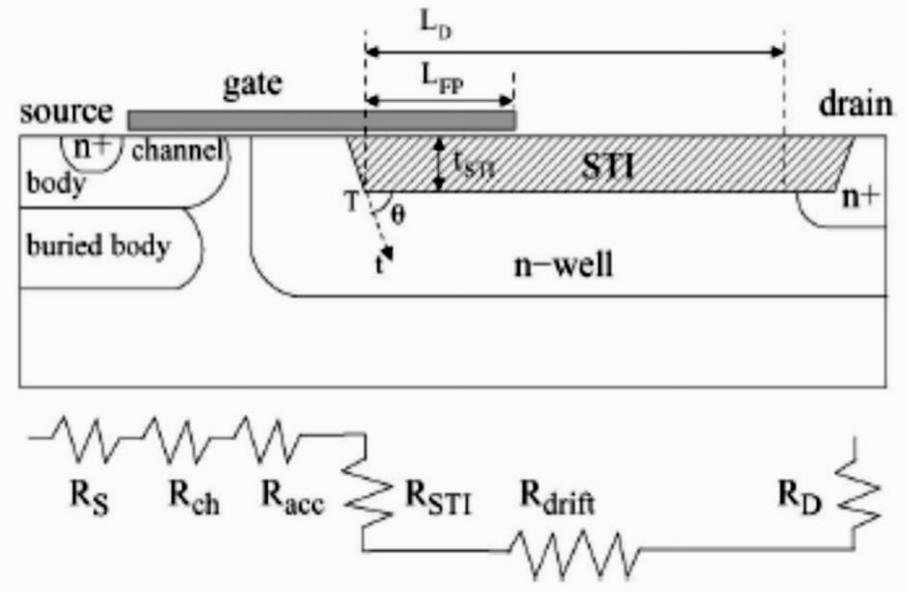
$R_{drift}$ を対応



信頼性モデルを開発

$$R_{drift} = R_{drift,1} + R_{drift,2}$$

$R_{drift,1}$ は、ゲート下の蓄積領域  
 $R_{drift,2}$ は $R_{drift,1}$ 以降にある  
 ドリフト領域及びドレイン端



$$R_{drift,1} = \left( \frac{1}{R_{drift,acc}} + \frac{1}{R_{drift,sh}} \right)^{-1}$$

$$R_{drift,sh} = \frac{L_{FP}}{q\mu_n N_d W t_{eff}}$$

$$R_{drift,acc} = \frac{L_{FP,eff}}{\mu_{eff} C_{STI} W (V_{GS} - V_{fb})}$$

$$R_{drift,2} = \frac{(L_D - L_{FP})}{q\mu_n N_d W t_{eff}}$$

$$R_{drift,1} = \left( 1/R_{drift,acc} + 1/R_{drift,sh} \right)^{-1}$$

$R_{drift,acc}$	蓄積領域のオン抵抗
$R_{drift,sh}$	シート抵抗

$$R_{drift,acc} = \frac{L_{FP,eff}}{\left( \mu_{eff} C_{STI} W (V_{GS} - V_{fb}) \right)}$$

$C_{STI}$	$\epsilon_{ox}/t_{STI}$
$t_{oSTI}$	STI酸化膜の厚さ
$L_{FP,eff}$	実行フィールドプレート ( $L_{FP}$ )
$V_{fb}$	フィッティングパラメータ

$$R_{drift,sh} = \frac{L_{FP}}{(q\mu_n N_d W t_{eff})}$$

$t_{eff}$	STIの実効的な深さ
-----------	------------

$$R_{drift,2} = \frac{(L_D - L_{FP})}{(q\mu_n N_d W t_{eff})}$$

$L_D$	実行ドリフト長
-------	---------

- S. Regginani, Ph.D. degree in information technology from the University of Bologna, Bologna, Italy, in 2009. : “Physics-Based Analytical Model for HCS Degradation in STI-LDMOS Transistors”, IEEE Transactions on Electron Devices, vol. 58, No. 9, pp.3072-3080, (2011).

- 研究背景・目的
- LDMOS、HiSIM-HVとは
- モデル開発の手法
- 劣化モデルの開発
- まとめ

## LDMOS構造に対応したオン抵抗式

$$R_{drift.1} = \left( 1/R_{drift,acc} + 1/R_{drift,sh} \right)^{-1}$$

$$R_{drift,acc} = \frac{L_{FP,eff}}{\left( \mu_{eff} C_{STI} W (V_{GS} - V_{fb}) \right)}$$

$$R_{drift,sh} = \frac{L_{FP}}{(q\mu_n N_d W t_{eff})}$$

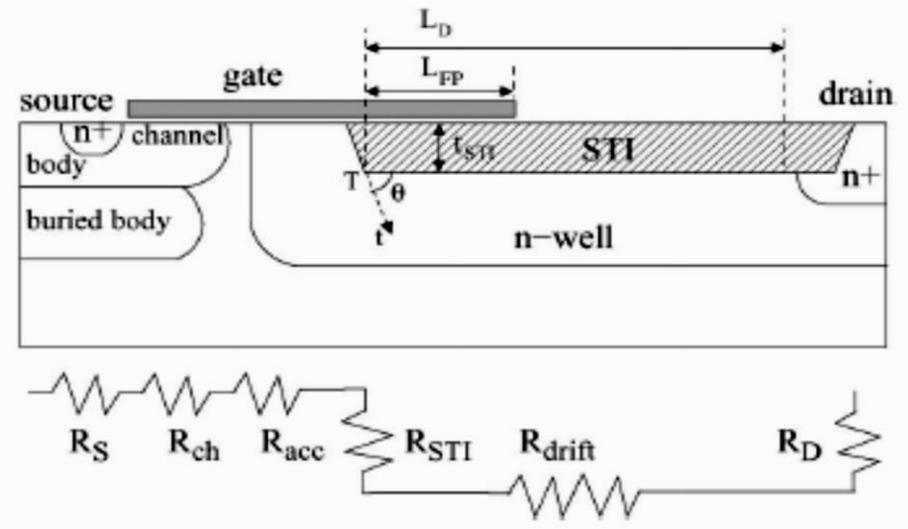
## HiSIM-HV ドリフト領域におけるオン抵抗式

$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left( 1 + RDVG11 - \frac{RDVG11}{RDVG12} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot RDVB) \cdot \left( \frac{LDRIFT1 + LDRIFT2}{DDRIFT - W_{dep}} \right)$$

$V_{GS}$  依存があるため

HiSIM-HVにおけるRDVG11 または、RDVG12を変化させることで表現可能

$$R_{drift,2} = \frac{(L_D - L_{FP})}{(q\mu_n N_d W t_{eff})}$$



$R_{drift,2}$  はドリフト領域及びドレイン端

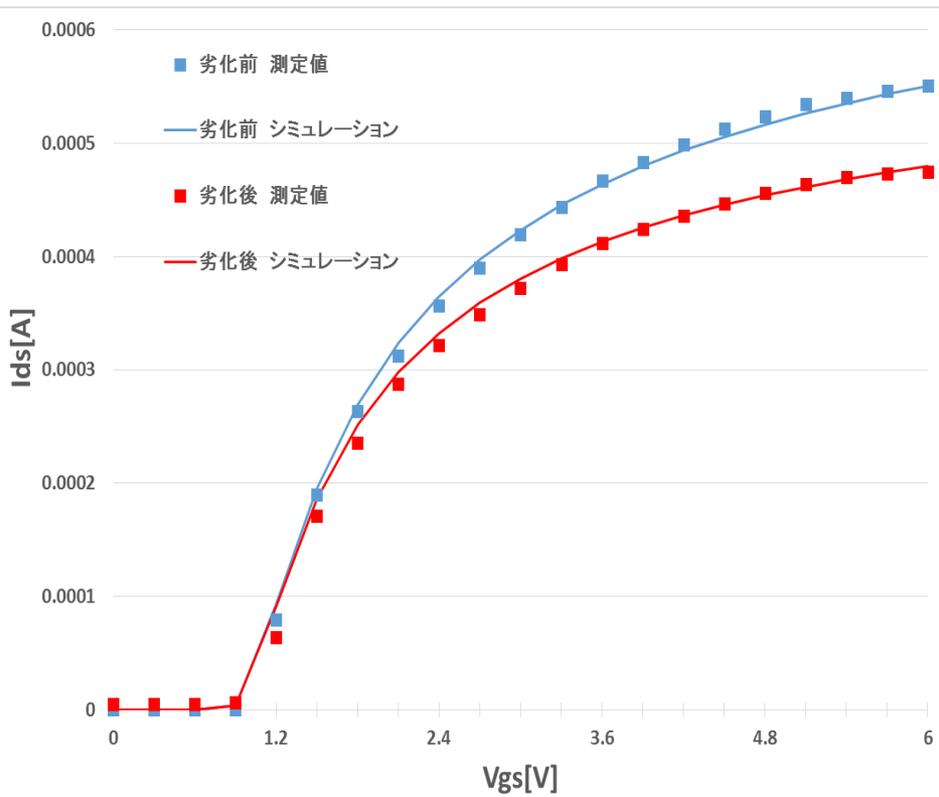
- LDD層LFP後のドリフト・ドレイン端までの抵抗
- この領域が, HCIによって劣化
- HiSIM-HVではLDDのドレイン端コンタクト抵抗,  $R_D$ , に相当
- $\mu_n$  は Interfacial Trap による Mobility degradation により劣化

HiSIM-HVにおけるオン抵抗劣化

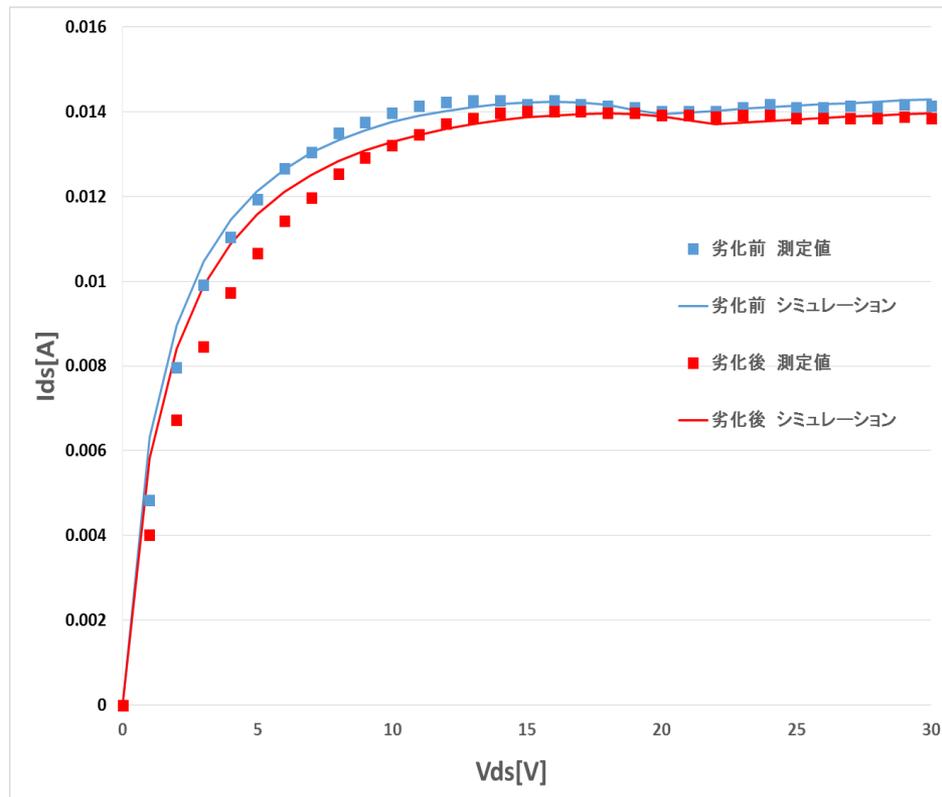
$R_D, R_{DVG11}, R_{DVG12}$  を用いて表現可能

N. Soin, S.S. Shahabuddin, *Member, IEEE* and K.K. Goh Faculty of Engineering, University of Malaya, , et al; "Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type Lateral DMOS Transistors", 10th IEEE International Conference on Semiconductor Electronics, pp.659-663 (2012)

において報告されている直流電流・電圧特性を数値化し，測定データとした



HCI劣化前・劣化後の $I_{DS}$  vs  $V_{GS}$  特性

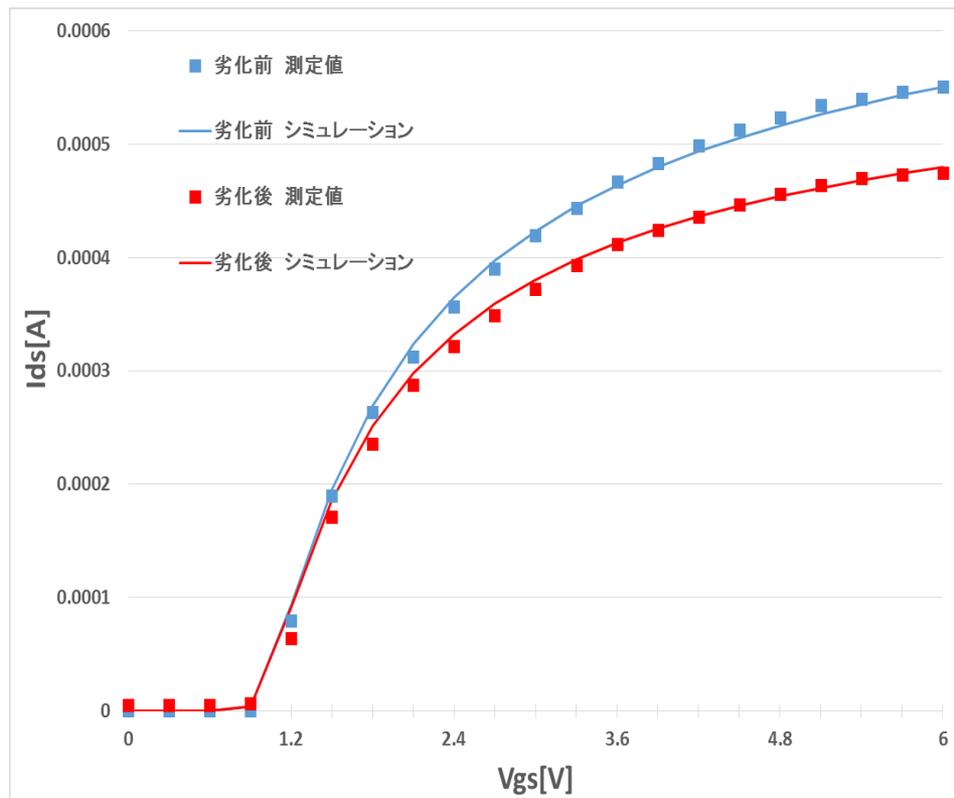


HCI劣化前・劣化後の $I_{DS}$  vs  $V_{DS}$  特性

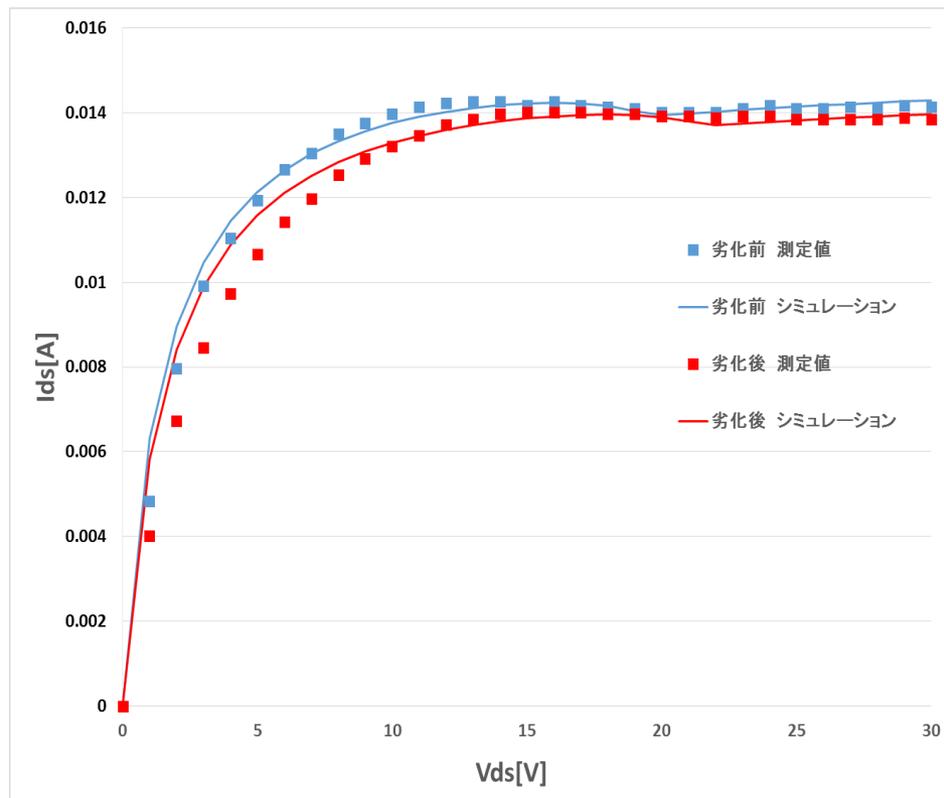
RD, RDVG12のみを使用して合わせこんだ

RD 1.076 → 1.301(増加)

RDVG12 6.026 → 9.081(増加)



HCl劣化前・劣化後の $I_{DS}$  vs  $V_{GS}$  特性



HCl劣化前・劣化後の $I_{DS}$  vs  $V_{DS}$  特性

論文データからは劣化した結果しか分からない

→劣化測定を行い劣化時間とパラメータ変化の相互関係を検証

## 測定条件

### $I_{DS}$ - $V_{GS}$ 測定

$V_{GS}=0\text{ V}\sim 5\text{ V}$ 、 $0.1\text{ V}$ ステップ

$V_{DS}=50\text{ mV}\sim 150\text{ mV}$ 、 $50\text{ mV}$ ステップ

### $I_{DS}$ - $V_{DS}$ 測定

$V_{DS}=0\text{ V}\sim 5\text{ V}$ 、 $0.1\text{ V}$ ステップ

$V_{GS}=2.1\text{ V}\sim 2.5\text{ V}$ 、 $0.1\text{ V}$ ステップ

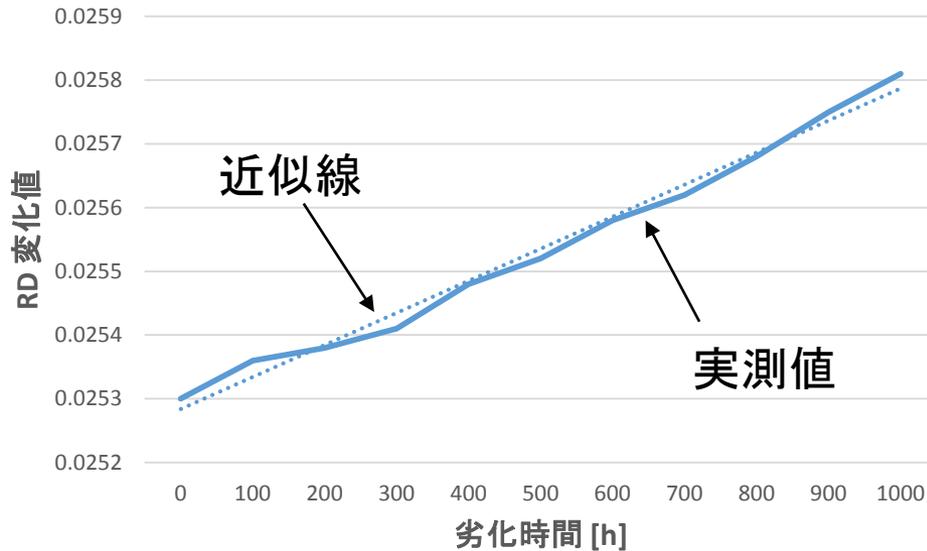
## 温度

室温

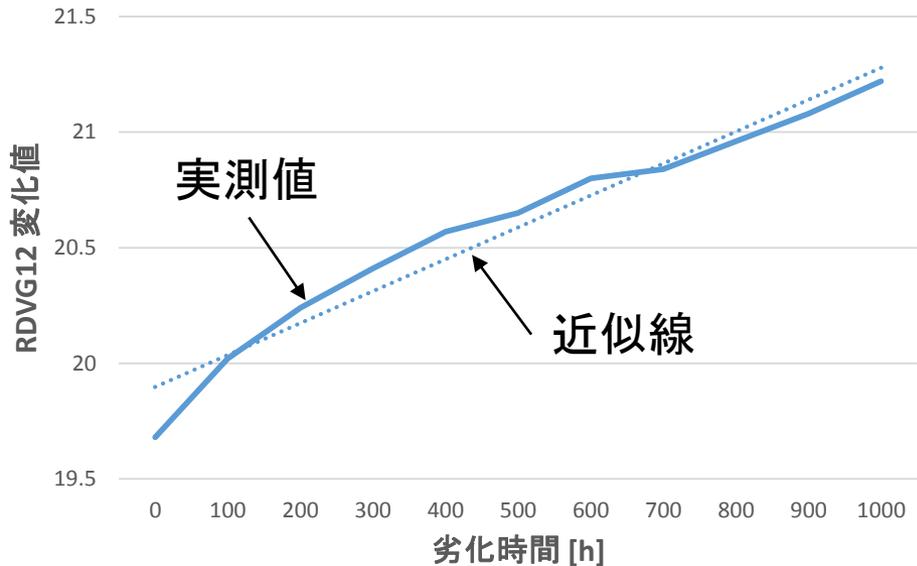
## ストレスバイアス

$V_{GS}=2.4\text{ V}$ 、 $V_{DS}=2.4\text{ V}$

劣化時間は2 hごとに1000 h



RDと劣化時間の相関関係



RDVG12と劣化時間の相関関係

$$RD_{stress} = A_1 * t_{deg} + RD_{fresh}$$

$$RDVG12_{stress} = B_1 * t_{deg} + RDVG12_{fresh}$$

$t_{deg}$

$RD_{fresh}$  及び  $RDVG12_{fresh}$

$A_1, B_1$

劣化時間

パラメータの初期値

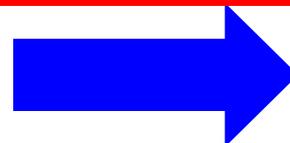
フィッティングパラメータ

- 研究背景・目的
- LDMOS、HiSIM-HVとは
- モデル開発の手法
- 劣化モデルの開発
- まとめ

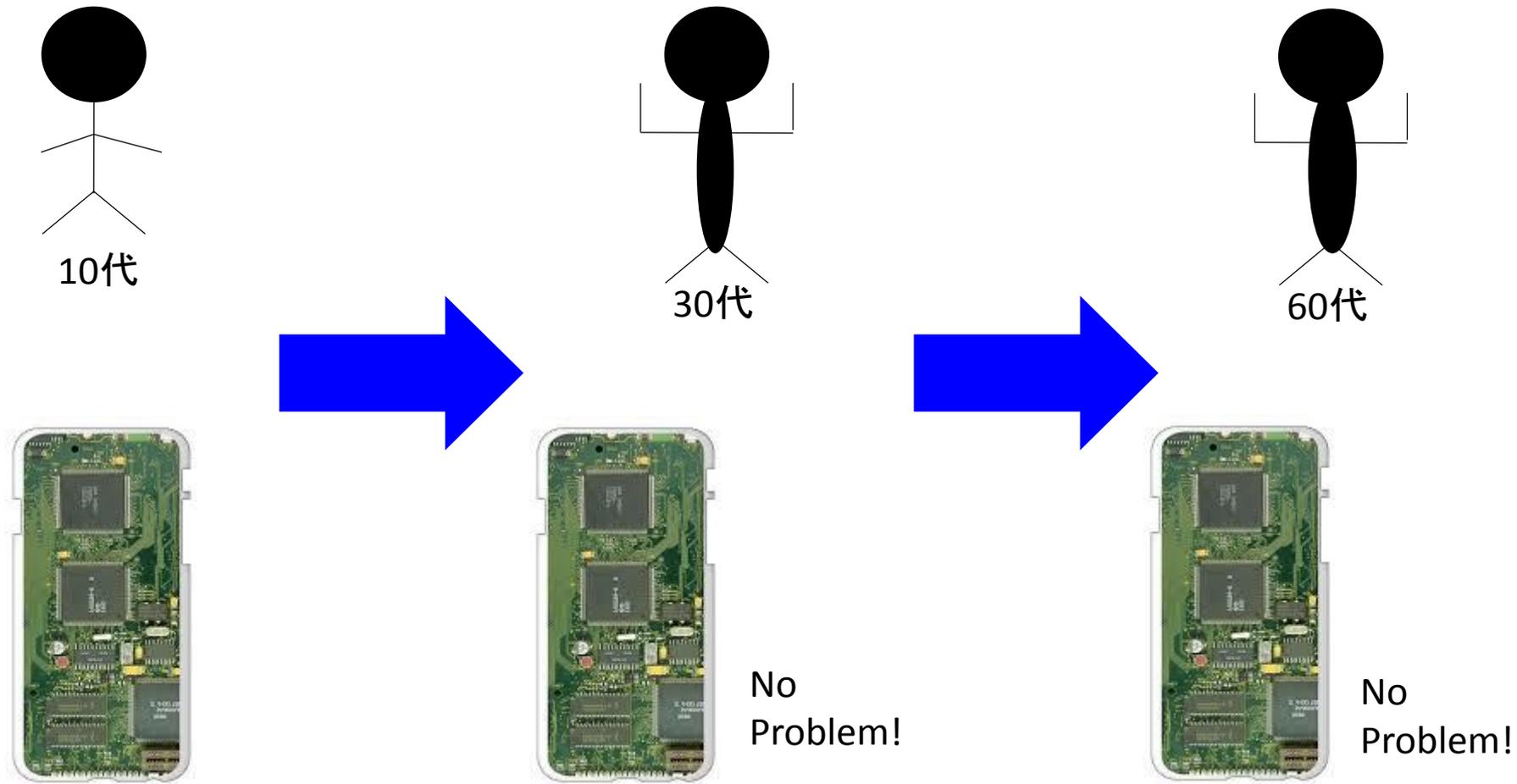
- オン抵抗の関係性を示し  
HCI劣化によるパラメータ変化の予想を立てた
- 論文データを用いて、予想通り劣化を示せるか検証した
- 劣化を示すモデルを開発

**課題** ストレスバイアス電圧に対する依存性の調査

社会からの要望が強い



実用化



衰えにくく働き続けることが可能

- 研究を通じて一番大変だったことはなんでしたか  
信頼性実験を1ヶ月行なったこと