

HiSIM-HVを用いたLDMOSオン抵抗 の劣化モデルの開発

○戸塚拓也 青木均 築地伸和 香積正基
東野将司 澁谷将平 栗原圭太 小林 春夫(群馬大学)

群馬大学大学院 理工学府
電子情報・数理教育プログラム専攻
小林研究室

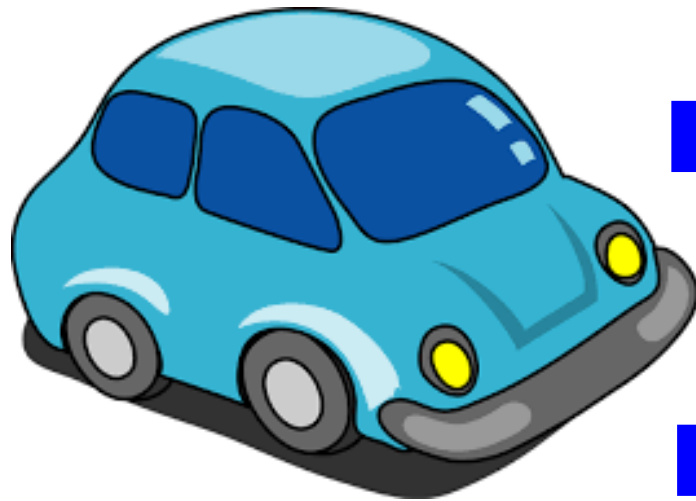
- 研究背景・目的
- LDMOS、HiSIM-HVとは
- 従来のLDMOS劣化モデル
- 劣化モデルの開発
- まとめ

- 研究背景・目的
- LDMOS、HiSIM-HVとは
- 従来のLDMOS劣化モデル
- 劣化モデルの開発
- まとめ

半導体の微細化により素子の集積度が増加

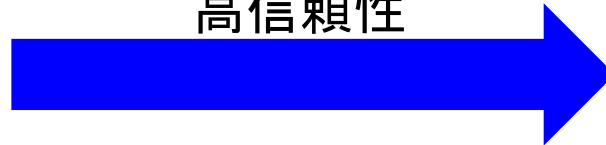
➡ 半導体の面積縮小、高速化、省電力化

製造ばらつきや経時劣化による影響大



エンジン制御
ブレーキ制御 etc.

高信頼性



低信頼性

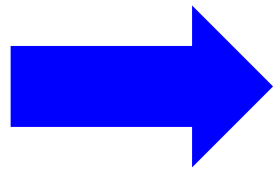


製造ばらつき

デバイス特性のばらつき

経年劣化

過酷な環境で使用



問題発生



設計マージンが必要

- 過多マージン
回路面積の増加
消費電力の増加
- 過少マージン
故障率の増加

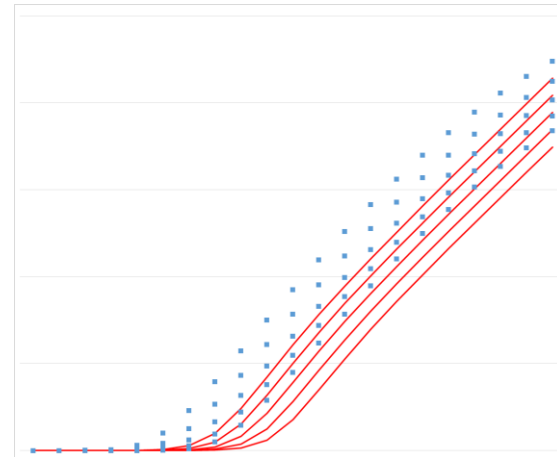
最適なマージンを得る



高コスト化

新しい信頼性を高めるモデルの開発

製造ばらつき
経時変化



シミュレーション可能

回路設計者がシミュレーションで予測可能!!



信頼性向上

- デバイスモデル

素子の動作を方程式や等価回路により表現

- デバイスマデリング

方程式の中には多くの変数(パラメータ)があり
プロセス・デバイスに応じて変化

そのパラメータを実測データを用い抽出・最適化

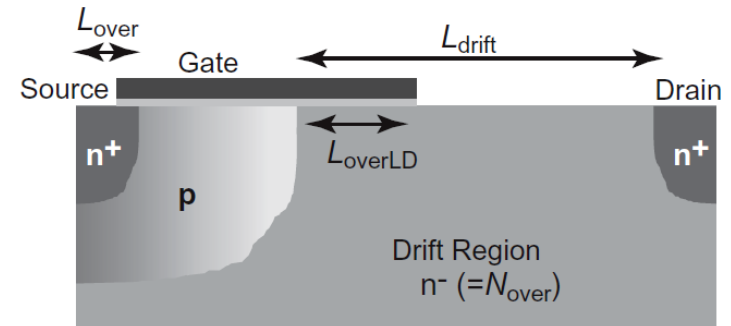
回路シミュレーションを行う際
実際の回路動作にどれだけ近づけるかが重要

- 研究背景・目的
- LDMOS、HiSIM-HVとは
- 従来のLDMOS劣化モデル
- 劣化モデルの開発
- まとめ

横方向拡散MOS

Laterally Diffused MOS (LDMOS)

- ・ドレイン-ゲート間の電界強度緩和する構造
- ・耐圧が高く、オン抵抗が低い
- ・LDMOSの使用用途: DC/DCコンバータの出力段
携帯基地局用のパワーアンプなど



LDMOSの構造図

HiSIM-HV

LDMOSのシミュレーションで基準

シミュレーションで信頼性を確認できない

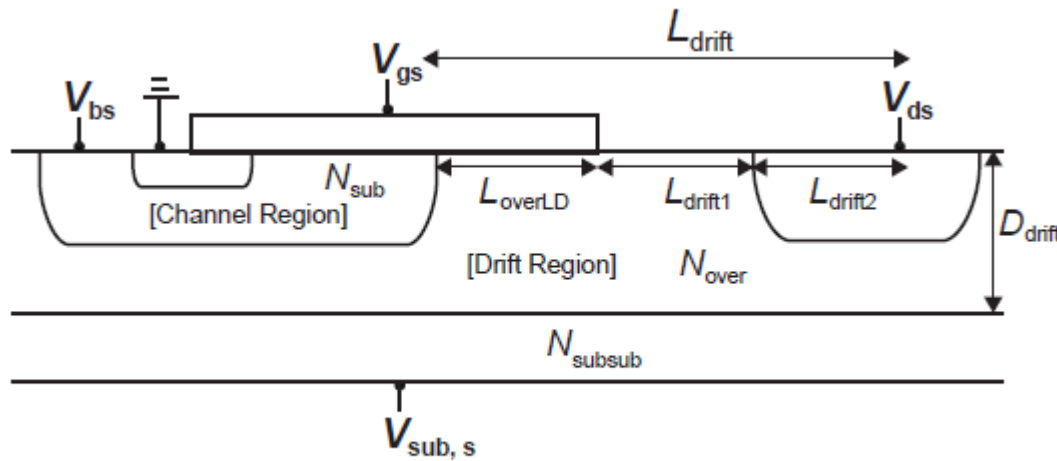


事前解析できる環境が必要

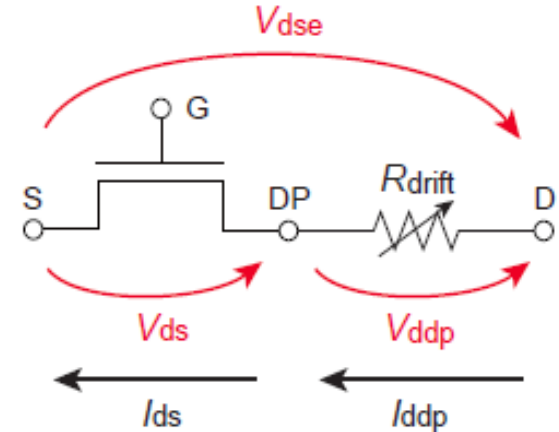
HiSIM-HVとは

広島大学とSTARCが共同開発したLDMOSモデル

Compact Model Coalition (CMC)が推奨しているLDMOSのモデル

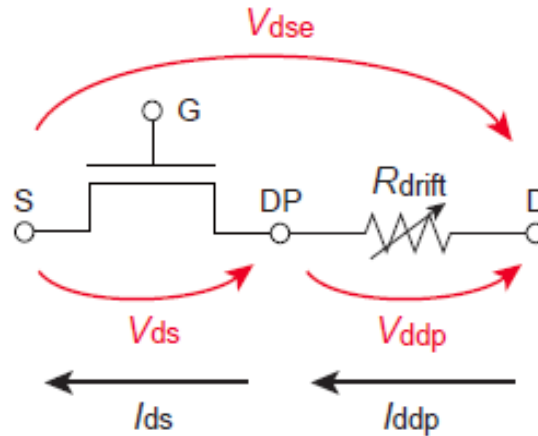


LDMOSの構造



HiSIM-HV コンセプト図

R_{drift} の抵抗式



HiSIM-HV コンセプト図

$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left(1 + \mathbf{RDVG11} - \frac{\mathbf{RDVG11}}{\mathbf{RDVG12}} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot \mathbf{RDVB}) \cdot \left(\frac{\mathbf{LDRIFT1} + \mathbf{LDRIFT2}}{\mathbf{DDRIFT} - W_{dep}} \right)$$

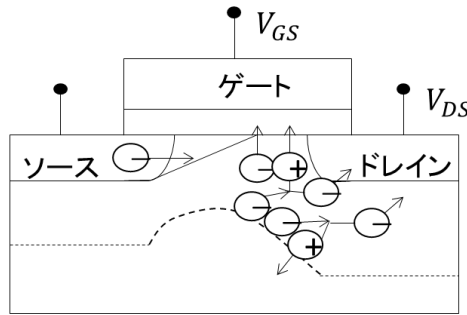
$$R_d = \frac{R_{d0}}{W_{eff,LD} \cdot \mathbf{NF}} \left(1 + \frac{\mathbf{RDS}}{(W_{gate} \cdot 10^6 \cdot L_{gated0} \cdot 10^6)^{\mathbf{RDSP}}} \right)$$

$$R_{d0} = (\mathbf{RD} + R_{d0,temp}) f_1 \cdot f_2$$

• HCI現象 (Hot Carrier Injection)

チャネルがエネルギーを持ち

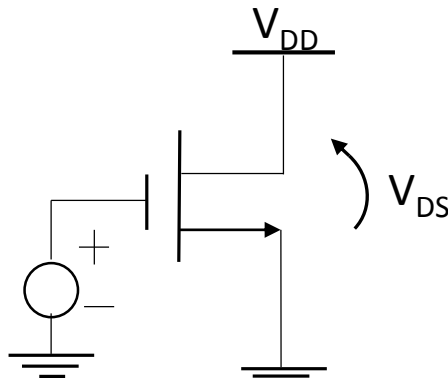
移動度劣化、しきい値電圧の上昇が起こる現象



- $|V_{th}|$
 - μ
- ➡ 変化

• BTI現象 (Bias Temperature Instability)

電圧ストレスを長時間かけしきい値電圧が上昇する現象



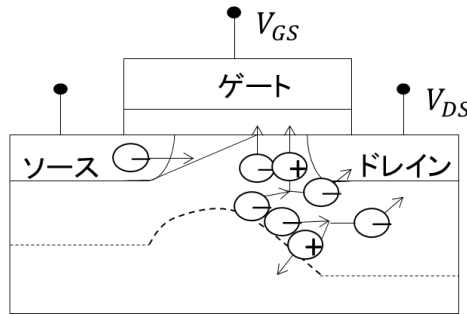
- $|V_{th}|$
- ➡ 変化

• HCI現象 (Hot Carrier Injection)

より支配的であるHCI現象に着目し
特性解析を行う。

チャネルがエネルギーを持ち

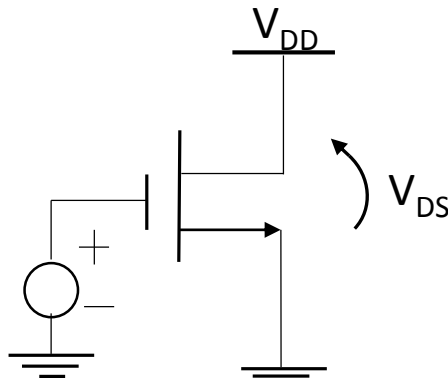
移動度劣化、しきい値電圧の上昇が起こる現象



- $|V_{th}|$
 - μ
- ➡ 変化

• BTI現象 (Bias Temperature Instability)

電圧ストレスを長時間かけしきい値電圧が上昇する現象

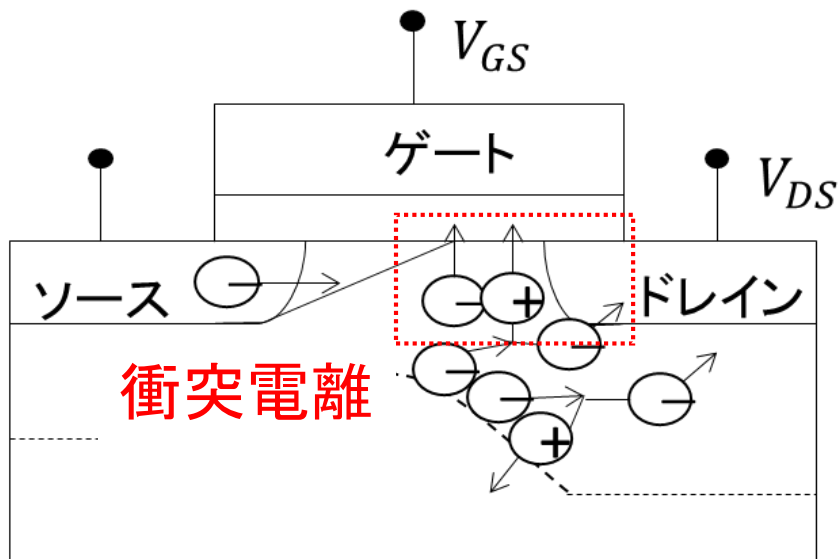


- $|V_{th}|$
- ➡ 変化

MOSの劣化現象

• HCI (Hot Carrier Injection) 劣化

- n-MOSFETで顕著な劣化現象
- 飽和領域動作時に多く発生 ($V_{DS} > V_{GS} - V_{TH}$)



空乏層中の電界で加速した電子が
衝突電離を起こし電子正孔対が発生



エネルギーの高い電子(ホットキャリア)
が酸化膜の界面準位にトラップされる



しきい値電圧、移動度などの性能が変化

MOSFETにおけるHCI劣化モデル

- Hu Model

多くのHCIモデルの元となる代表的モデル

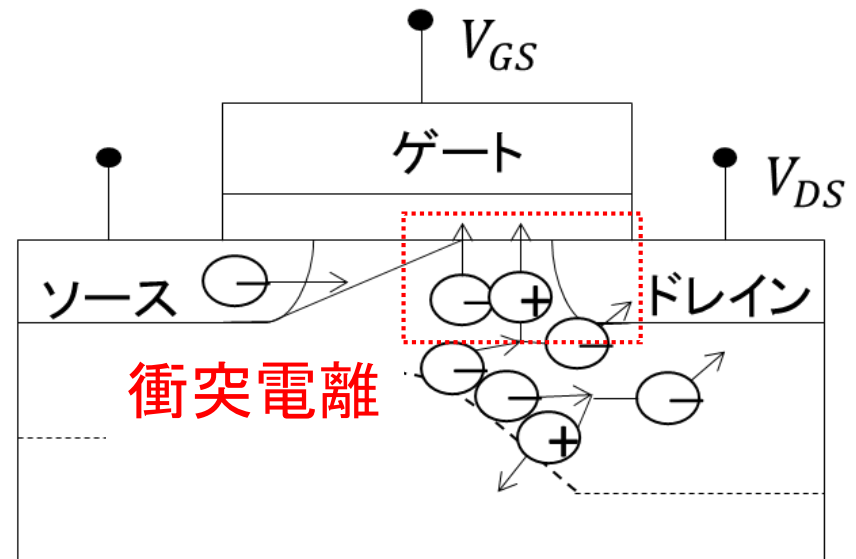
$$N_{it} = C_1 \left[t \frac{I_{DS}}{W} \exp\left(-\frac{\phi_{it}}{q\lambda E_m}\right) \right]^n$$

E_m : 横方向最大電界
 N_{it} : 界面準位の数

E_m 大 \rightarrow 衝突電離増 $\rightarrow N_{it}$ 増

$$\mu = \frac{\mu_0}{1 + \beta N_{it} \uparrow} \quad \text{--- 移動度減少}$$

$$V_{th} = V_{th0} + \frac{qN_{it} \uparrow}{C} \quad \text{--- しきい値増加}$$



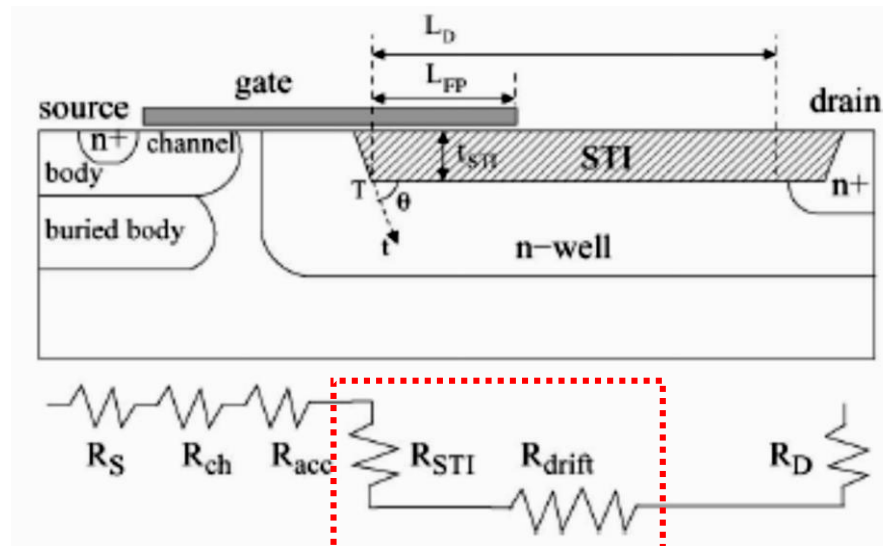
- 研究背景・目的
- LDMOS、HiSIM-HVとは
- 従来のLDMOS劣化モデル
- 劣化モデルの開発
- まとめ

論文調査の結果

LDMOSの劣化
ドリフト領域でHCI劣化が発生



抵抗 R_{drift} が増加

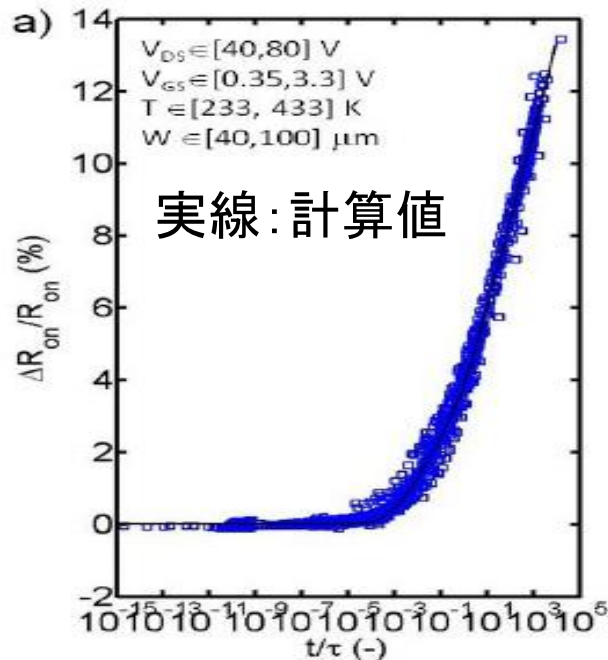


LDMOS構造と等価回路

- S. Regginani, Ph.D. degree in information technology from the University of Bologna, Bologna, Italy, in 2009. : “Physics-Based Analytical Model for HCS Degradation in STI-LDMOS Transistors”, IEEE Transactions on Electron Devices, vol. 58, No. 9, pp.3072-3080, (2011).

LDMOSにおけるHCI劣化モデル

Emに着目した劣化モデル



オン抵抗劣化特性

$$\frac{\Delta R_{on}}{R_{on}} = A_1 \cdot \ln\left(1 + \frac{t}{\tau}\right) t + A_2 \cdot \ln\left(1 + \frac{t}{\gamma \cdot \tau}\right)$$

$$\tau = \frac{\alpha \cdot W}{I_D} \cdot \frac{\phi_b}{E_m \lambda} e^{\frac{\phi_b}{E_m \lambda}}$$

$$\lambda = \lambda_0 \tanh \frac{E_p}{2k_B T_j}$$

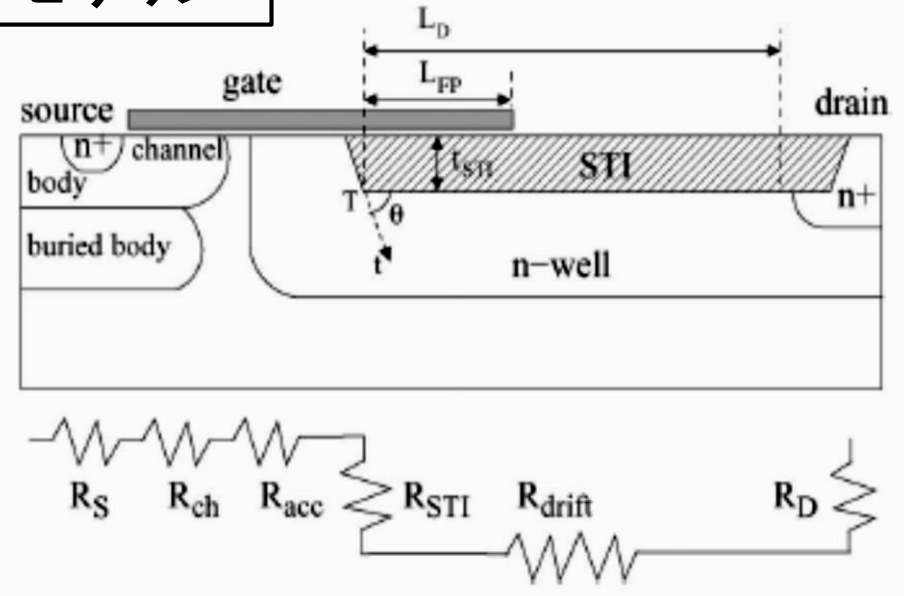
最大電界Em以外はすべて定数

G. Sasse, , et al, "An LDMOS hot carrier model for circuit reliability simulation," in Reliability Physics Symposium, 2014 IEEE International, pp.5D.5.1-5D.5.6, 1-5 June 2014.

ドリフト領域に着目した劣化モデル

$$R_{drift} = R_{drift,1} + R_{drift,2}$$

$R_{drift,1}$ は、ゲート下の蓄積領域
 $R_{drift,2}$ は $R_{drift,1}$ 以降にある
 ドリフト領域及びドレイン端



$$R_{drift,1} = \left(\frac{1}{R_{drift,acc}} + \frac{1}{R_{drift,sh}} \right)^{-1}$$

$$R_{drift,sh} = \frac{L_{FP}}{q\mu_n N_d W t_{eff}}$$

$$R_{drift,acc} = \frac{L_{FP,eff}}{\mu_{eff} C_{STI} W (V_{GS} - V_{fb})} \quad R_{drift,2} = \frac{(L_D - L_{FP})}{q\mu_n N_d W t_{eff}}$$

$$R_{drift,1} = \left(1/R_{drift,acc} + 1/R_{drift,sh} \right)^{-1}$$

$$R_{drift,acc} = L_{FP,eff} / \left(\mu_{eff} C_{STI} W (V_{GS} - V_{fb}) \right)$$

$$R_{drift,sh} = L_{FP} / (q\mu_n N_d W t_{eff})$$

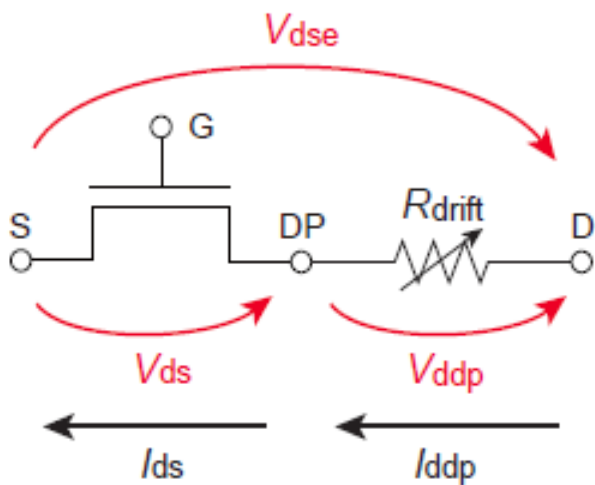
$$R_{drift,2} = (L_D - L_{FP}) / (q\mu_n N_d W t_{eff})$$

$R_{drift,acc}$	蓄積領域のオン抵抗
$R_{drift,sh}$	シート抵抗
C_{STI}	ϵ_{ox} / t_{STI}
t_{oSTI}	STI酸化膜の厚さ
$L_{FP,eff}$	実行フィールドプレート (L_{FP})
V_{fb}	フィッティングパラメータ
t_{eff}	STIの実効的な深さ
L_D	実行ドリフト長

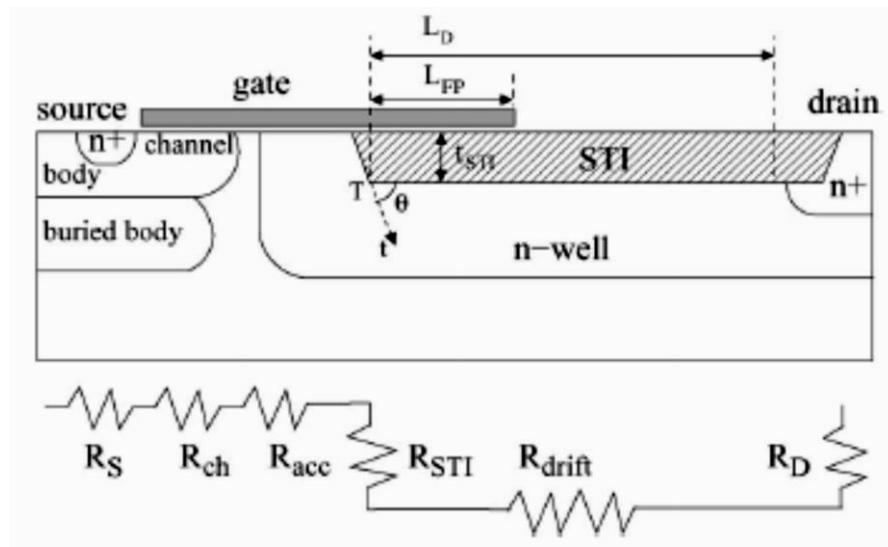
- S. Regginani, Ph.D. degree in information technology from the University of Bologna, Bologna, Italy, in 2009. : “Physics-Based Analytical Model for HCS Degradation in STI-LDMOS Transistors”, IEEE Transactions on Electron Devices, vol. 58, No. 9, pp.3072-3080, (2011).

- 研究背景・目的
- LDMOS、HiSIM-HVとは
- 従来のLDMOS劣化モデル
- 劣化モデルの開発
- まとめ

ドリフト領域に着目

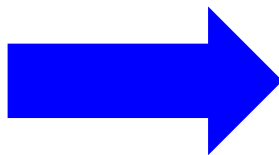


HiSIM-HVコンセプト図



LDMOS構造と等価回路

R_{drift} を対応



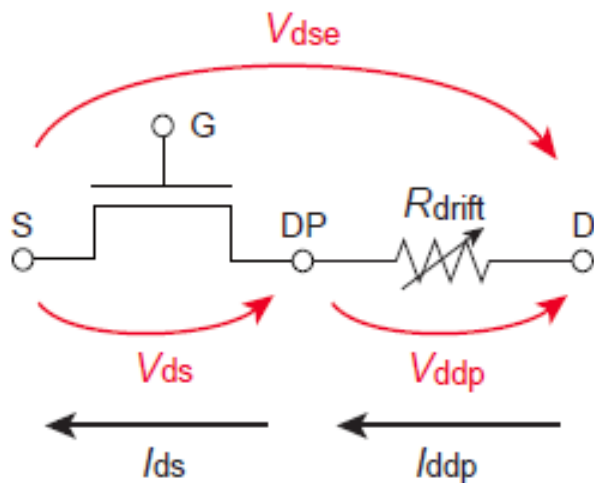
信頼性モデルを開発

ドリフト領域に着目

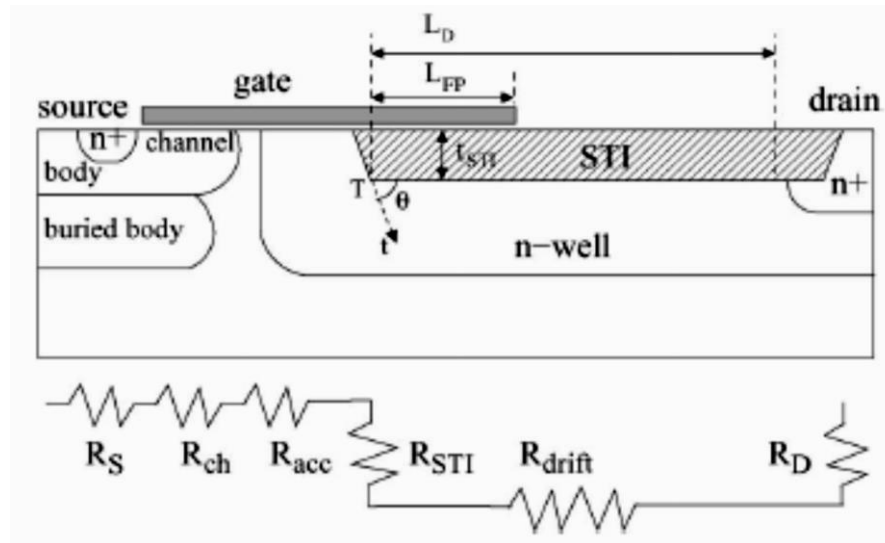
$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left(1 + RDVG11 - \frac{RDVG11}{RDVG12} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot RDVB) \cdot \left(\frac{LDRIFT1 + LDRIFT2}{DDRIFT - W_{dep}} \right)$$

||

$$R_{drift} = R_{drift,1} + R_{drift,2}$$



HiSIM-HVコンセプト図



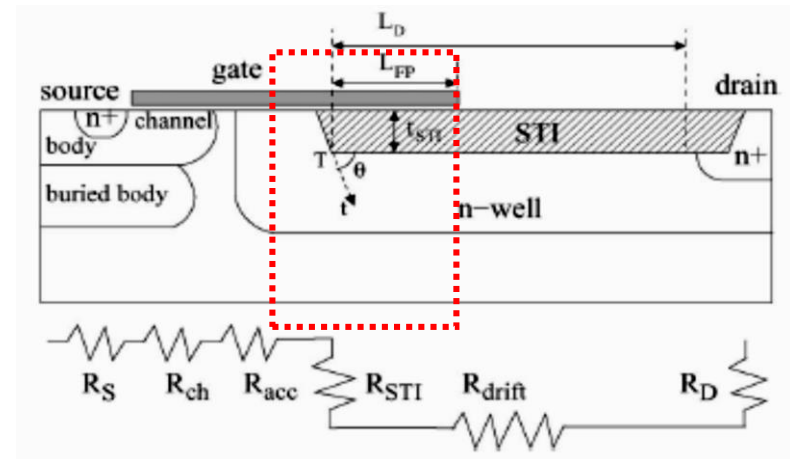
LDMOS構造と等価回路

LDMOS構造に対応したオン抵抗式

$$R_{drift,1} = \left(1/R_{drift,acc} + 1/R_{drift,sh} \right)^{-1}$$

$$R_{drift,acc} = \frac{L_{FP,eff}}{\left(\mu_{eff} C_{STI} W (V_{GS} - V_{fb}) \right)}$$

$$R_{drift,sh} = \frac{L_{FP}}{(q\mu_n N_d W t_{eff})}$$



HiSIM-HV ドリフト領域におけるオン抵抗式

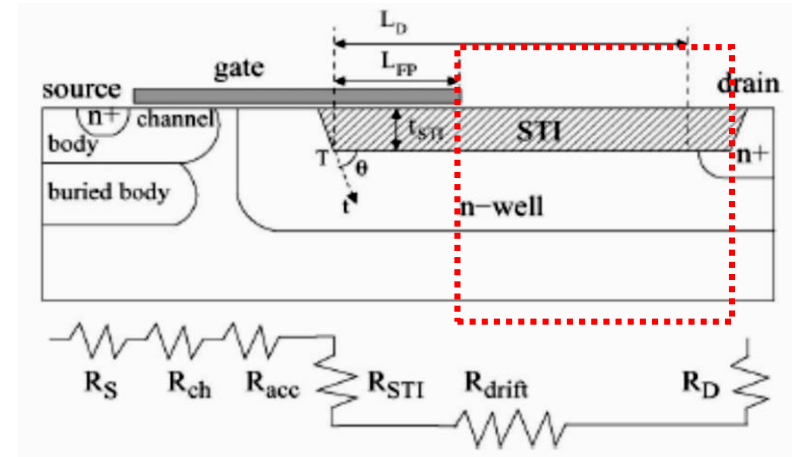
$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left(1 + RDVG11 - \frac{RDVG11}{RDVG12} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot RDVB) \cdot \left(\frac{LDRIFT1 + LDRIFT2}{DDRIFT - W_{dep}} \right)$$

V_{GS} 依存があるため

HiSIM-HVにおけるRDVG11 または、RDVG12を変化させることで表現可能

$$R_{drift,2} = (L_D - L_{FP}) / (q\mu_n N_d W t_{eff})$$

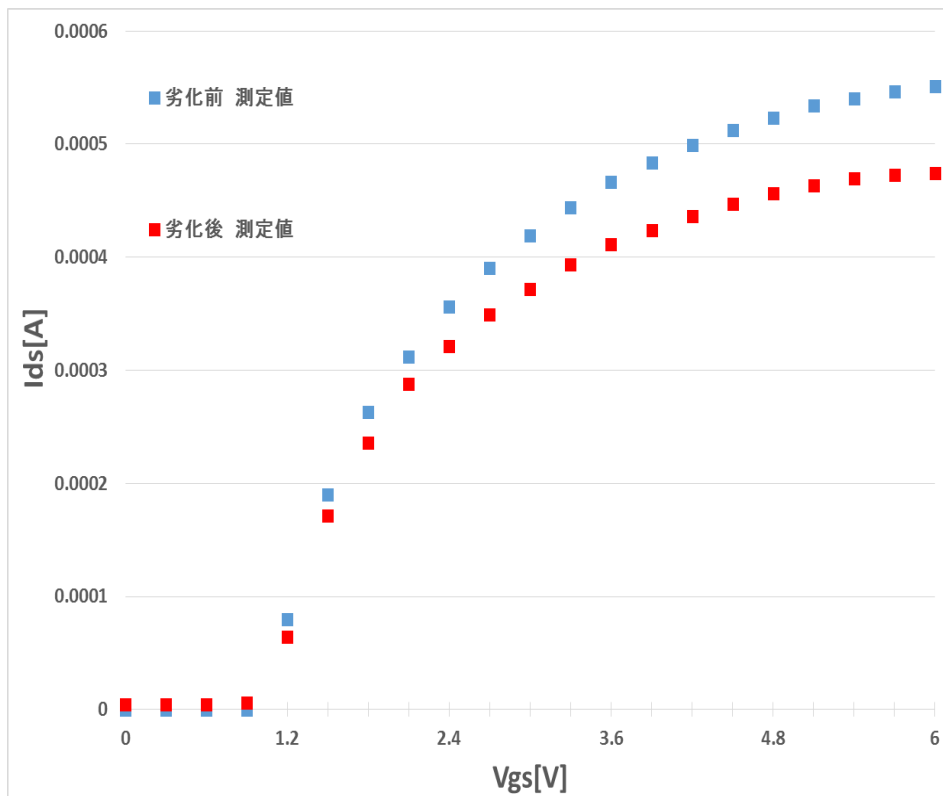
$R_{drift,2}$ はドリフト領域及びドレイン端



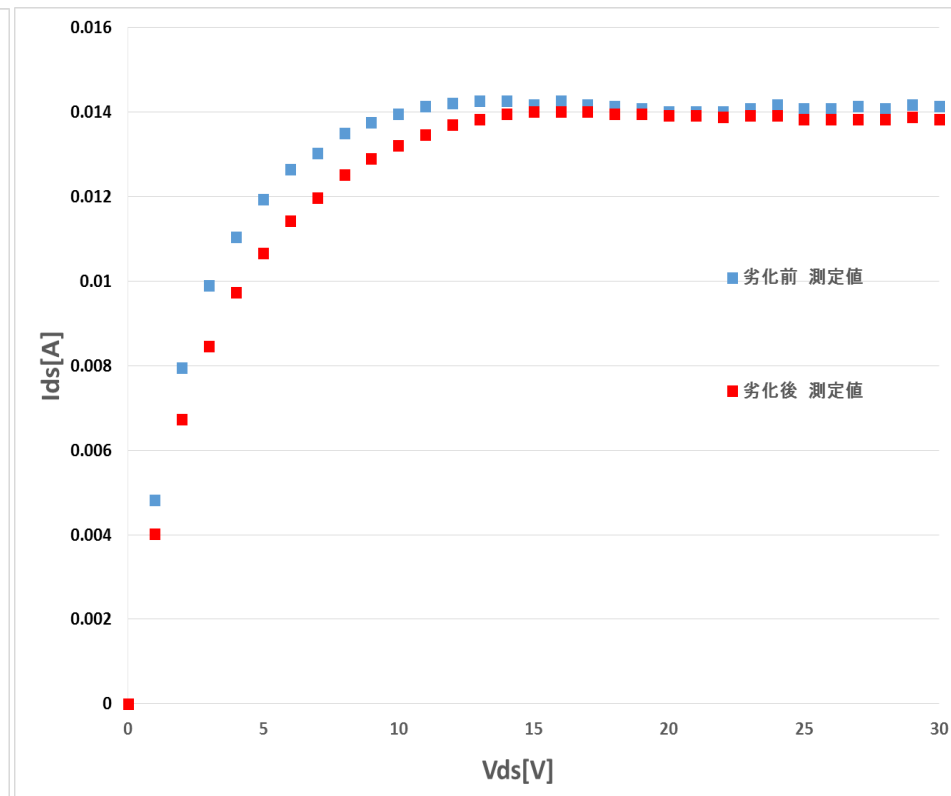
- この領域がHCIによって劣化
 μ_n は Interfacial Trap による Mobility degradation により劣化
- LDD層LFP後のドリフト・ドレイン端までの抵抗
 HiSIM-HVではLDDのドレイン端コンタクト抵抗, R_D , に相当

N. Soin, S.S. Shahabuddin, *Member, IEEE* and K.K. Goh Faculty of Engineering, University of Malaya, , et al; “Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type Lateral DMOS Transistors”, 10th IEEE International Conference on Semiconductor Electronics, pp.659-663 (2012)

において報告されている直流電流・電圧特性を数値化し，測定データとした



HCI劣化前・劣化後の I_{DS} vs V_{GS} 特性



HCI劣化前・劣化後の I_{DS} vs V_{DS} 特性

RD, RDVG12のみを使用して合わせこんだ

RD 1.076 → 1.301 (増加)

RDVG12 6.026 → 9.081 (増加)

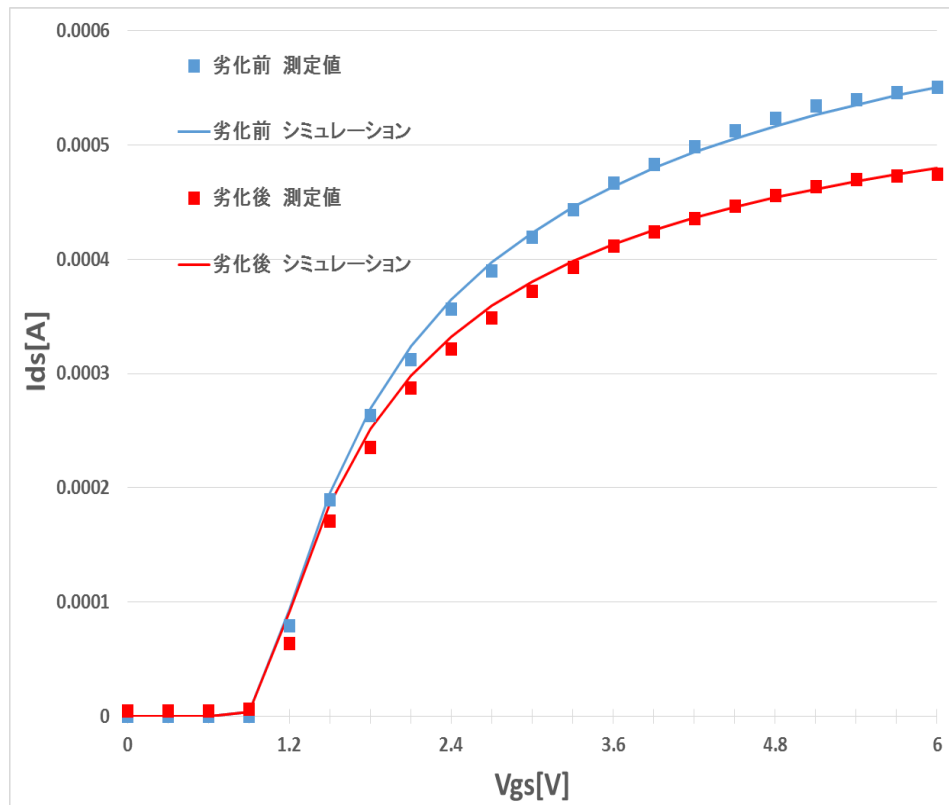
$$RMS = \sqrt{\frac{1}{n} \sum_{k=1}^n |\text{測定値} - \text{シミュレーション}|^2}$$

劣化前RMS $I_{DS}-V_{GS}$ 特性では1.56 %

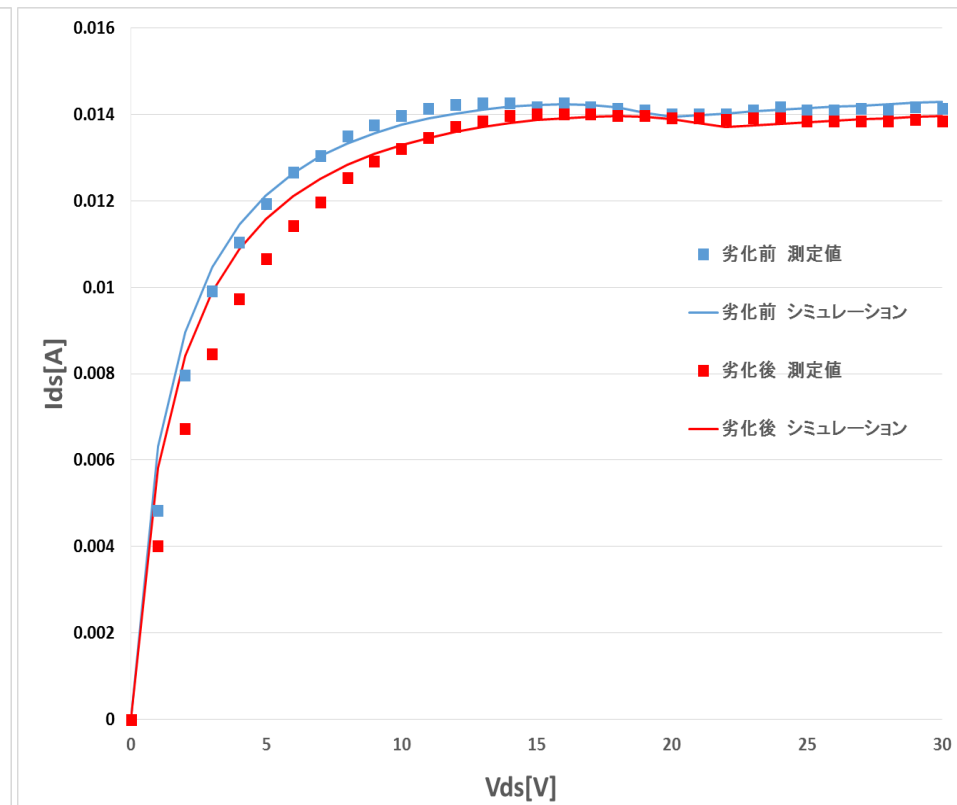
劣化後RMS $I_{DS}-V_{GS}$ 特性では2.66 %

劣化前RMS $I_{DS}-V_{DS}$ 特性では2.76 %

劣化後RMS $I_{DS}-V_{DS}$ 特性では4.79 %



HCl劣化前・劣化後の I_{DS} vs V_{GS} 特性



HCl劣化前・劣化後の I_{DS} vs V_{DS} 特性

測定条件

I_{DS} - V_{GS} 測定

$V_{GS}=0\text{ V}\sim 5\text{ V}$ 、 0.1 V ステップ

$V_{DS}=50\text{ mV}\sim 150\text{ mV}$ 、 50 mV ステップ

I_{DS} - V_{DS} 測定

$V_{DS}=0\text{ V}\sim 5\text{ V}$ 、 0.1 V ステップ

$V_{GS}=2.1\text{ V}\sim 2.5\text{ V}$ 、 0.1 V ステップ

温度

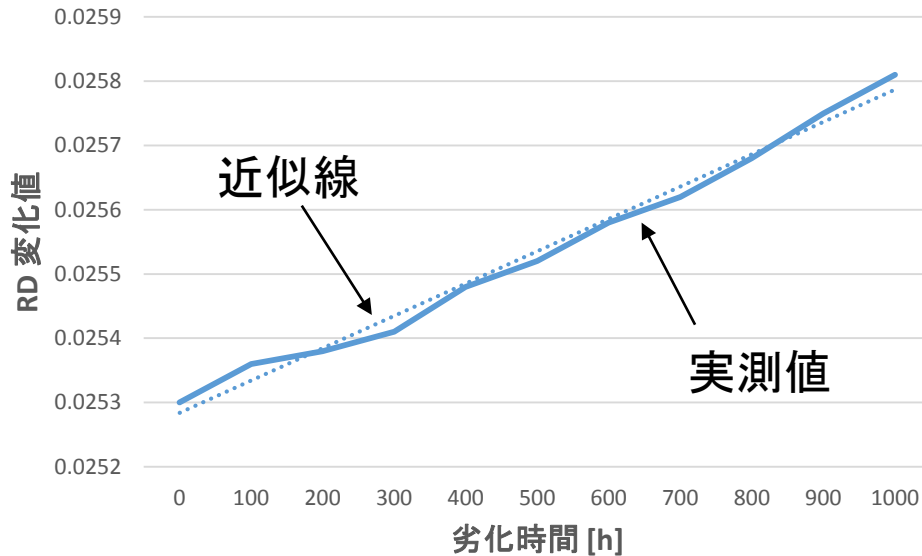
室温

ストレスバイアス

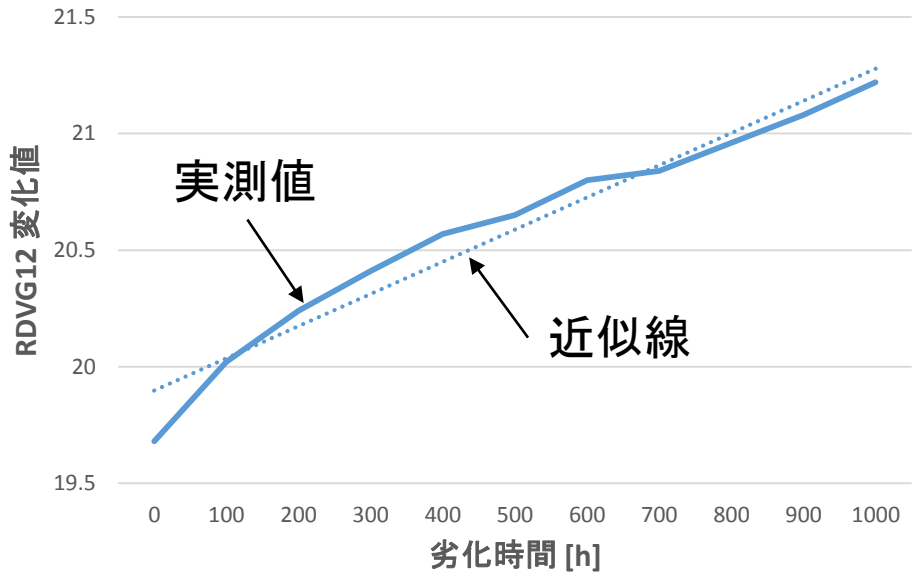
$V_{GS}=2.4\text{ V}$ 、 $V_{DS}=2.4\text{ V}$

劣化時間

2 hごとに1000 h



RDと劣化時間の相関関係



RDVG12と劣化時間の相関関係

$$RD_{stress} = A_1 * t_{deg} + RD_{fresh}$$

$$RDVG12_{stress} = B_1 * t_{deg} + RDVG12_{fresh}$$

t_{deg}

RD_{fresh} 及び $RDVG12_{fresh}$

A_1, B_1

劣化時間

パラメータの初期値

フィッティングパラメータ

- 研究背景・目的
- LDMOS、HiSIM-HVとは
- 従来のLDMOS劣化モデル
- 劣化モデルの開発
- まとめ

- オン抵抗の関係性を示し
HCI劣化によるパラメータ変化の予想を立てた
- 論文データを用いて、予想通り劣化を示せるか検証した
- 劣化を示すモデルを開発

今後の課題

- ストレスバイアス電圧に対する依存性の調査

社会からの要望が強い

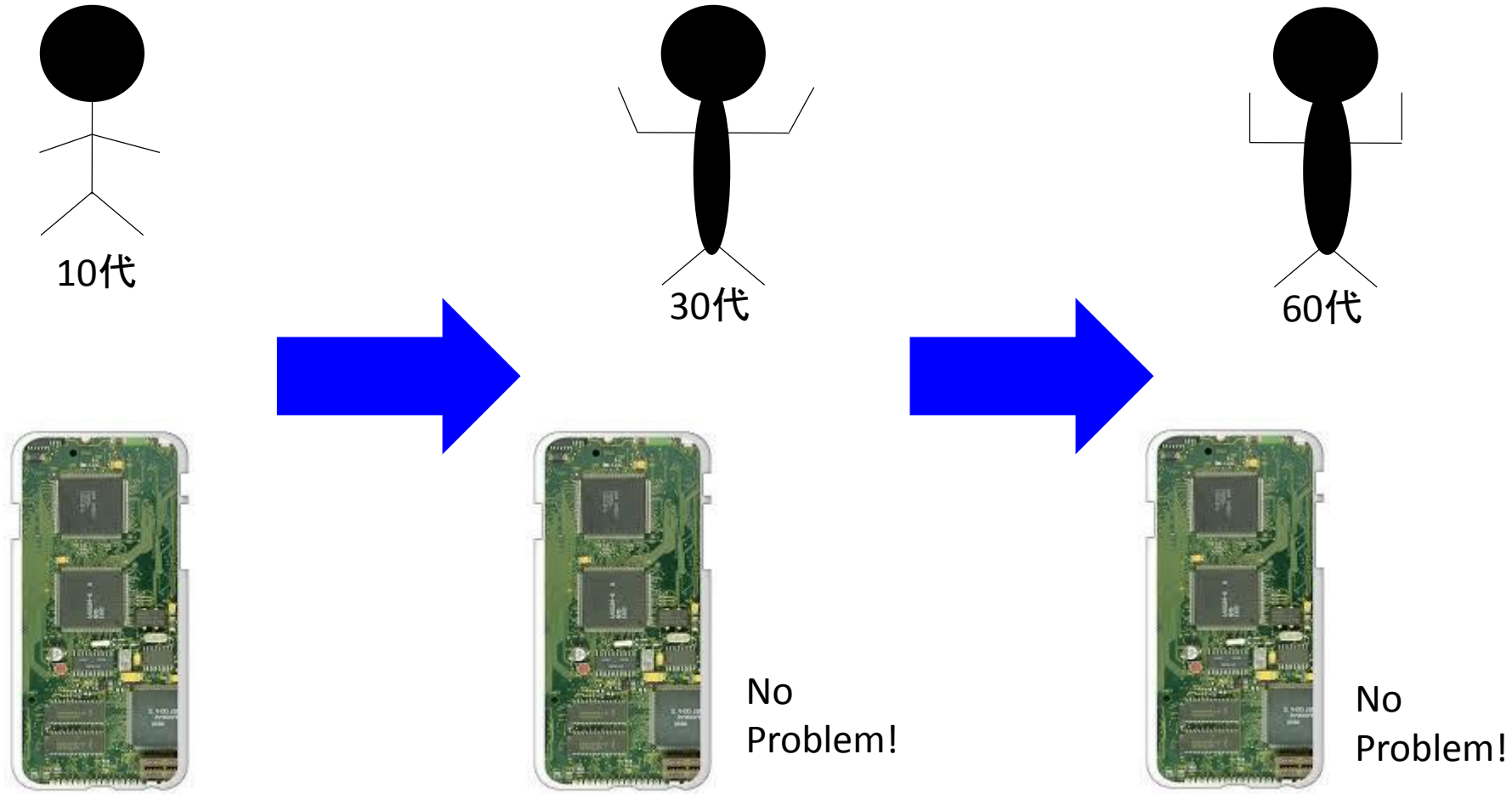


実用化

ドリフト領域に着目した劣化モデル

Emに着目した劣化モデル

SPICEに搭載するLDMOSの劣化モデルの開発



衰えにくく働き続けることが可能

- 実際、バイアスは変化するのでストレスバイアスを信頼性試験中に変えてみてはどうだろうか
- シミュレーション速度は変化するのか
劣化特性を計算する分遅くなる
- 理論と実験をどれくらいの比率で研究しているのか
実験の時間が長いため比率的には同じ程度