

CMOS RF 回路(アーキテクチャ)と サンプリング回路の研究

群馬大学工学部電気電子工学科
通信処理システム工学第二研究室

97405016 滝上 征弥

指導教官 小林 春夫 教授

発表内容

1. CMOS RF回路

- (a) 復調部アーキテクチャ
- (b) VCO回路(発振器)

2. サンプリング回路

- (a) オシロスコープ・トリガ回路
- (b) CMOSコンパレータ回路

目的

- 無線通信システムのRF部のCMOSでの実現。

とくに

- 復調部アーキテクチャ
- 発振器

の解析・設計。

- サンプリグ回路のCMOSでの実現。

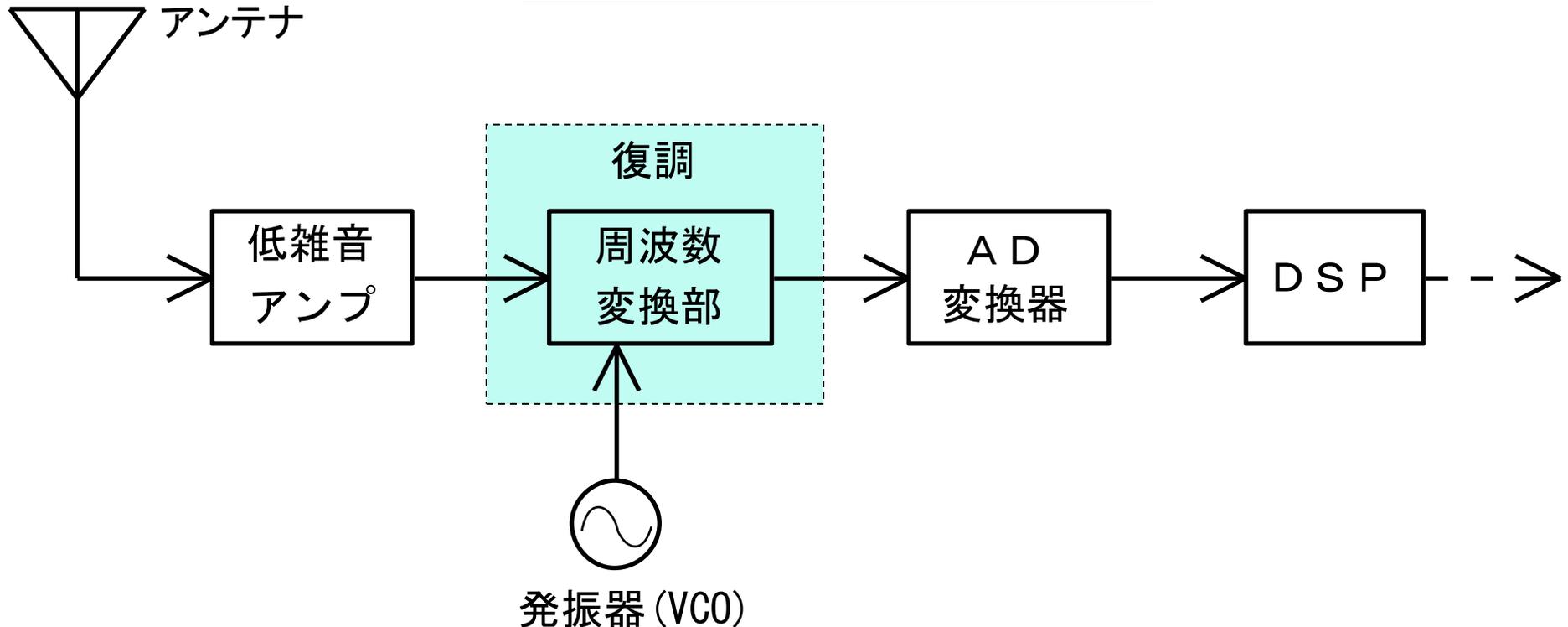
とくに

- オシロスコープ・トリガ回路
- AD変換器用コンパレータ

の解析・設計

1. CMOS RF回路

無線通信システムの受信部



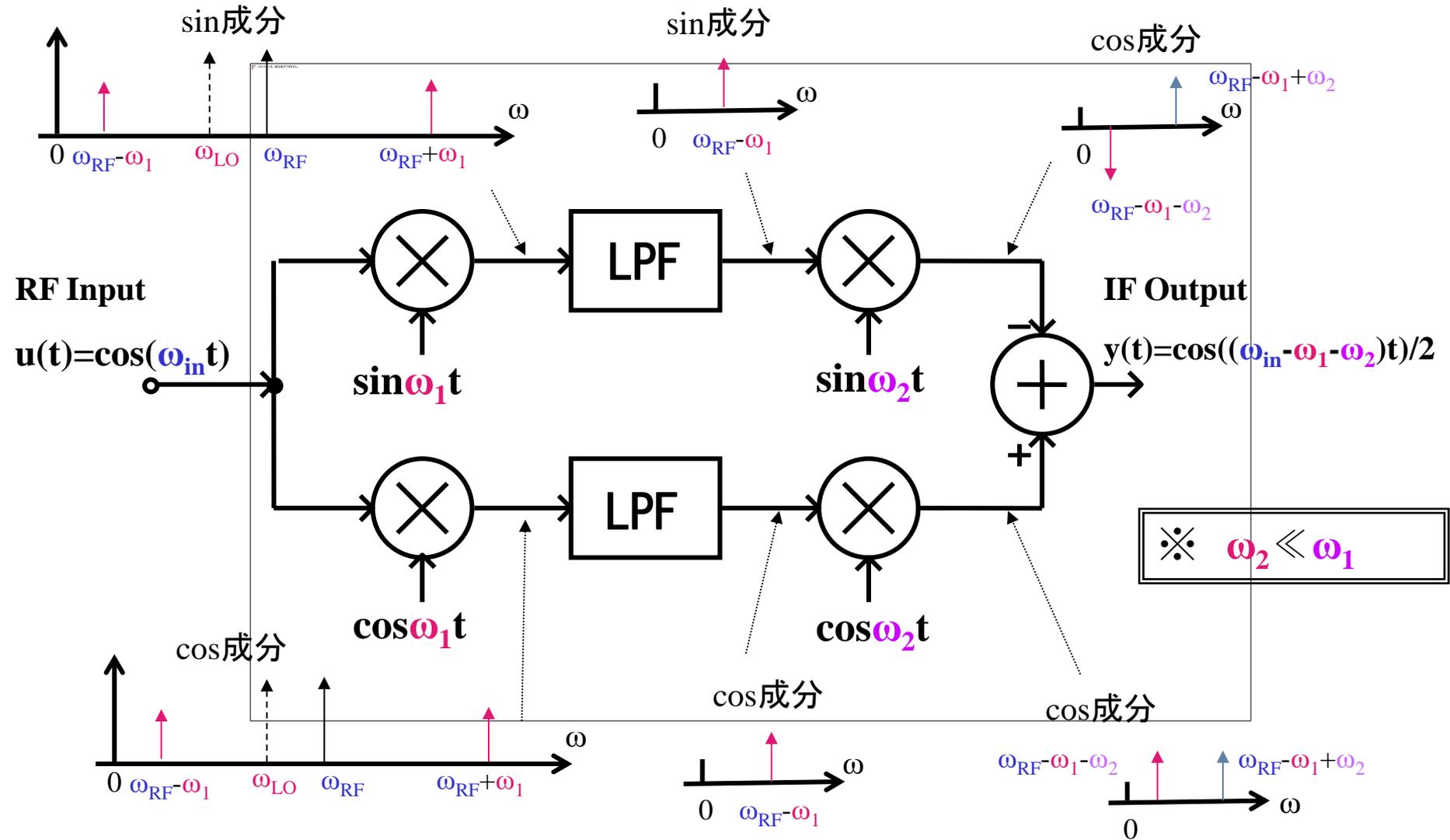
高い周波数の入力信号を低い周波数に変換

(a) 周波数変換部アーキテクチ

- Weaver Architecture
- Hartley Architecture
- Low IF Architecture

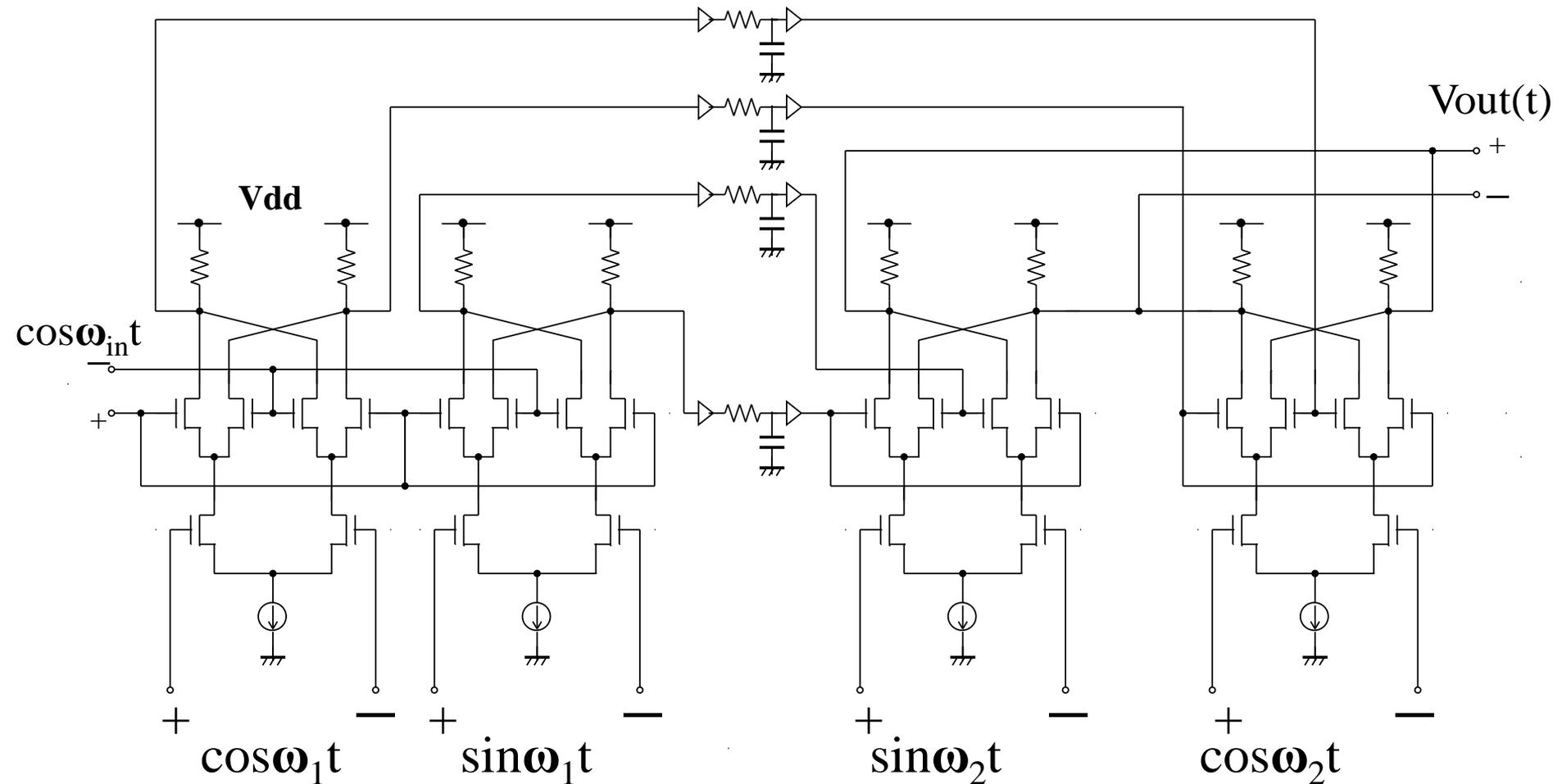
解析、CMOS回路の設計
シミュレーションを行った。

Weaver Architectureの解析



Weaver image-reject receiver

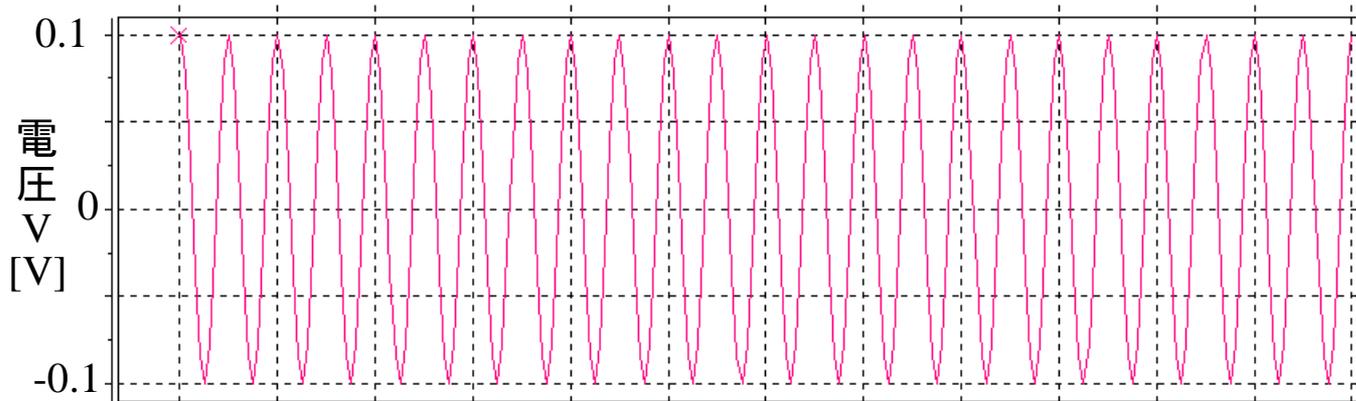
CMOS回路の設計



ギルバート乗算器を利用

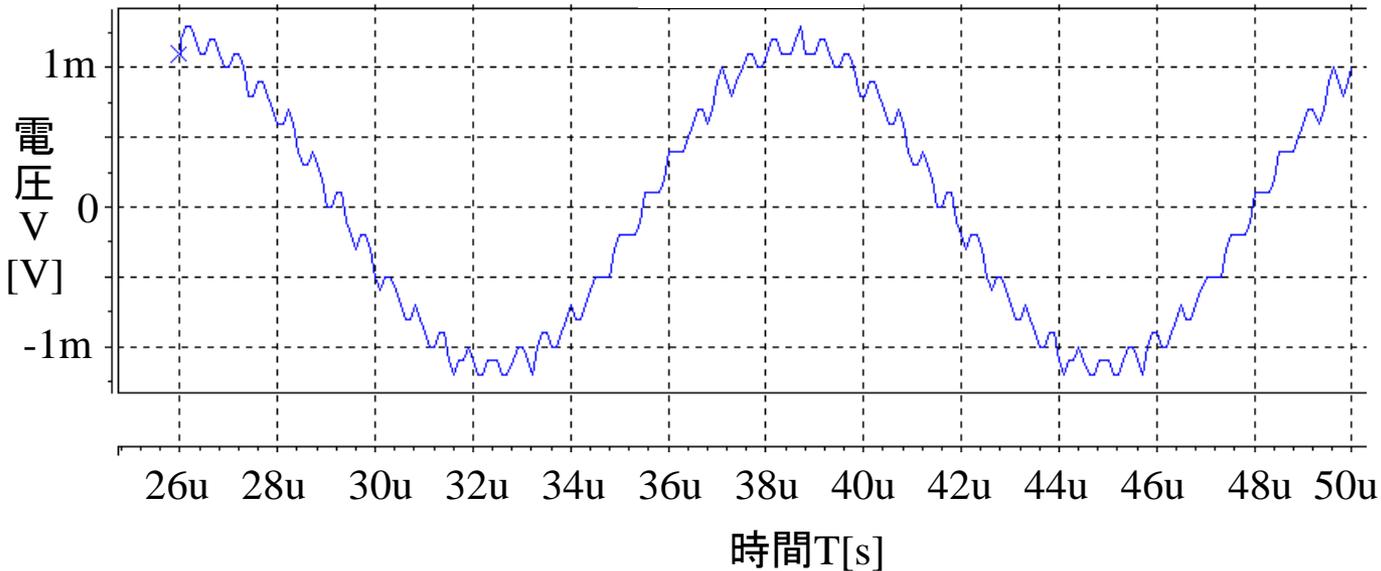
時間領域シミュレーション結果

入力波形



$$\begin{aligned}\omega_{in}/2\pi &= 1\text{MHz} \\ \omega_1/2\pi &= 900\text{kHz} \\ \omega_2/2\pi &= 20\text{kHz}\end{aligned}$$

出力波形



計算値

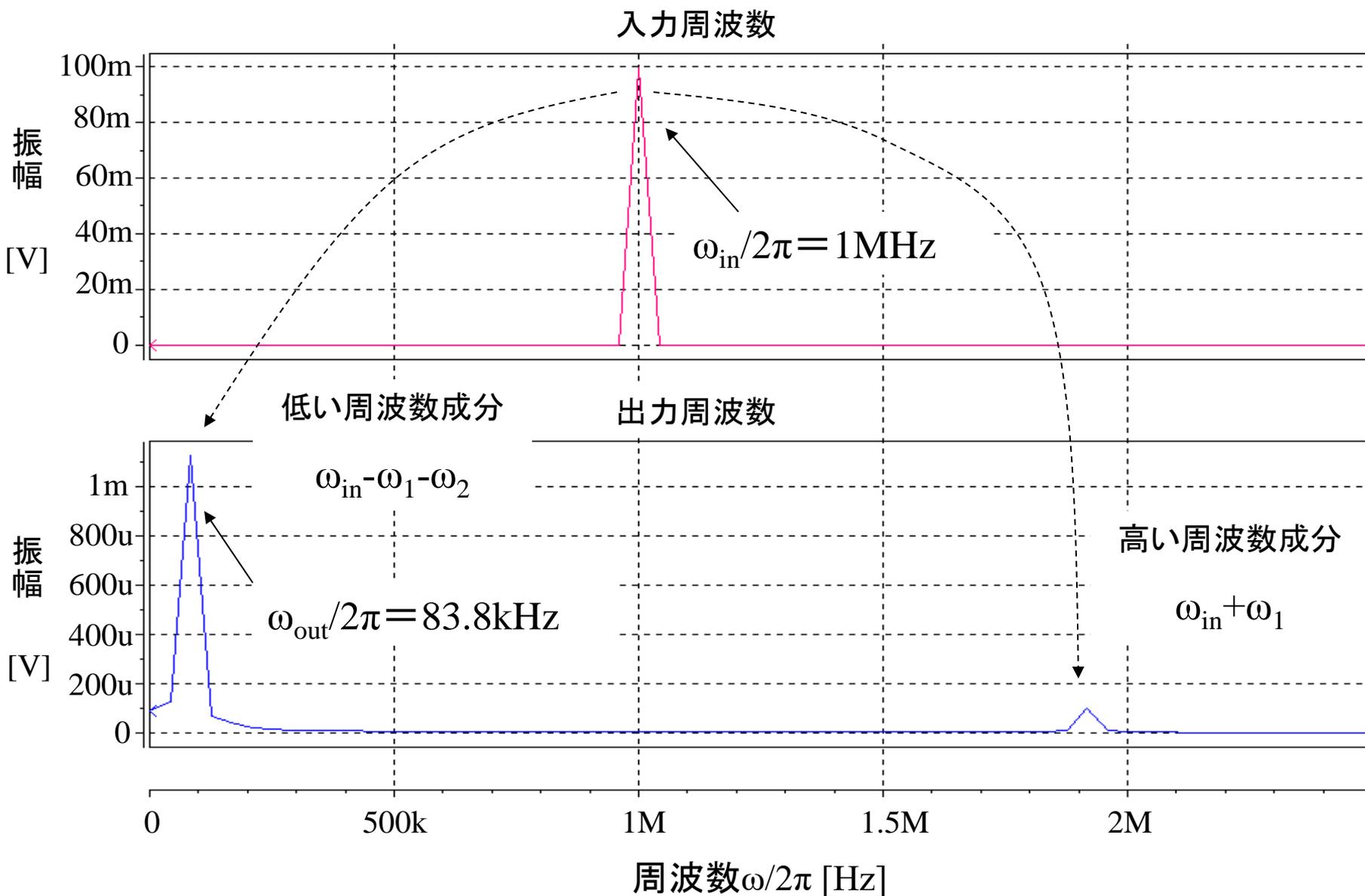
$$\omega_{out}/2\pi = 80.0\text{kHz}$$

シミュレーション値

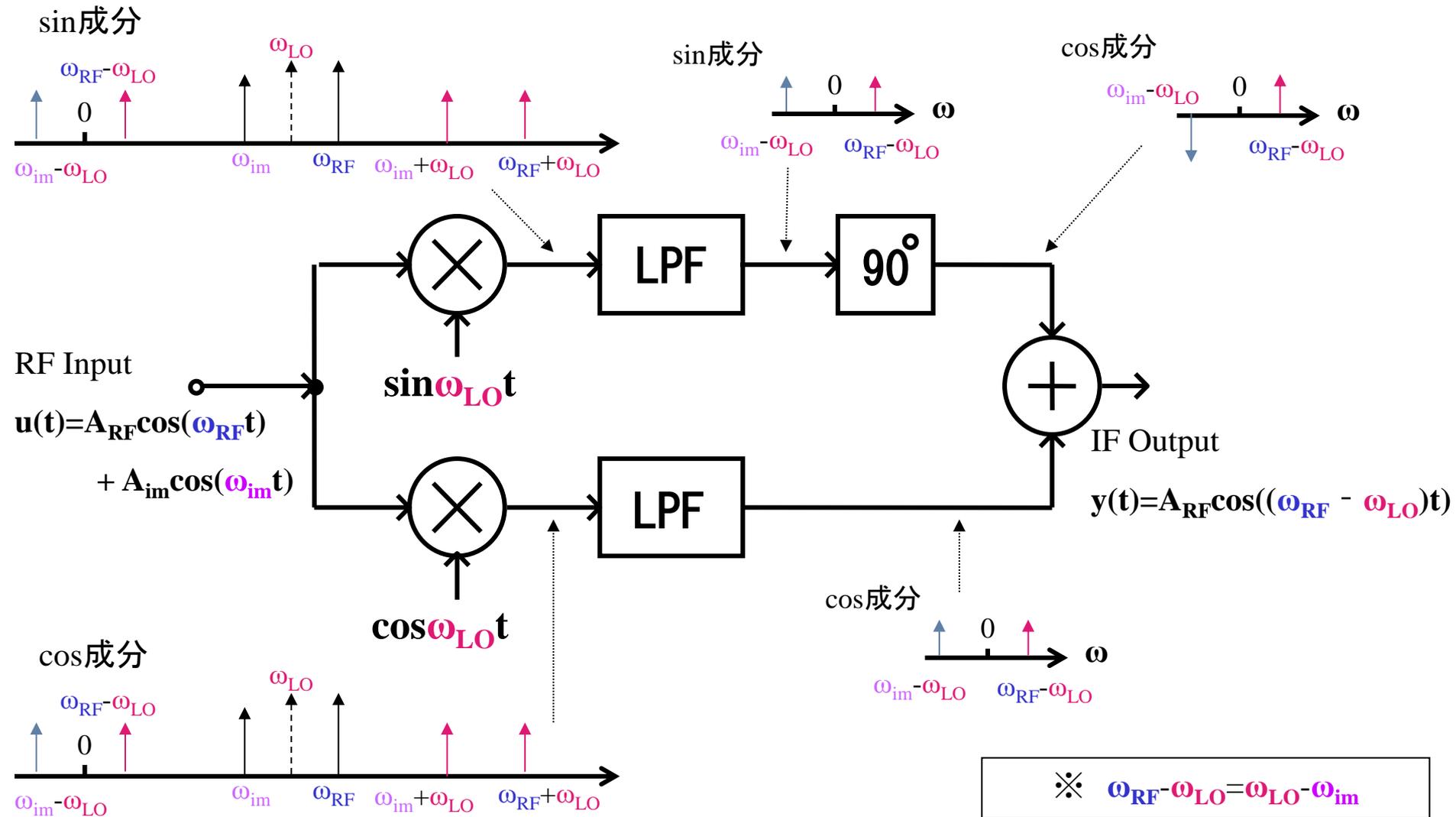
$$\omega_{out}/2\pi = 83.8\text{kHz}$$

$$\omega_{out} = \omega_{in} - \omega_1 - \omega_2$$

周波数領域シミュレーション結果

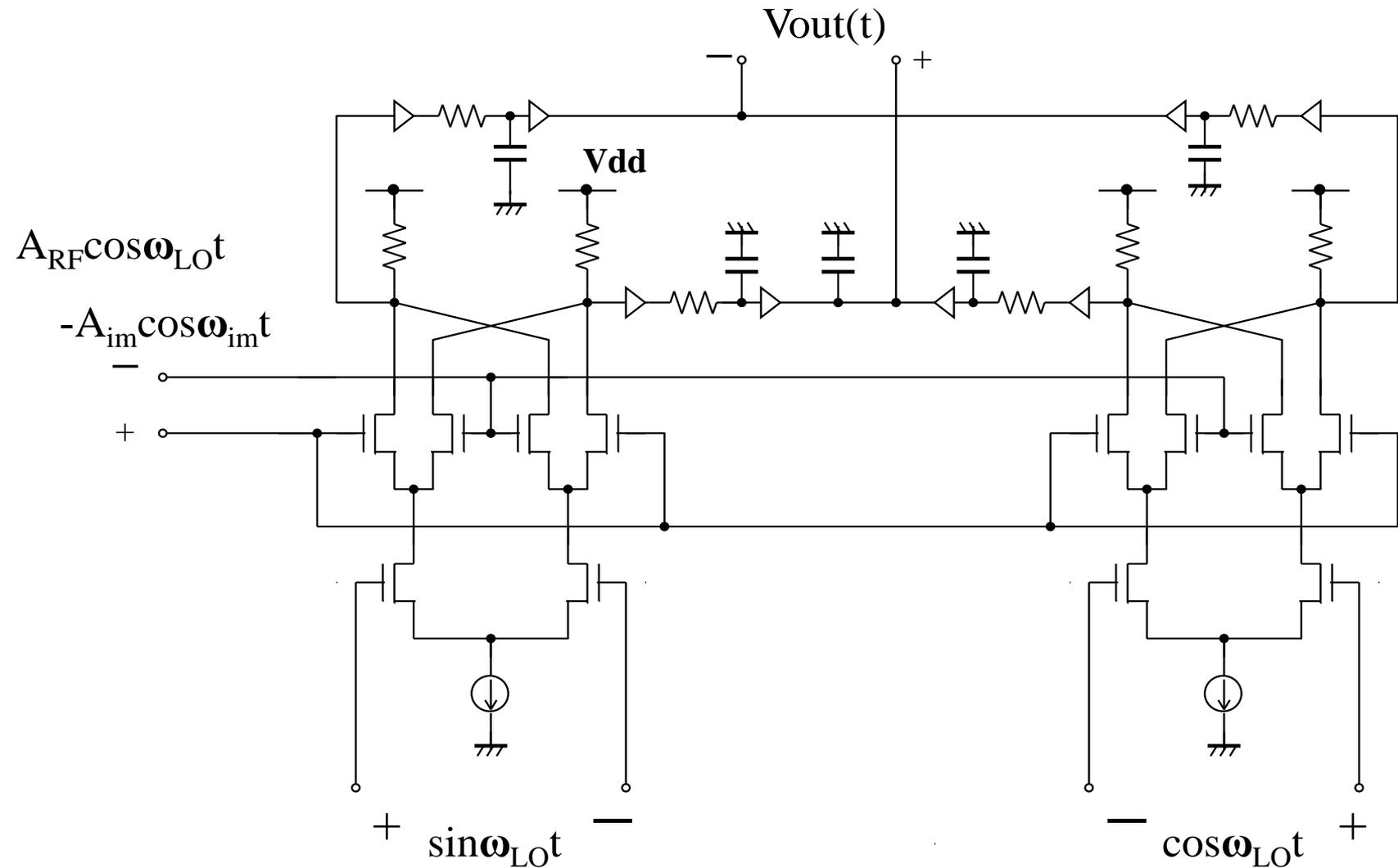


Hartley Architectureの解析



Hartley image-reject receiver

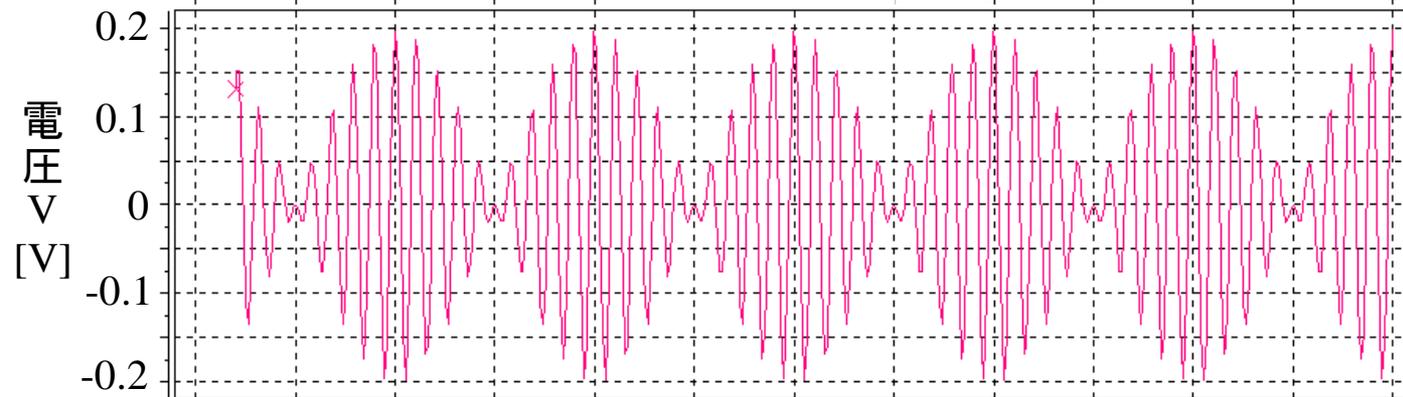
CMOS回路の設計



ギルバート乗算器を利用

時間領域シミュレーション結果

入力波形

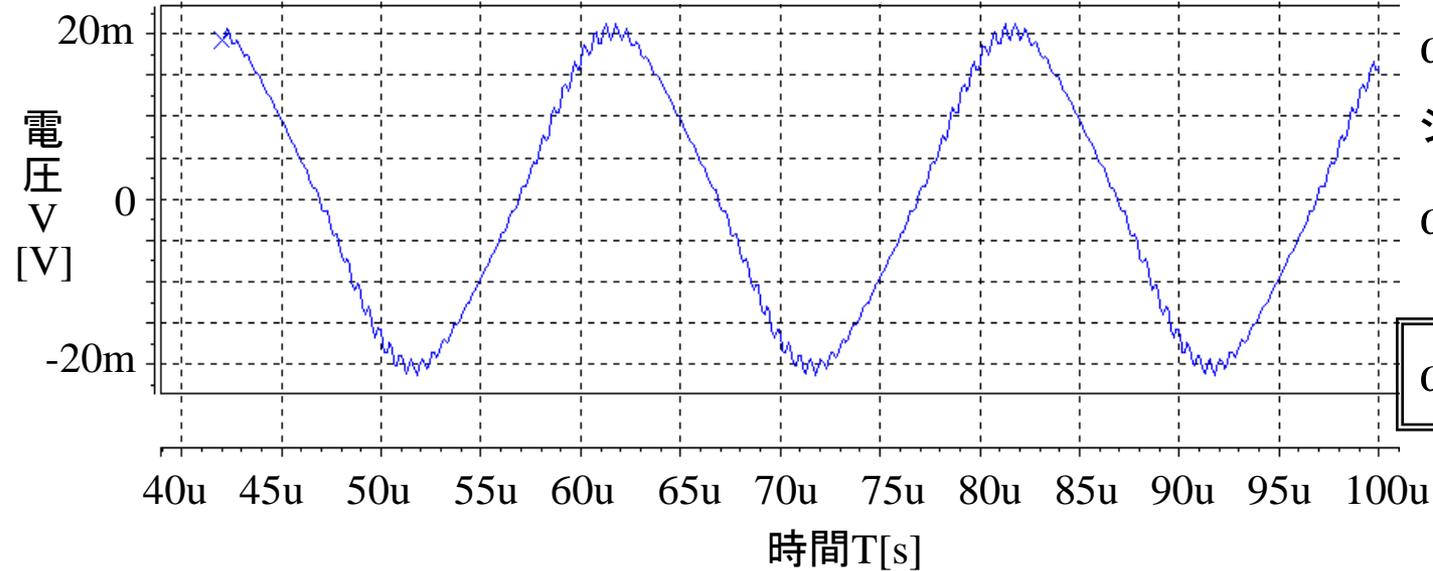


$$\omega_{RF}/2\pi = 1\text{MHz}$$

$$\omega_{im}/2\pi = 900\text{kHz}$$

$$\omega_{LO}/2\pi = 950\text{kHz}$$

出力波形



計算値

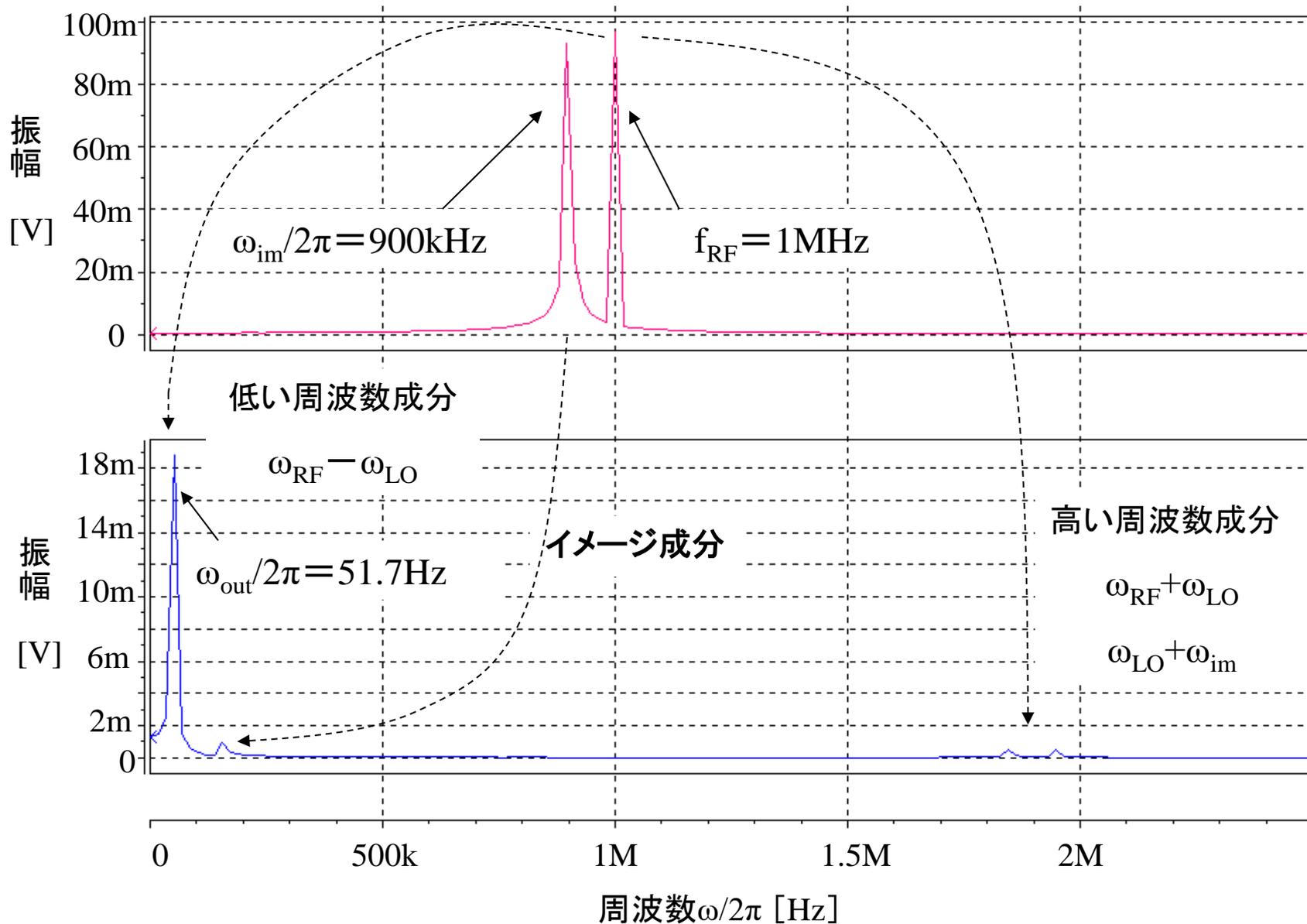
$$\omega_{out}/2\pi = 50\text{kHz}$$

シミュレーション結果

$$\omega_{out}/2\pi = 51.7\text{kHz}$$

$$\omega_{out} = \omega_{RF} - \omega_{LO}$$

周波数領域シミュレーション結果

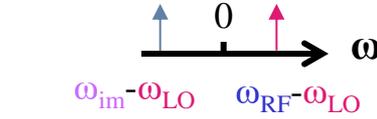
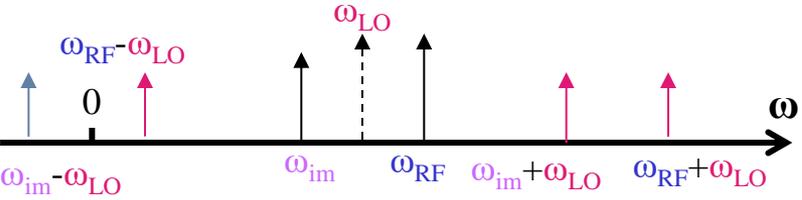


Hartley Architectureの解析2

sin成分 (正の領域)

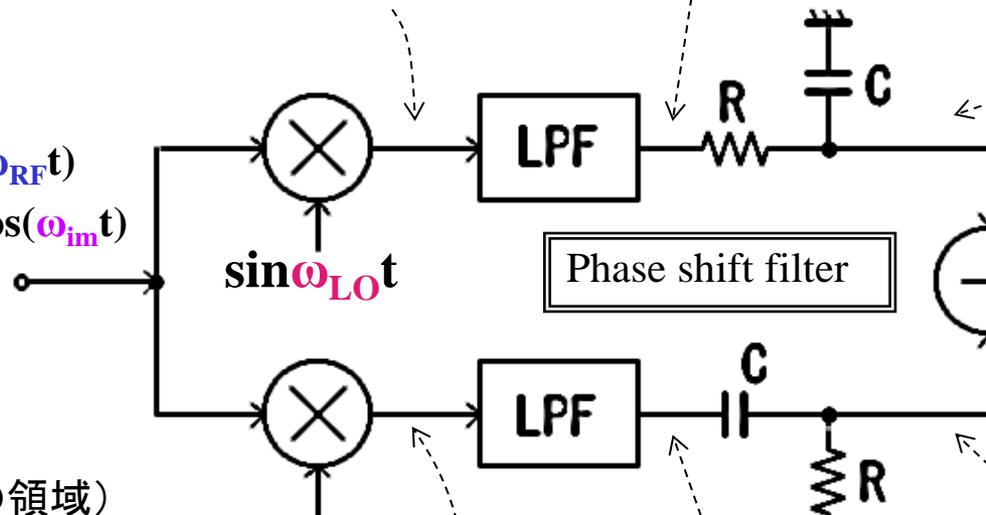
sin成分

$$\text{※ } \omega_{RF} - \omega_{LO} = 1/RC$$

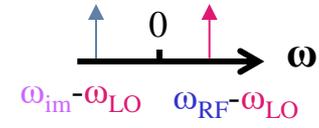


RF Input

$$u(t) = A_{RF} \cos(\omega_{RF} t) + A_{im} \cos(\omega_{im} t)$$



sin成分



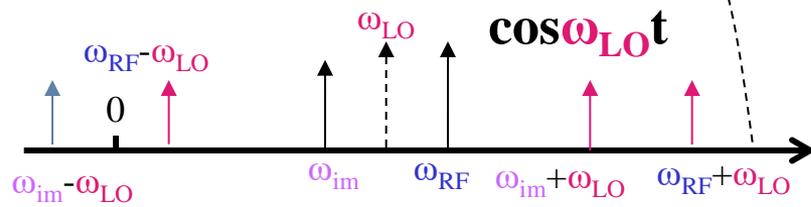
IF Output

$$y(t) = -A_{RF} \sin((\omega_{RF} - \omega_{LO}) t - \pi/4)$$

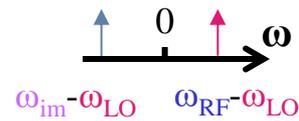
$$\text{※ } \omega_{RF} - \omega_{LO} = \omega_{LO} - \omega_{im}$$

cos成分 (正の領域)

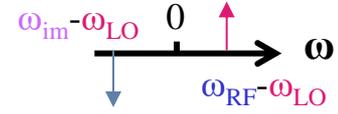
cos ω_{LO} t



cos成分



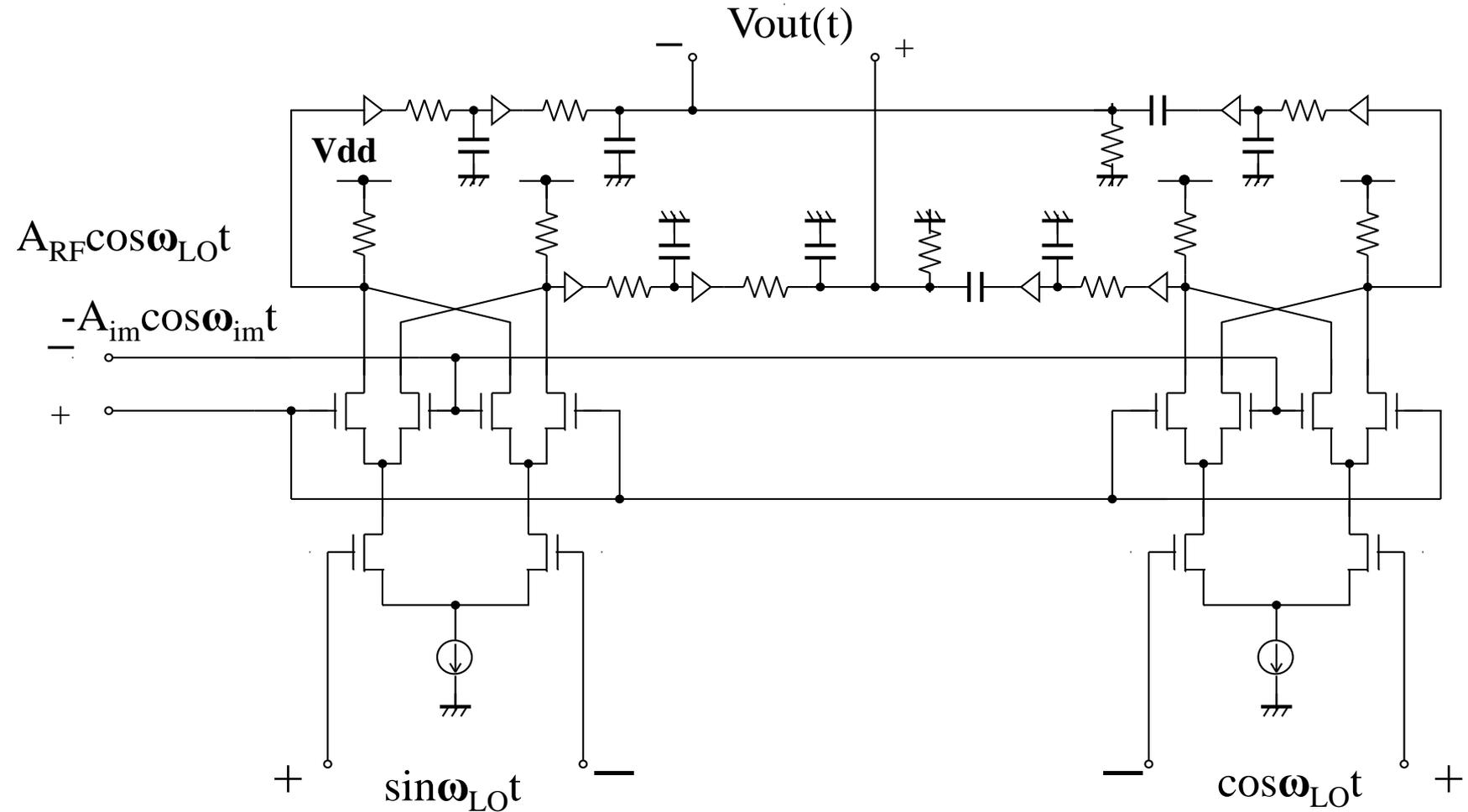
sin成分



※実信号は0で対象の周波数領域を持つ

Image-reject receiver with split phase shift stages

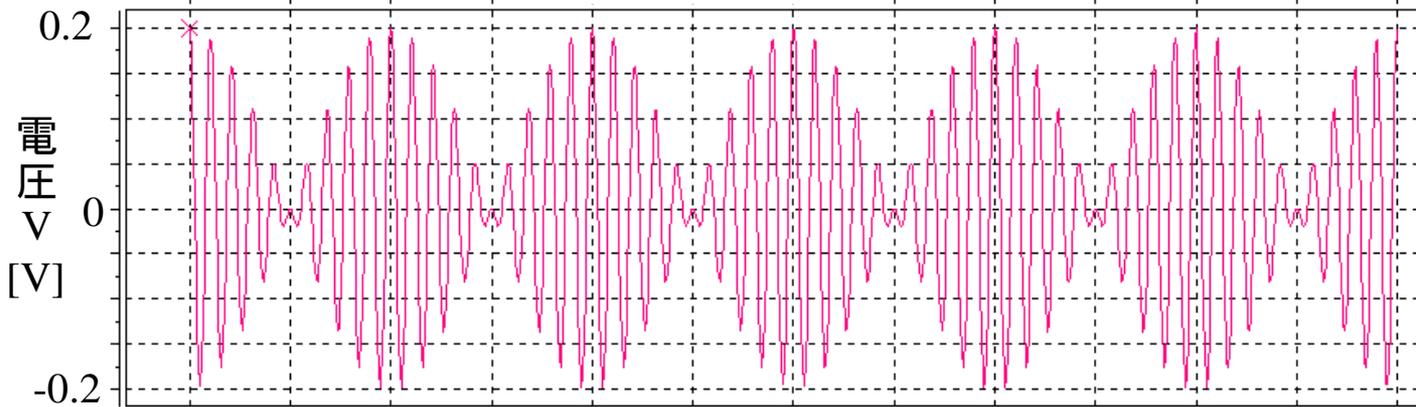
アーキテクチャをCMOS回路で設計



ギルバート乗算器を利用

時間領域シミュレーション結果

入力波形

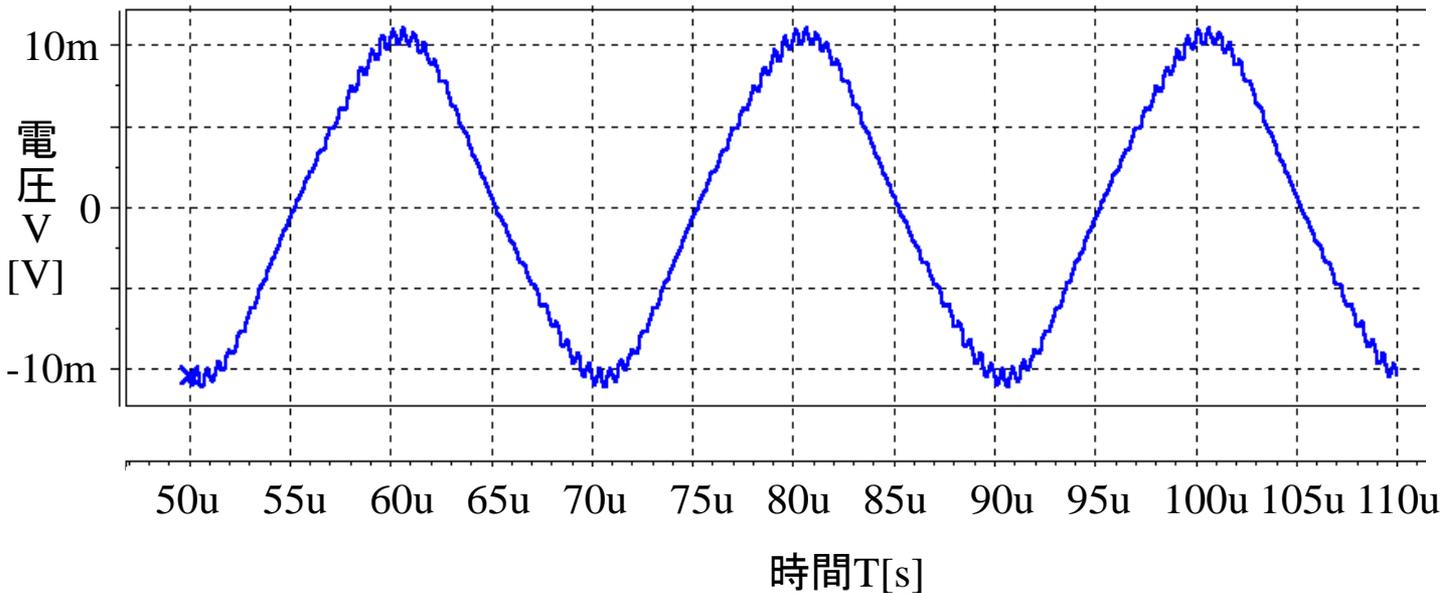


$$\omega_{\text{RF}}/2\pi = 1\text{MHz}$$

$$\omega_{\text{im}}/2\pi = 900\text{kHz}$$

$$\omega_{\text{LO}}/2\pi = 950\text{kHz}$$

出力波形



計算値

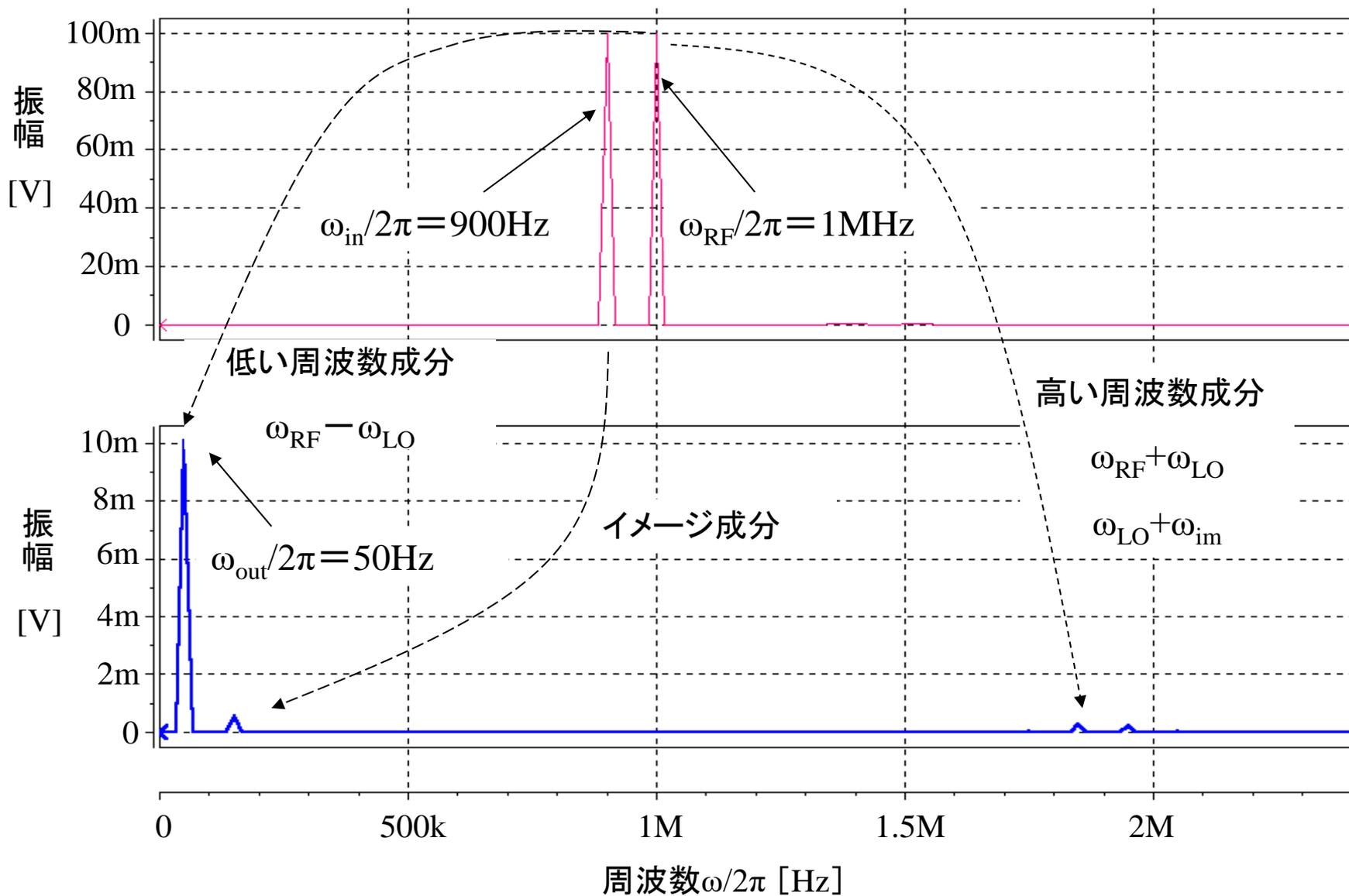
$$\omega_{\text{out}}/2\pi = 50\text{kHz}$$

シミュレーション結果

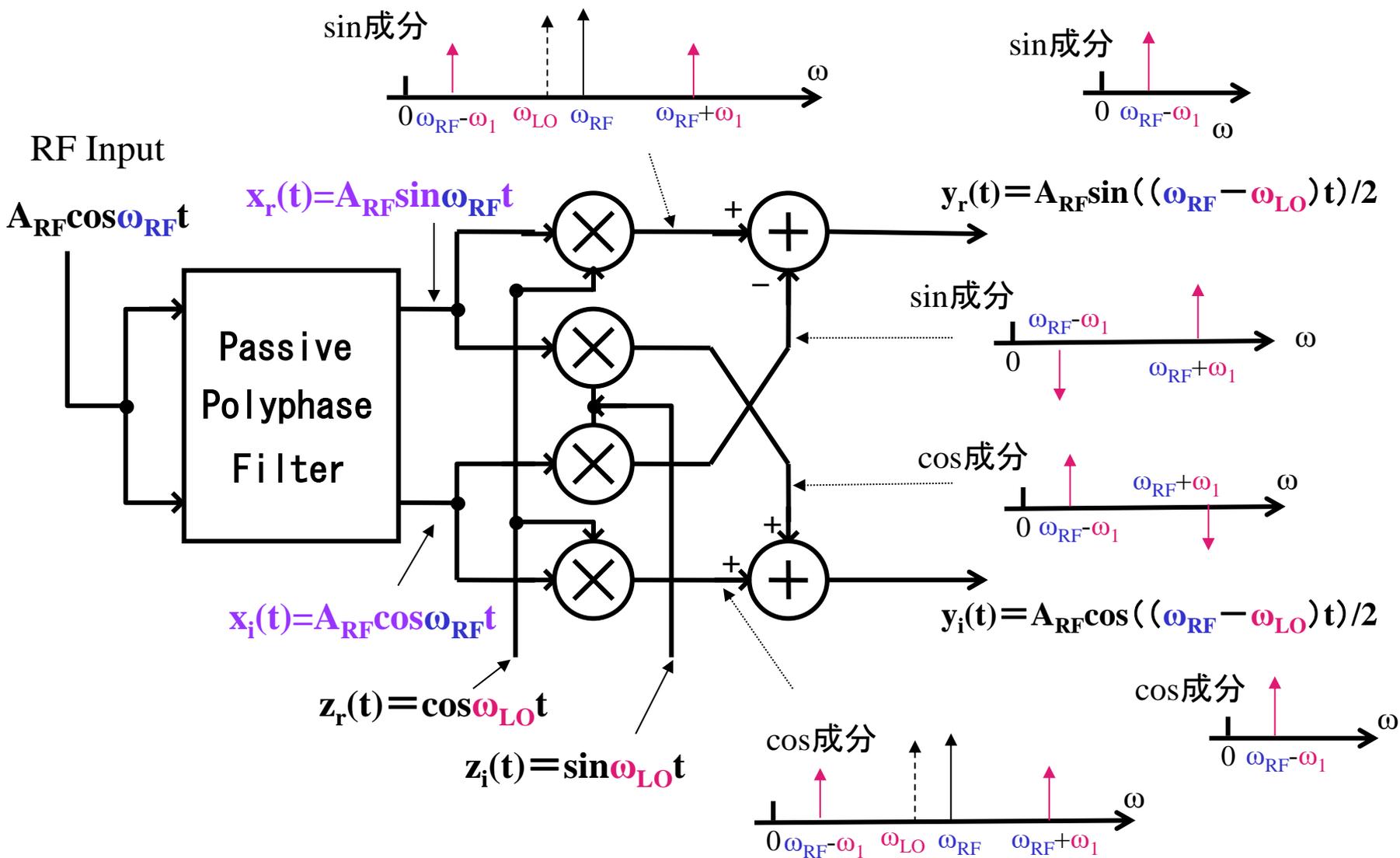
$$\omega_{\text{out}}/2\pi = 50\text{kHz}$$

$$\omega_{\text{out}} = \omega_{\text{RF}} - \omega_{\text{LO}}$$

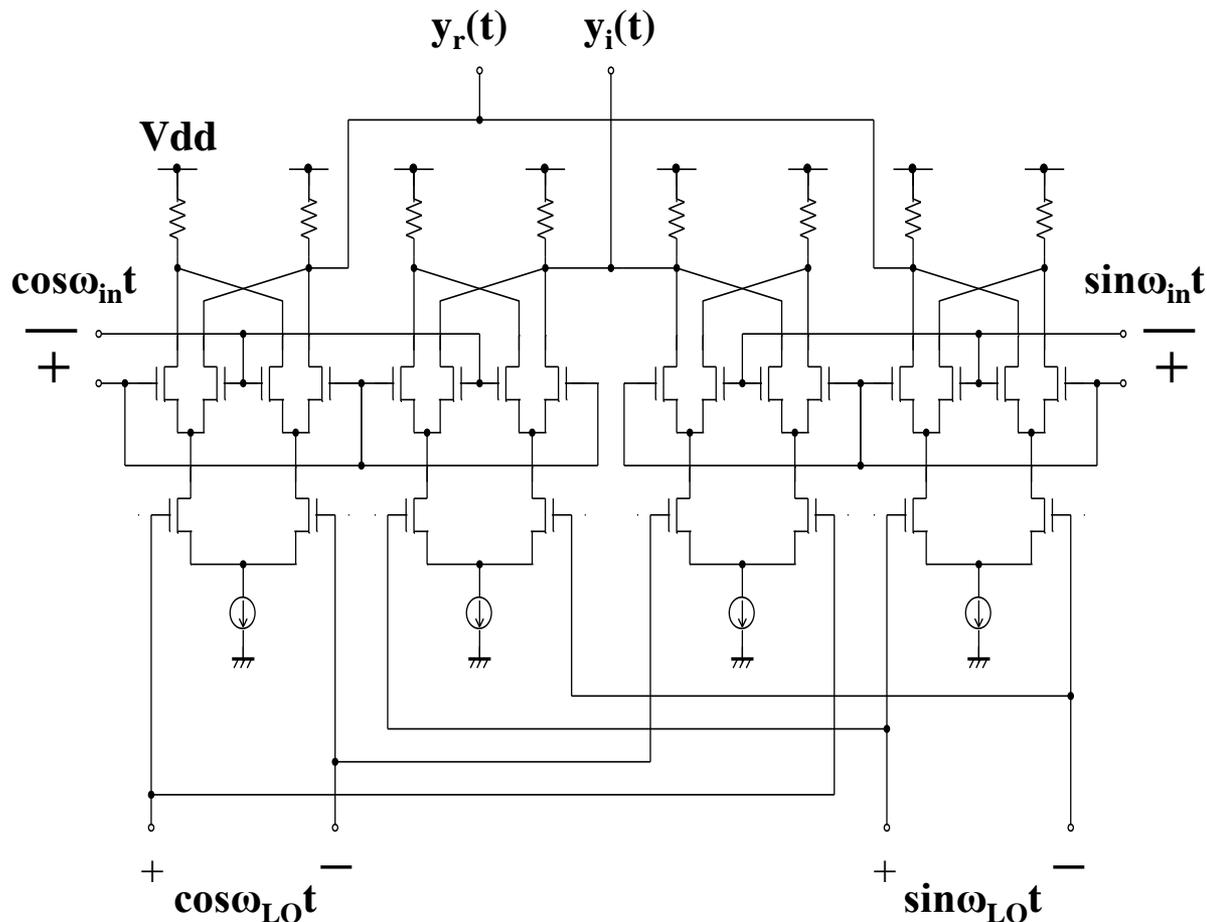
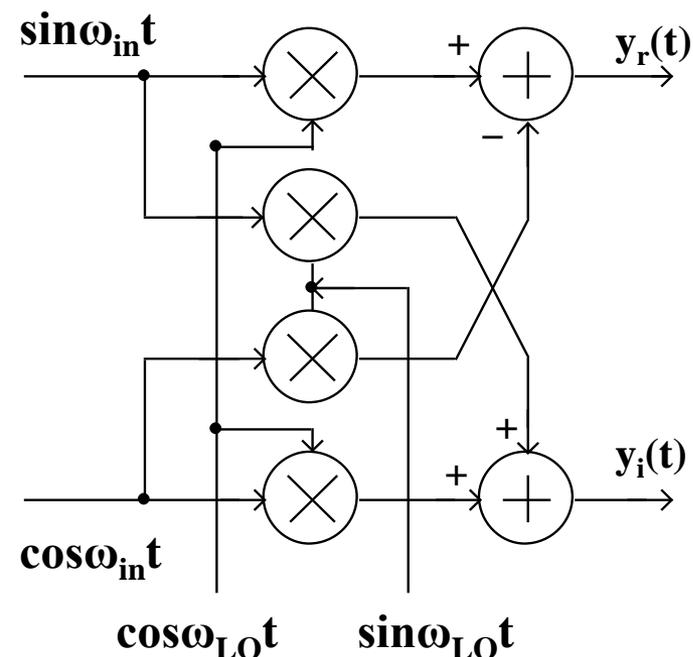
周波数領域シミュレーション結果



Low IF Architectureの解析

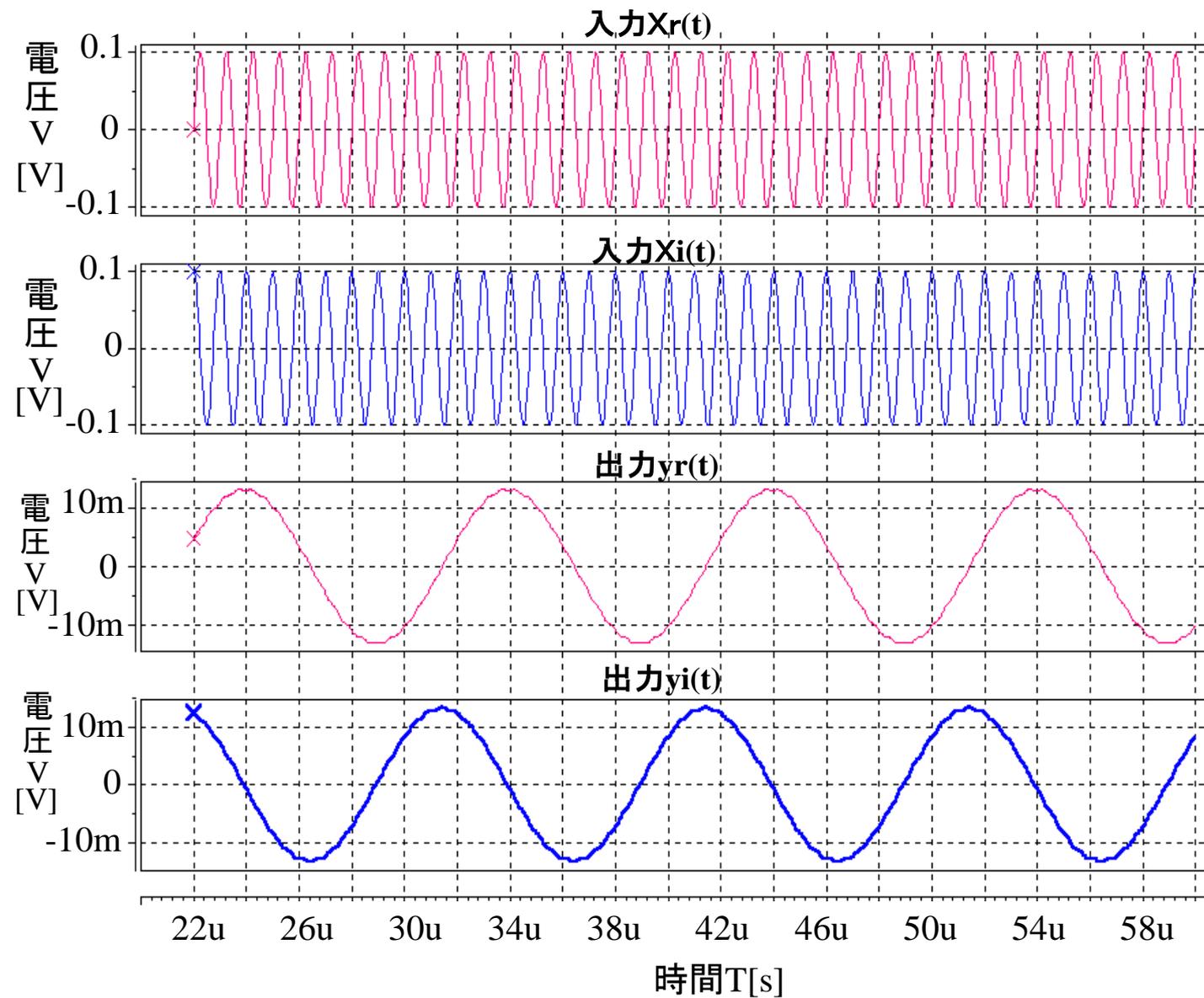


CMOS回路の設計



Complex mixer部分

時間領域シミュレーション結果



$$\omega_{RF}/2\pi = 10\text{MHz}$$

$$\omega_{LO}/2\pi = 9\text{MHz}$$

計算値

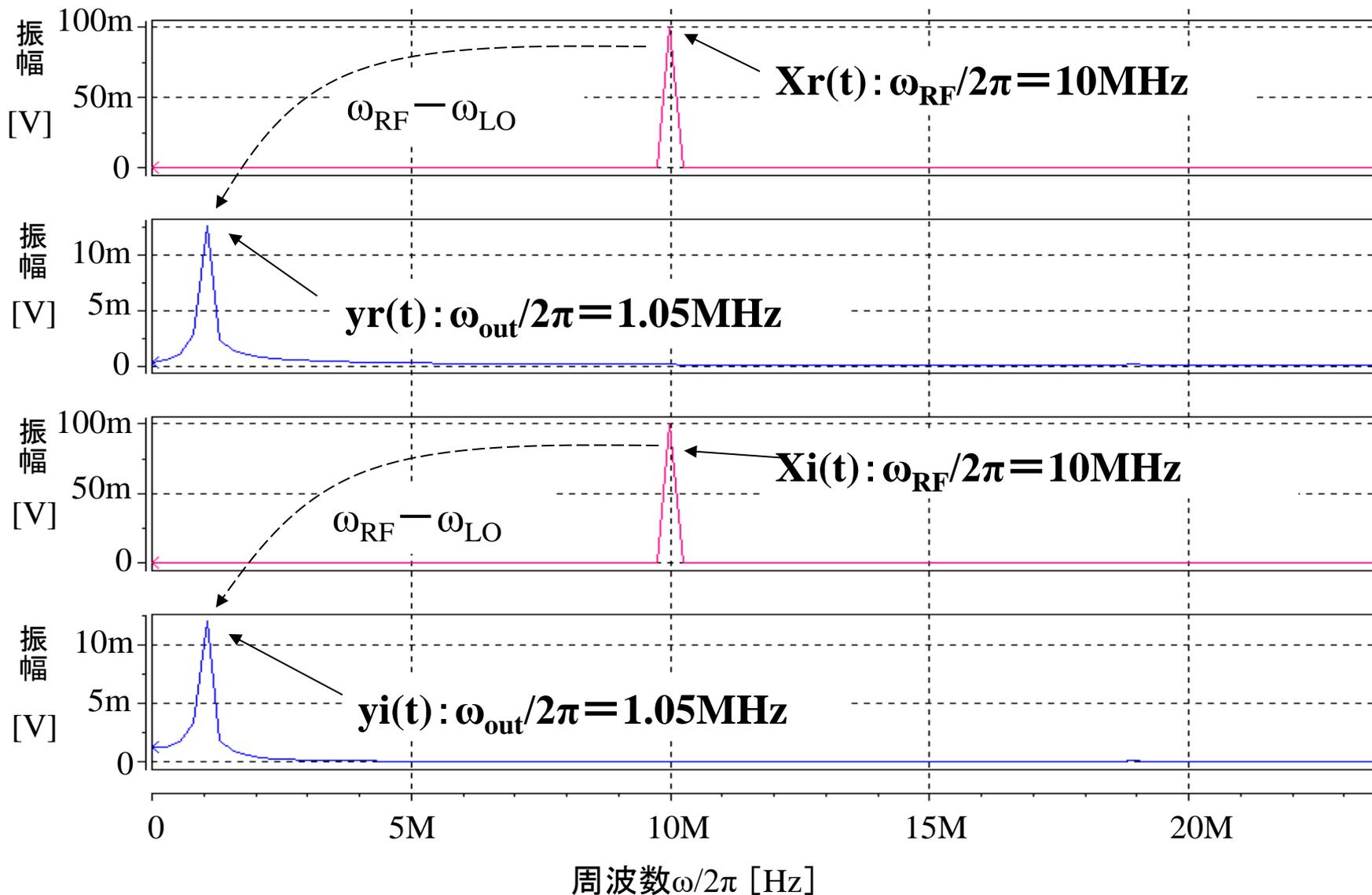
$$\omega_{out}/2\pi = 1\text{MHz}$$

シミュレーション値

$$\omega_{out}/2\pi = 1.05\text{MHz}$$

$$\omega_{out} = \omega_{RF} - \omega_{LO}$$

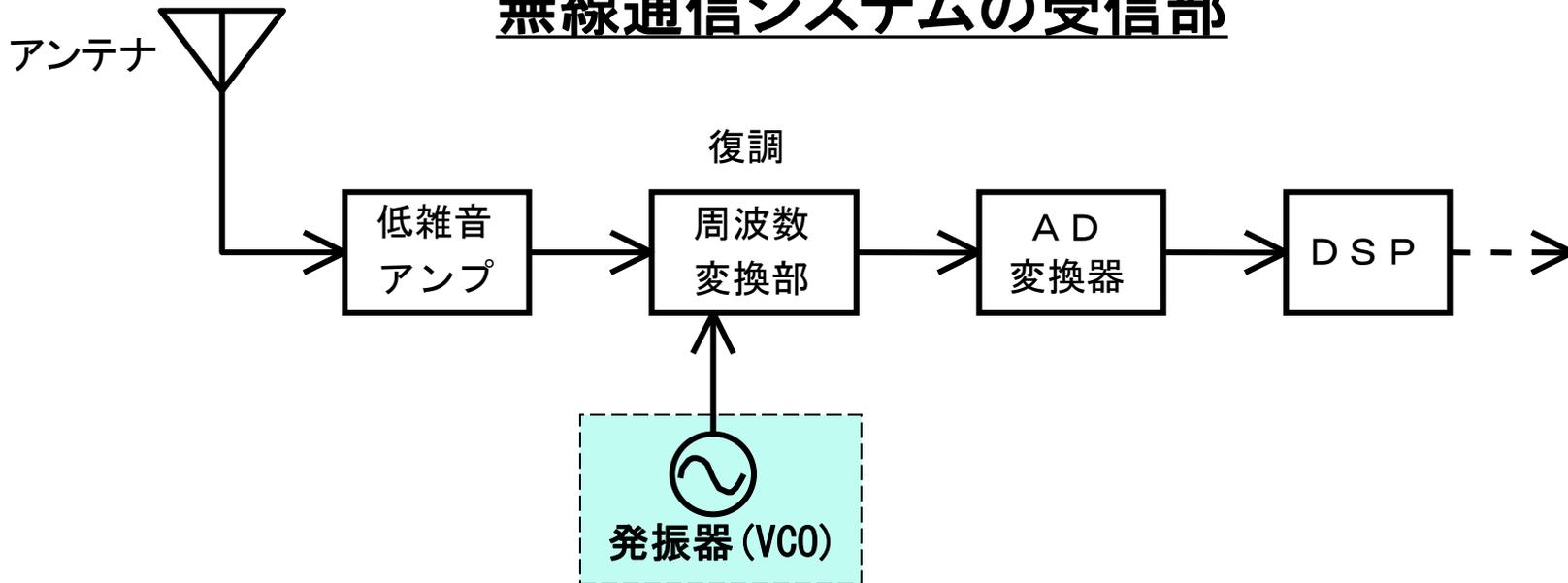
周波数領域シミュレーション結果



1 (b) リング発振器を用いたVCO回路 (Voltage Controlled Oscillator)

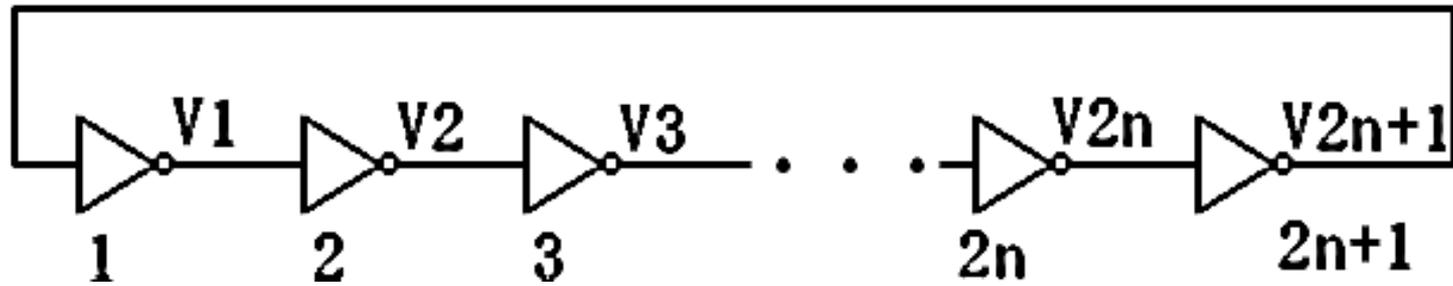
CMOS RF回路

無線通信システムの受信部

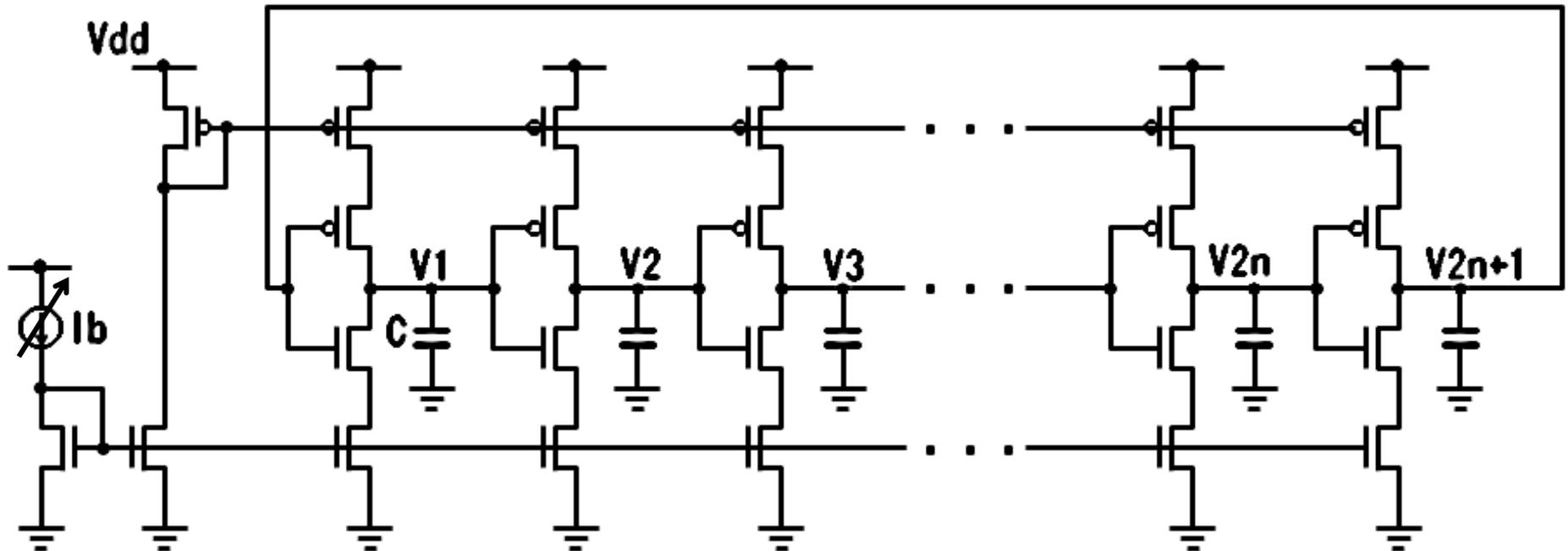


- リング発振器を用いたVCOの設計

リング発振器回路図

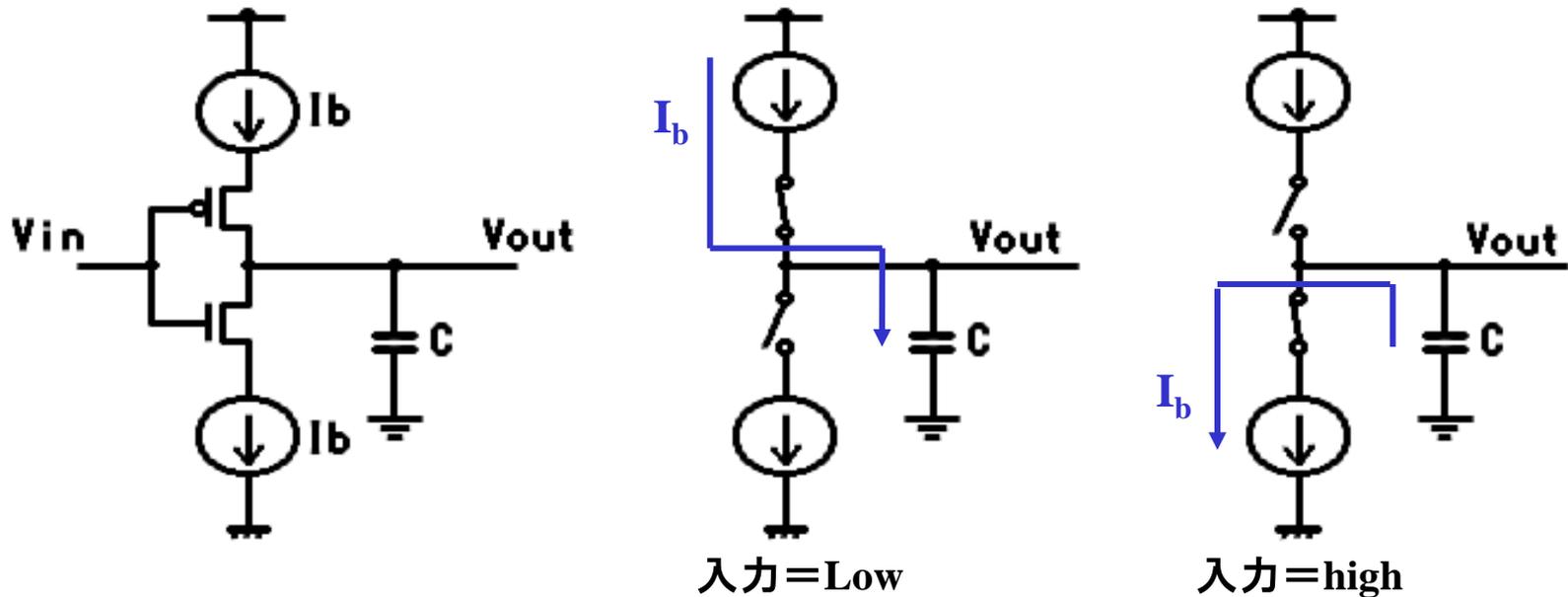


リング発振器(ブロック図)



CMOS回路図

インバータの遅延の解析



インバータの動作

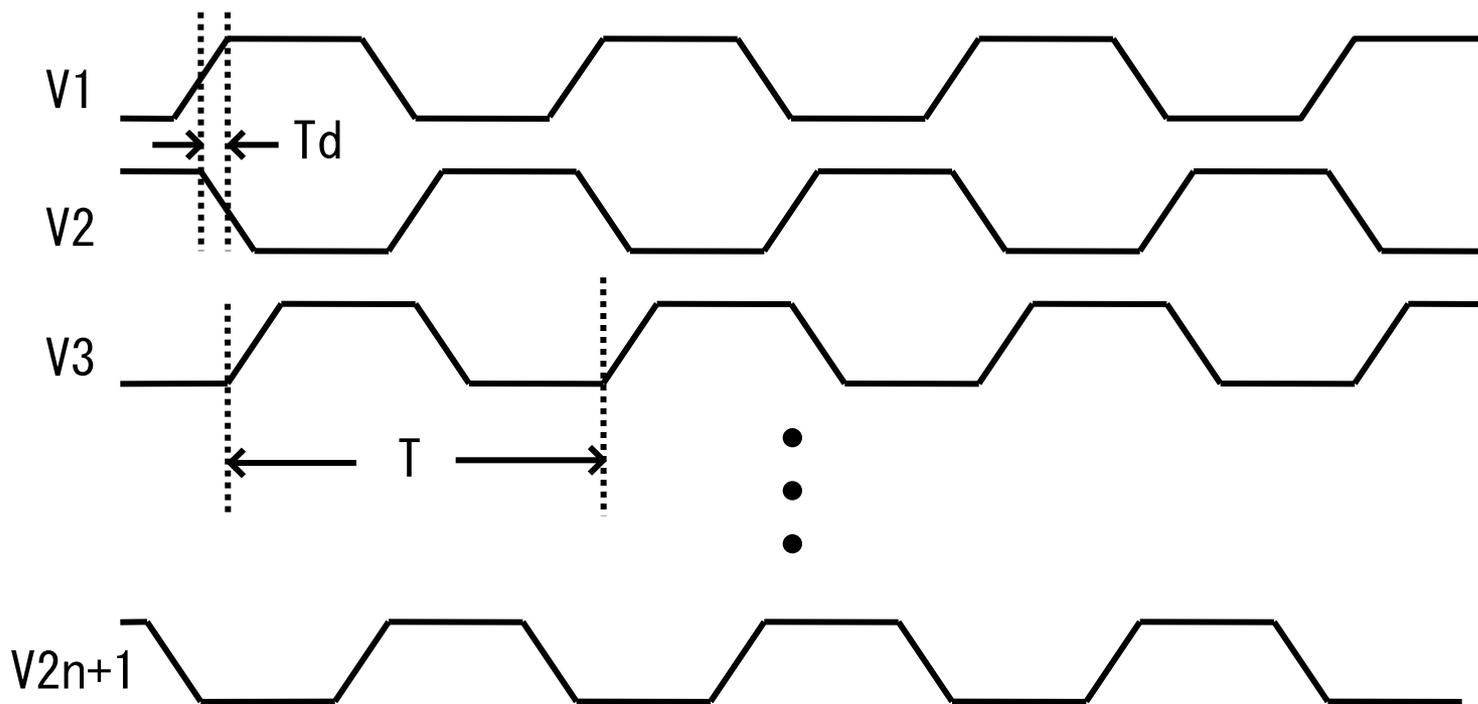
I_b : バイアス電流 C : インバータの寄生容量

$$Q = C \cdot V_{dd} = I_b T_c$$

$$T_c = V_{dd} C / I_b$$

T_c : C の充・放電時間

リング発振器の周波数

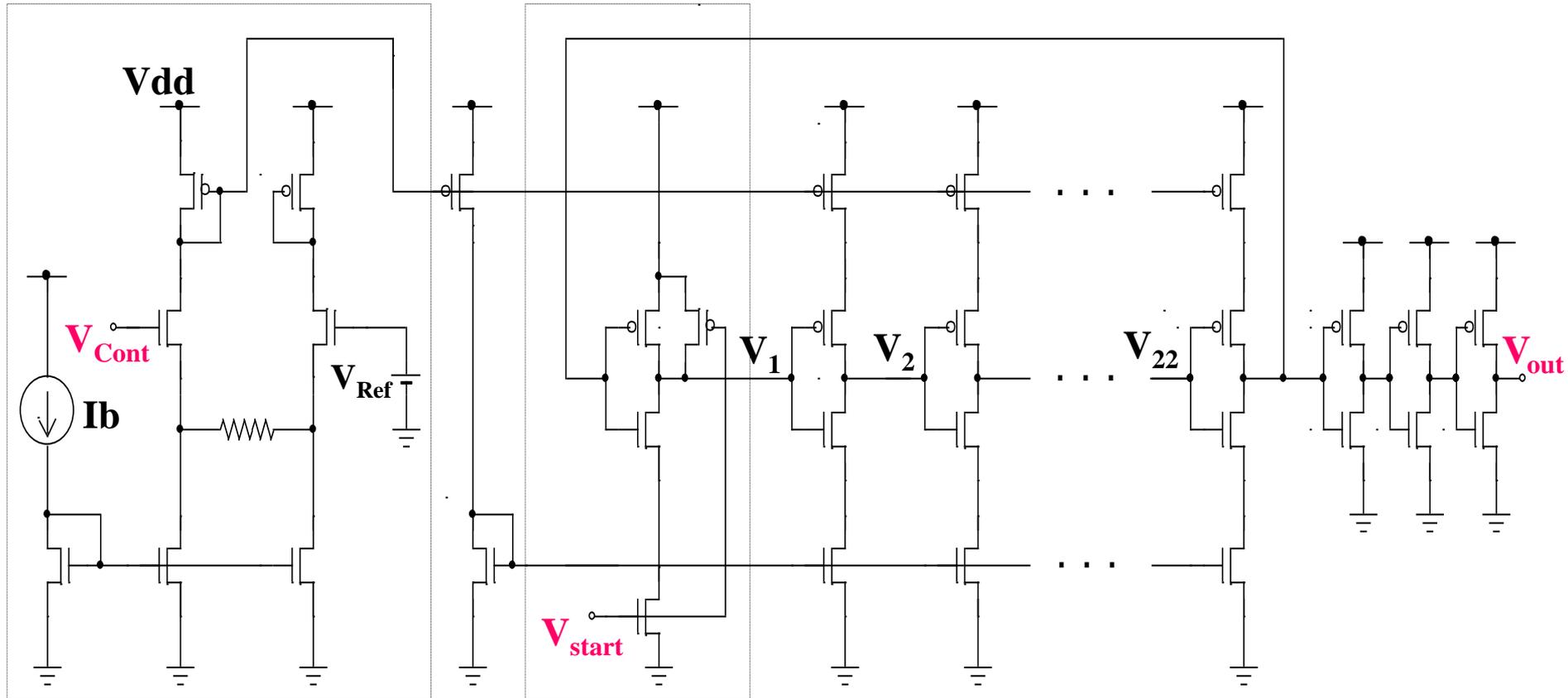


インバータのDelay Time: $T_d = T_c/2$

周期: $T = 2(2n+1) \cdot T_d$

周波数: $f = 1/\{2(2n+1)T_d\} = I_b/\{(2n+1)CV_{dd}\}$

VCOのCMOS回路図



電圧・電流変換器

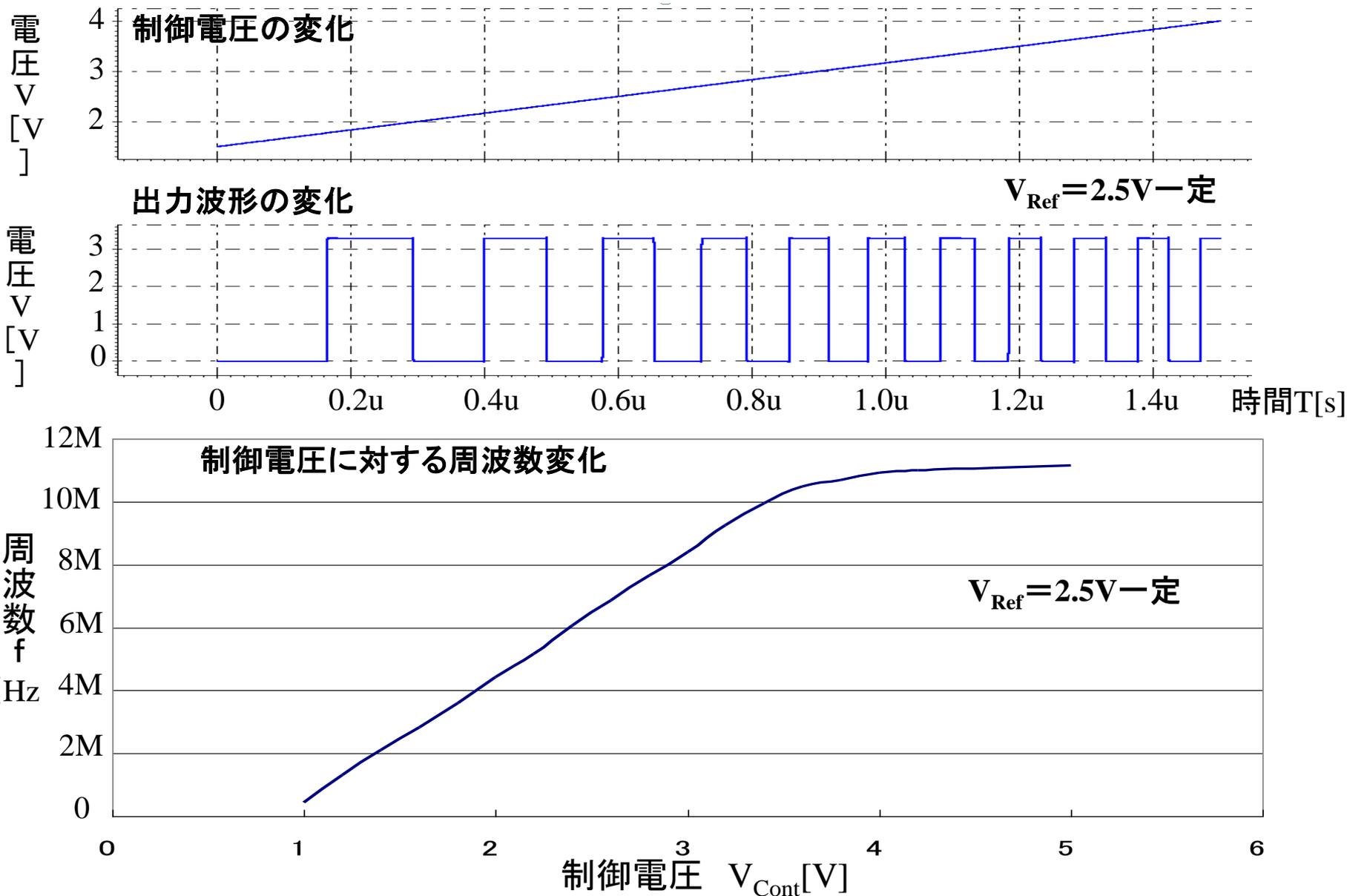
スタート用の回路 (NAND回路)

※Highでスタート

リング発振器

※ 制御電圧の変化により周波数を変化

制御電圧に対する出力波形と周波数の変化



レイアウト

デザインルール

0.35 μ mプロセス

単層 Poly

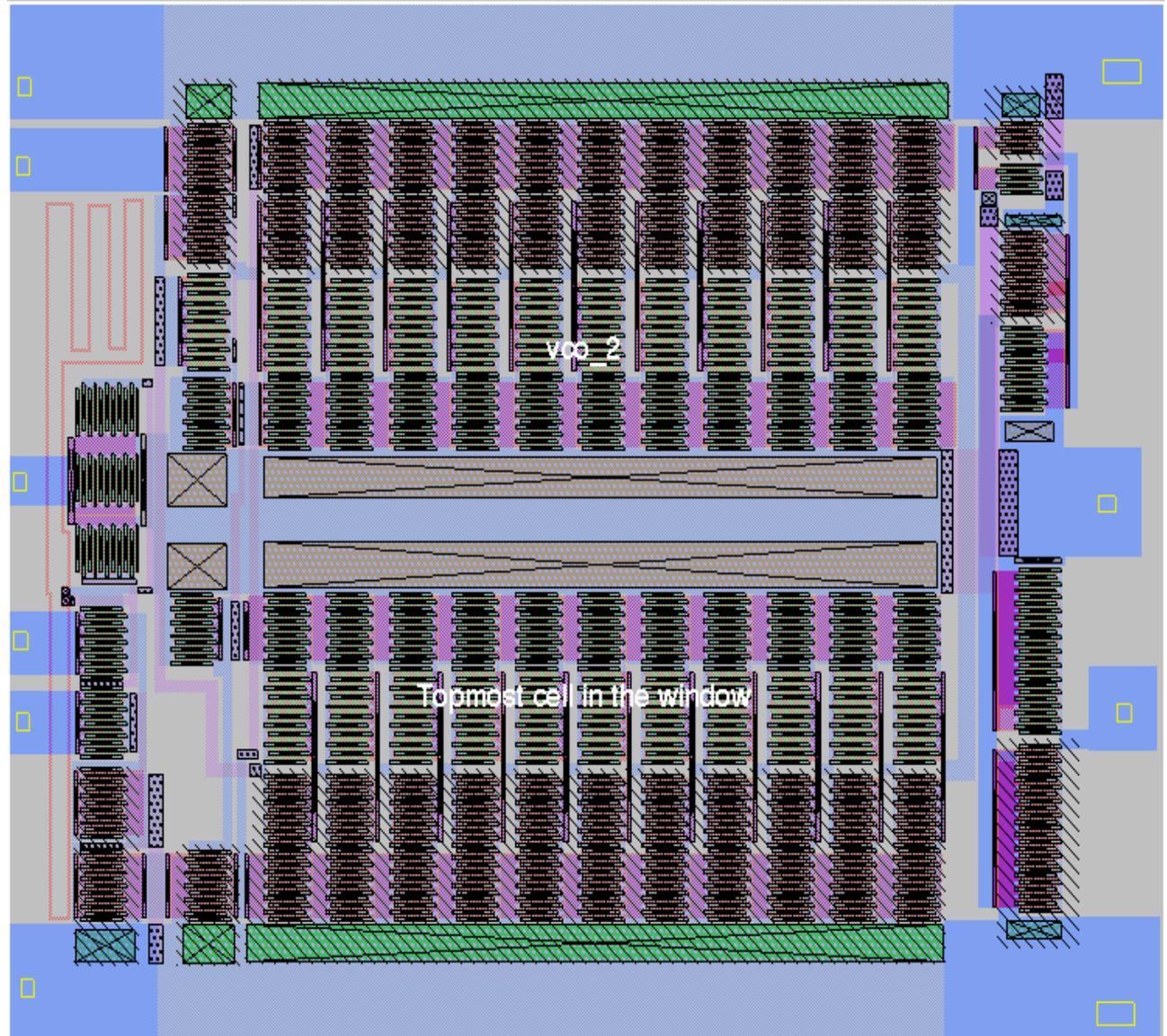
三層 Metal

レイアウトツール

Magic

チップ面積

0.24mm \times 0.31mm



2 サンプリング回路

(a) オシロスコープ・トリガ回路

※ トリガ部分に使用される回路の一つ

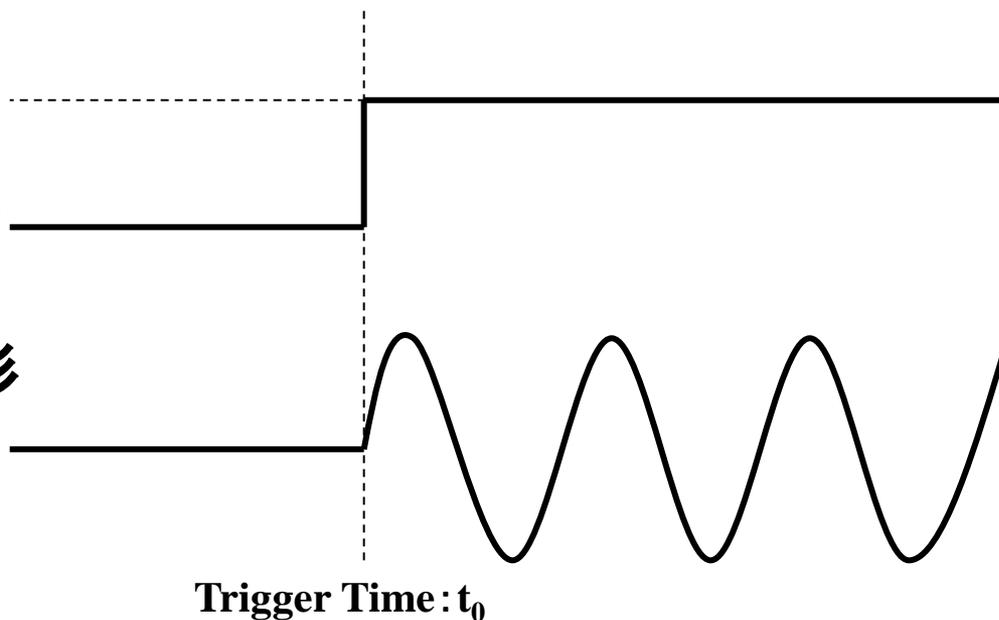
使用目的

入力 Trigger

ON

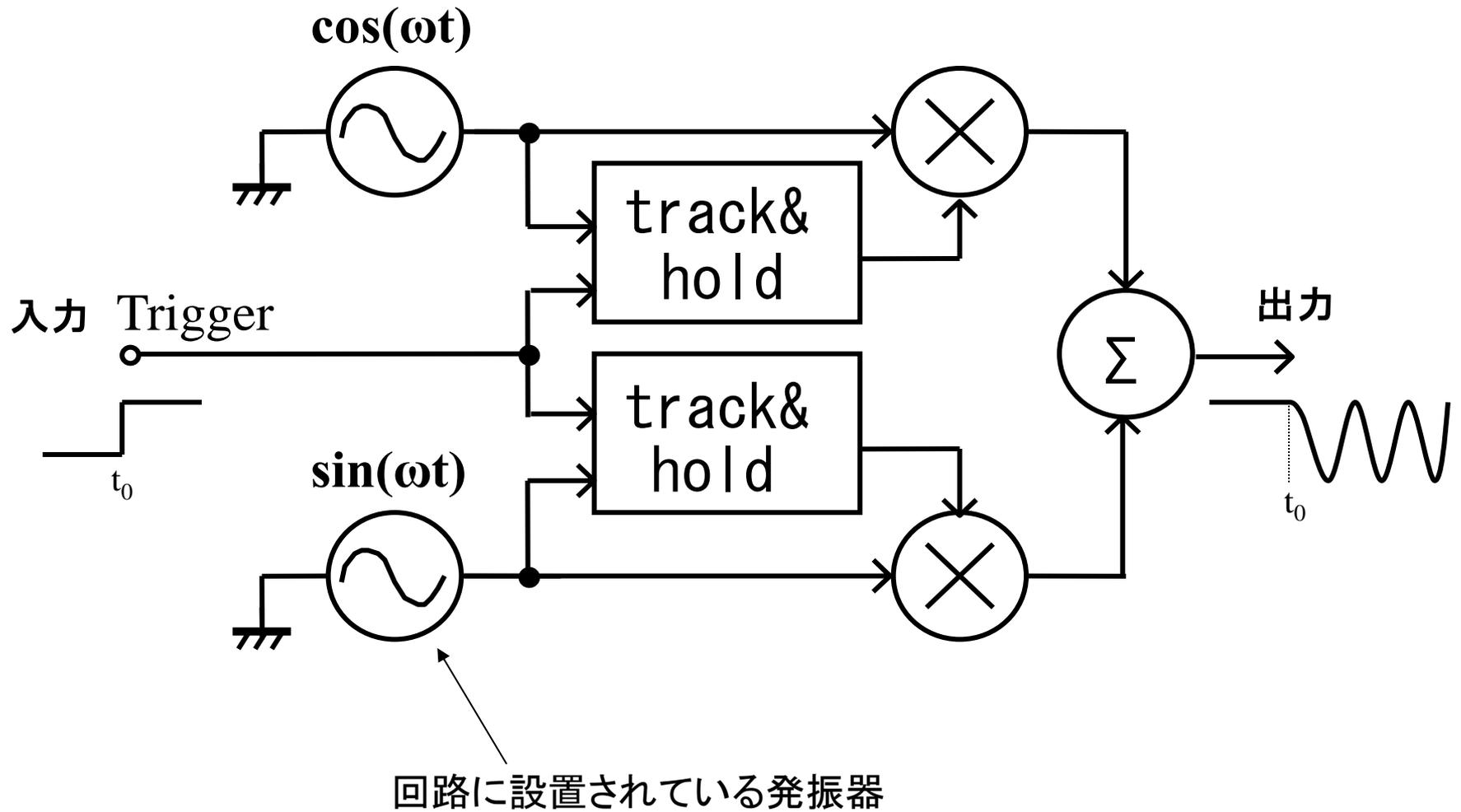
OFF

出力波形

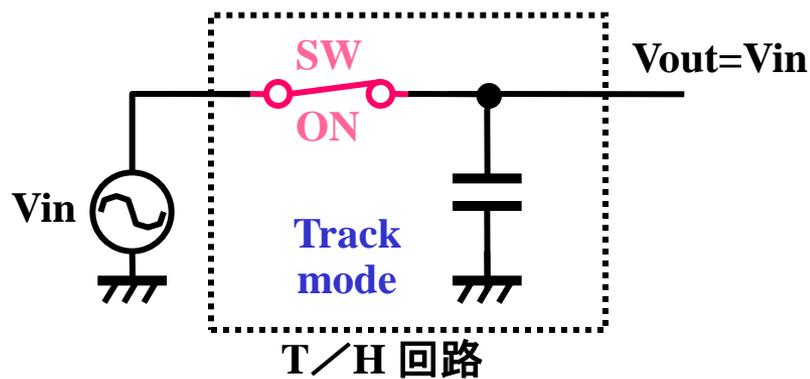
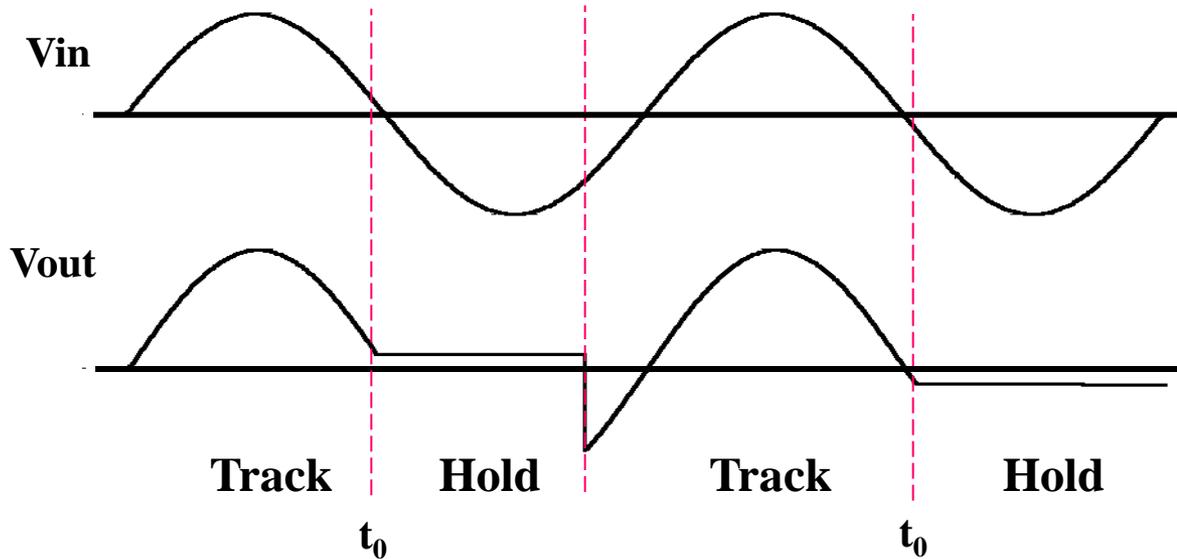


- 時間 t_0 を基準とした正弦波出力
- 過渡的変化の無い出力波形

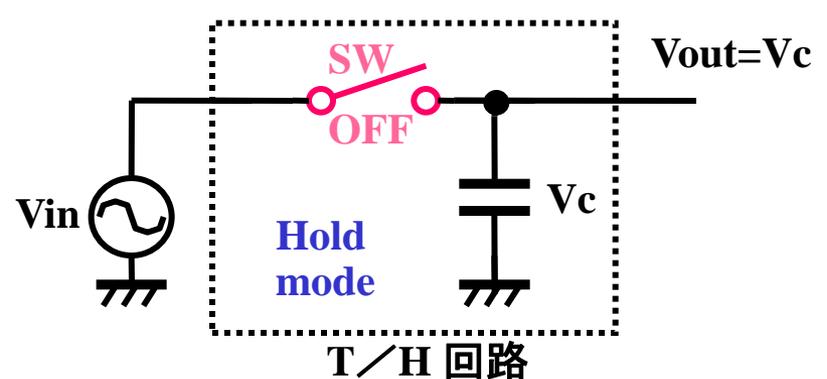
2段構成トリガ回路 (テクトロニクス社)



Track & Hold回路の原理



入力をそのまま出力



Cが V_{in} を保持し出力

2段構成トリガ回路の解析

track-and-hold回路が

▪ track mode

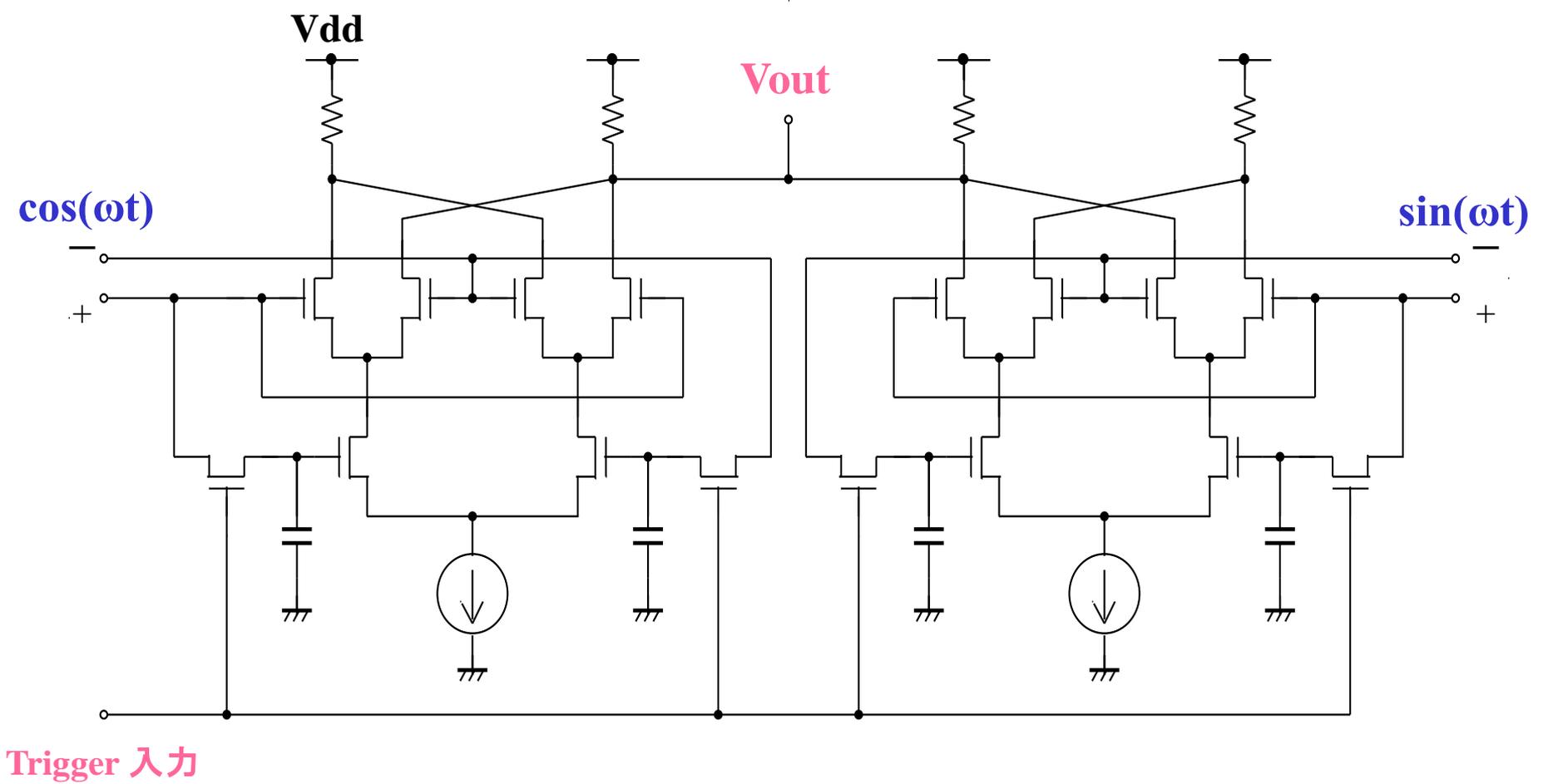
$$\begin{aligned} V_{\text{out}} &= \cos(\omega t) \cos(\omega t) + \cos(\omega t + \pi/2) \cos(\omega t + \pi/2) \\ &= \cos^2(\omega t) + \sin^2(\omega t) \\ &= \underline{\underline{1}} \quad (\text{一定の値}) \end{aligned}$$

▪ hold mode

$$\begin{aligned} V_{\text{out}} &= \cos(\omega t) \cos(\omega t_0) + \sin(\omega t) \sin(\omega t_0) \\ &= \underline{\underline{\cos(\omega(t - t_0))}} \end{aligned}$$

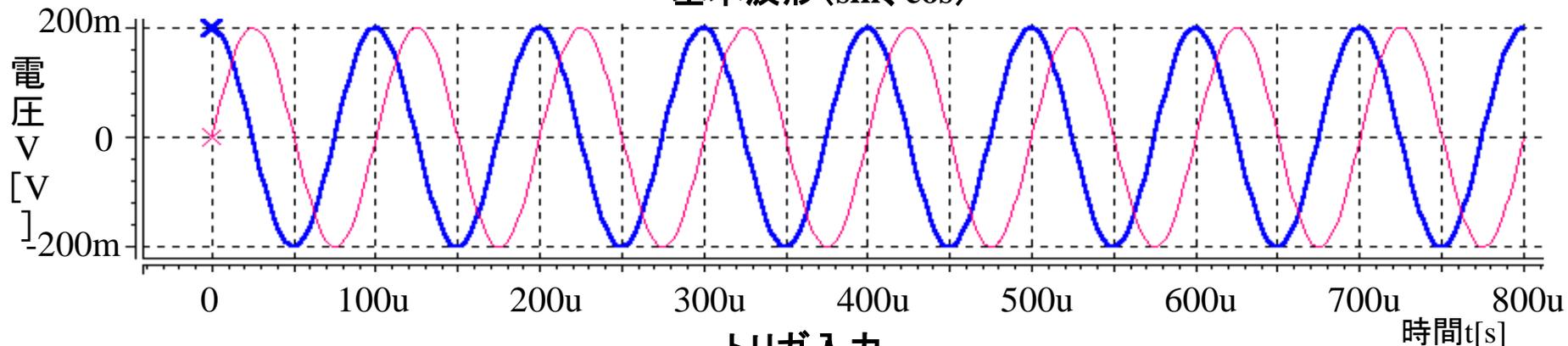
※ **trigger time: t_0**

2段構成トリガ回路のCMOS回路の設計



シミュレーション結果

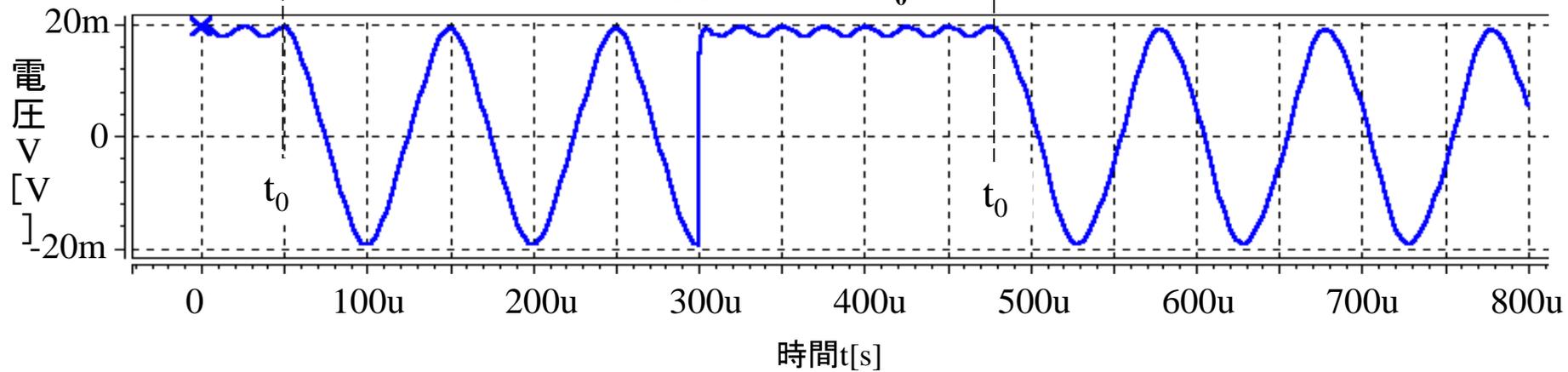
基本波形 (sin、cos)



トリガ入力

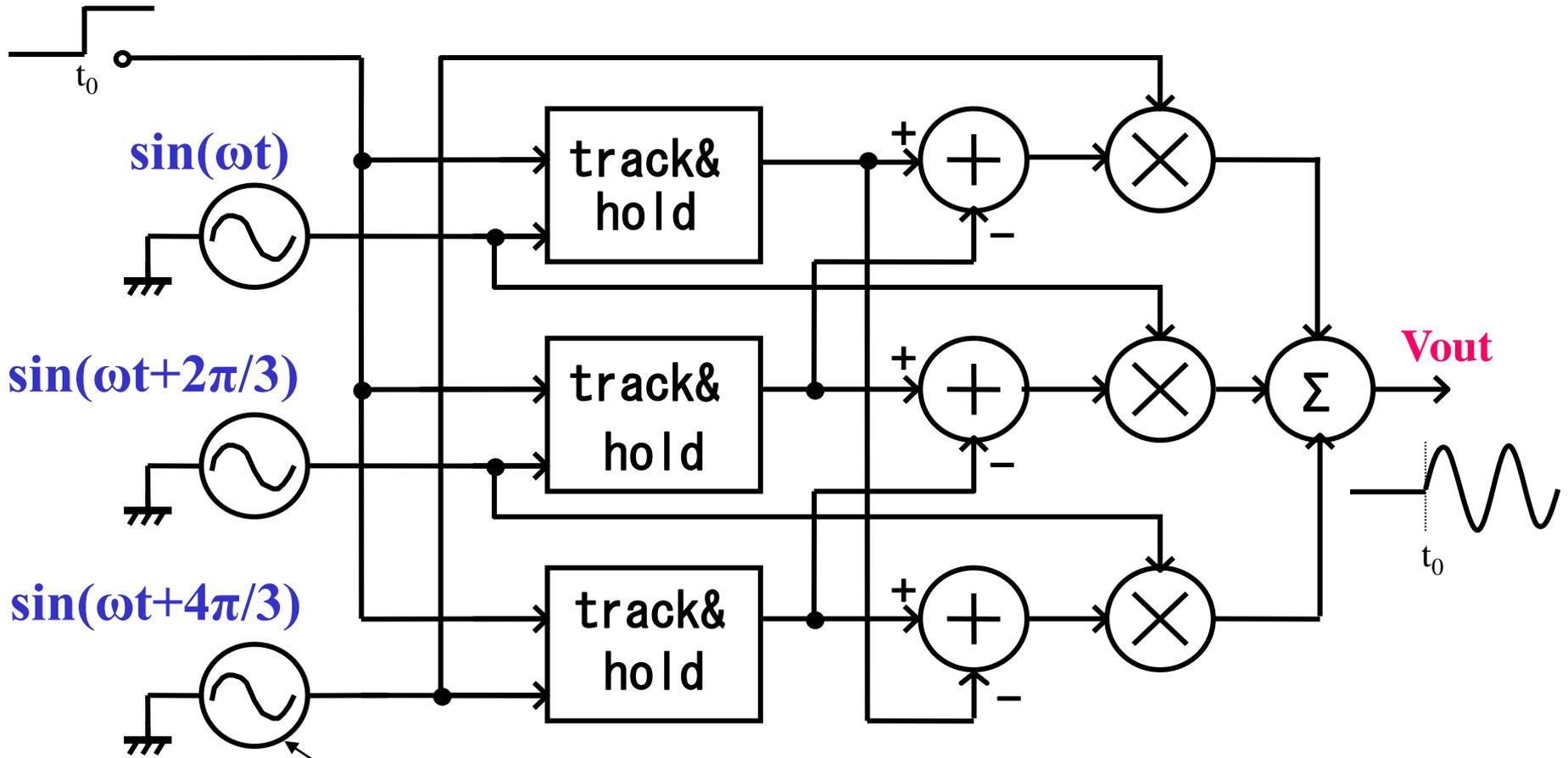


出力 $\cos(\omega(t-t_0))$



3段構成トリガ回路 (テクトロニクス社)

Trigger 入力



回路に内蔵されている三相発振器

3段構成トリガ回路の解析

track-and-hold回路が

▪ track mode

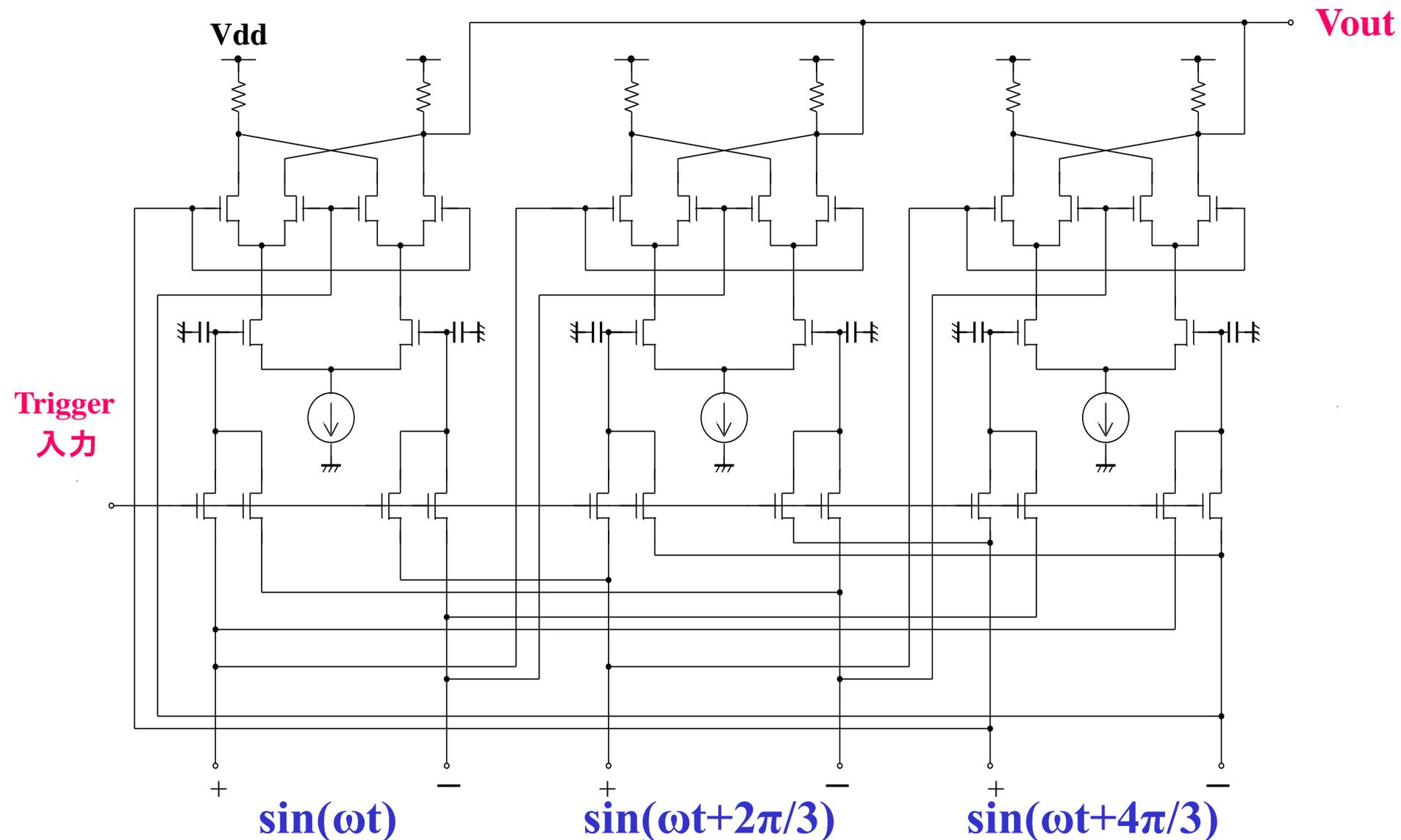
$$\begin{aligned} V_{out} &= \sin(\omega t + 4\pi/3) \{ \sin(\omega t) - \sin(\omega t + 2\pi/3) \} \\ &\quad + \sin(\omega t) \{ \sin(\omega t + 2\pi/3) - \sin(\omega t + 4\pi/3) \} \\ &\quad + \sin(\omega t + 2\pi/3) \{ \sin(\omega t + 4\pi/3) - \sin(\omega t) \} \\ &= \underline{\underline{0}} \quad (\text{一定の値}) \end{aligned}$$

▪ hold mode

$$\begin{aligned} V_{out} &= \sin(\omega t + 4\pi/3) \{ \sin(\omega t_0) - \sin(\omega t_0 + 2\pi/3) \} \\ &\quad + \sin(\omega t) \{ \sin(\omega t_0 + 2\pi/3) - \sin(\omega t_0 + 4\pi/3) \} \\ &\quad + \sin(\omega t + 2\pi/3) \{ \sin(\omega t_0 + 4\pi/3) - \sin(\omega t_0) \} \\ &= \underline{\underline{\frac{3\sqrt{3}}{2} \sin(\omega(t - t_0))}} \end{aligned}$$

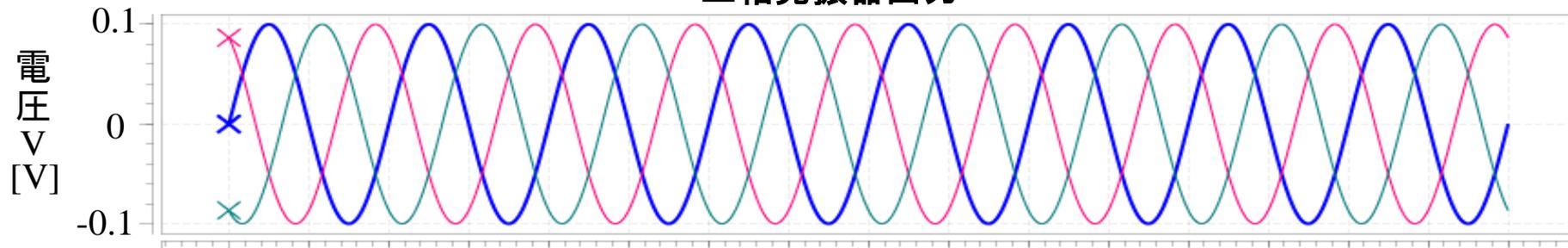
※ trigger time: t_0

3段構成トリガ回路のCMOS回路の設計

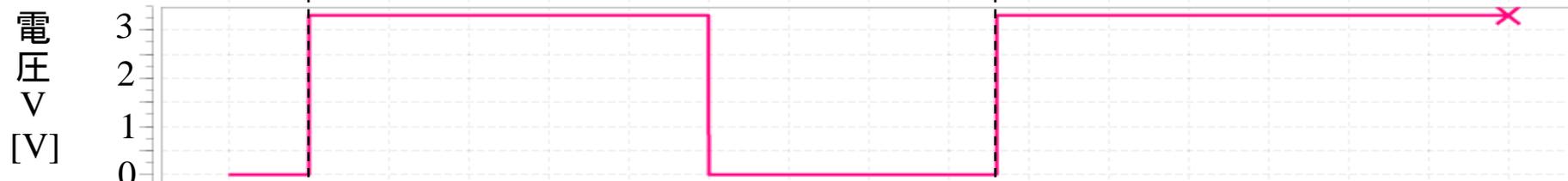


シミュレーション結果

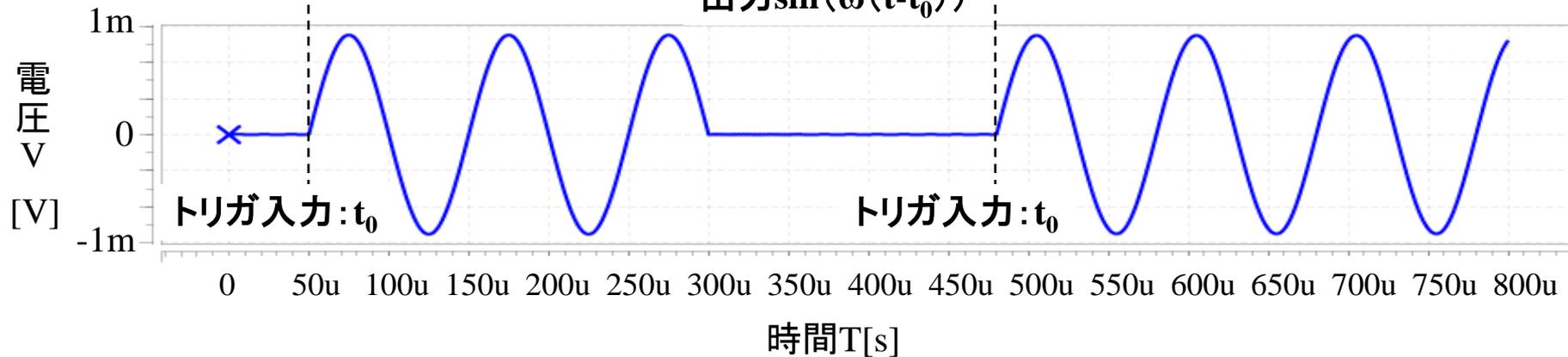
三相発振器出力



トリガ入力



出力 $\sin(\omega(t-t_0))$



オシロスコープトリガ回路の特徴

- ・ タイミングエラーが無い

理由 トリガ・タイム t_0 で遅延無しに
出力波形を得られるため

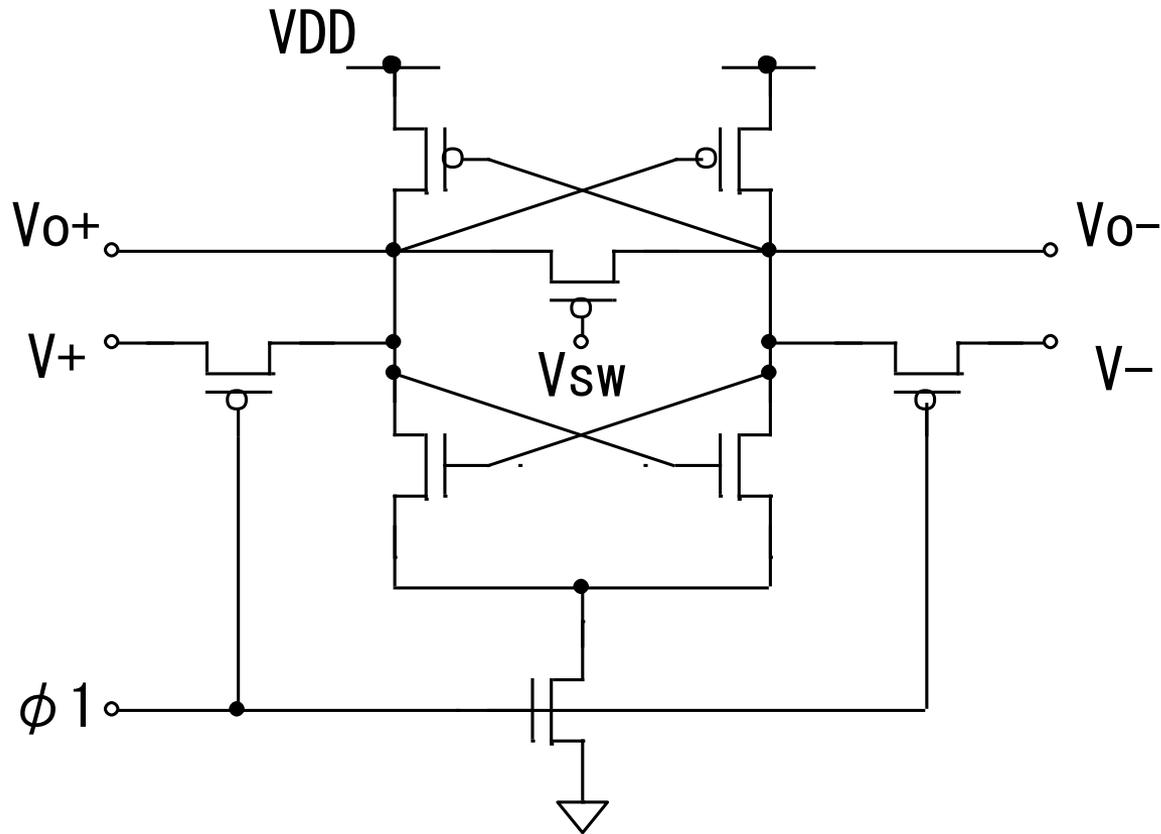
- ・ トランジスタのばらつきの影響が少ない

理由 3段構成回路では、
ばらつきが平均化されるため

(b) コンパレータ

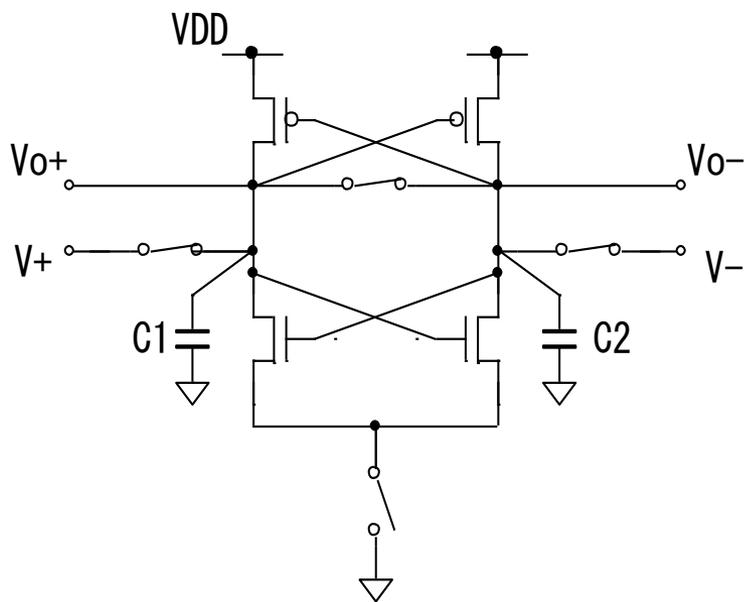
- ① 差動回路利用電圧コンパレータ1
- ② // 電圧コンパレータ2
- ③ インバータを利用した電圧コンパレータ
- ④ インバータを利用した電流コンパレータ

① 電圧コンパレータ1



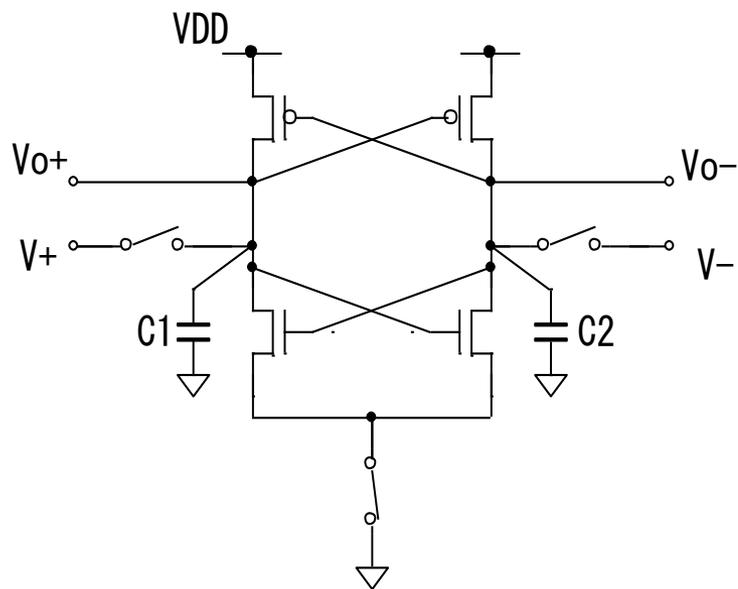
差動回路を利用したコンパレータ

動作説明



$\Phi 1 = \text{low}$

$V_{o+} = V_{o-}$ (リセットモード)

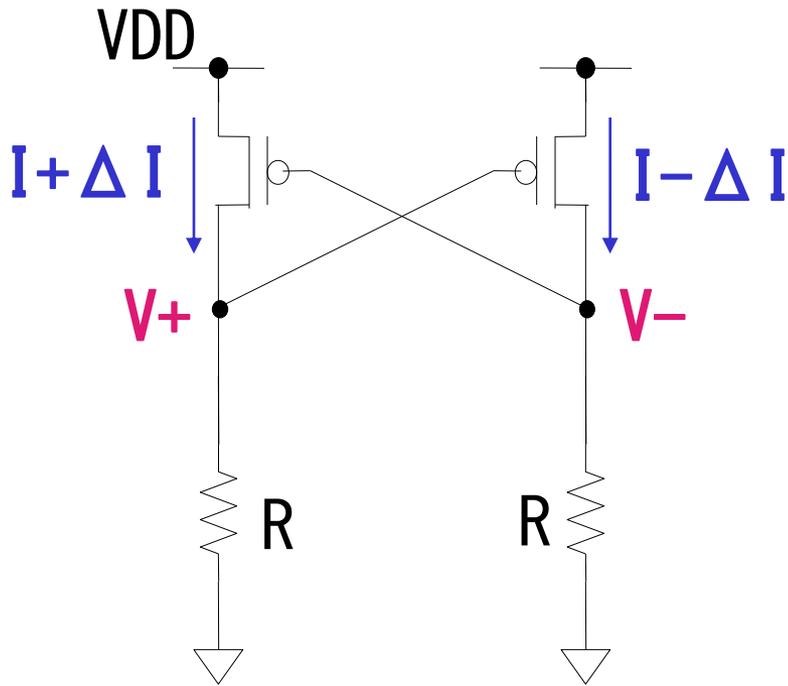


$\Phi 2 = \text{high}$

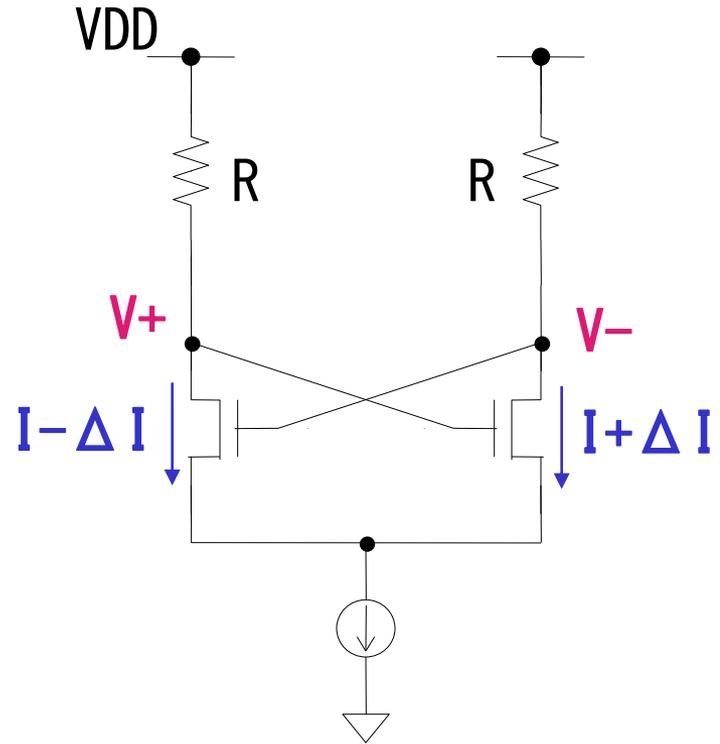
ラッチモード

C1、C2: 寄生容量

ラッチモード時の動作

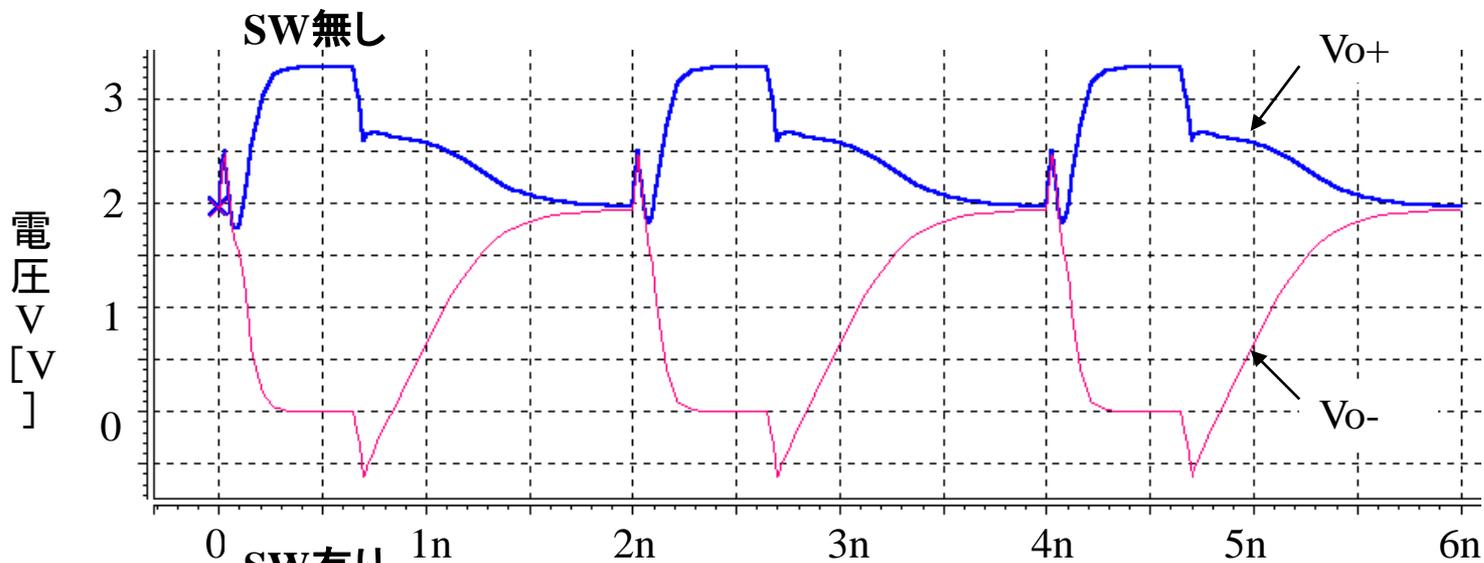


NMOSを抵抗と見たとき



PMOSを抵抗と見たとき

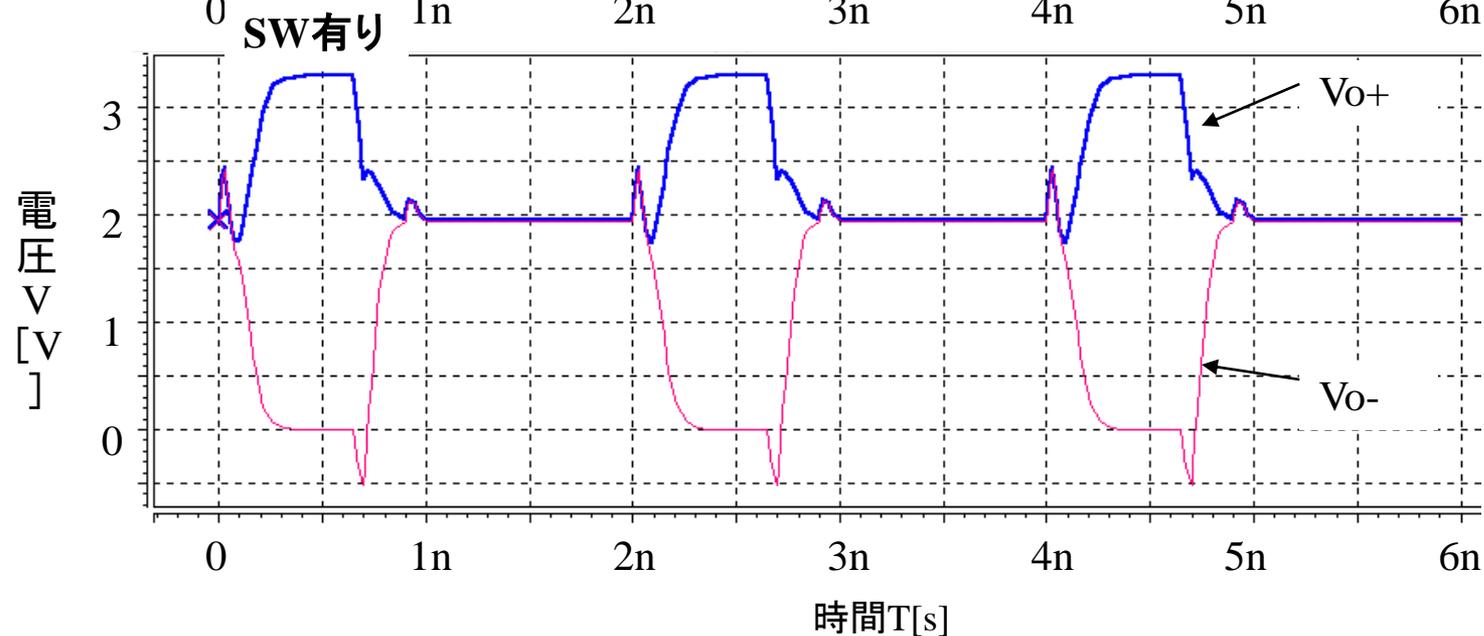
V_{sw}による波形の違い



V_{in}⁺=1.51V

V_{in}⁻=1.50V

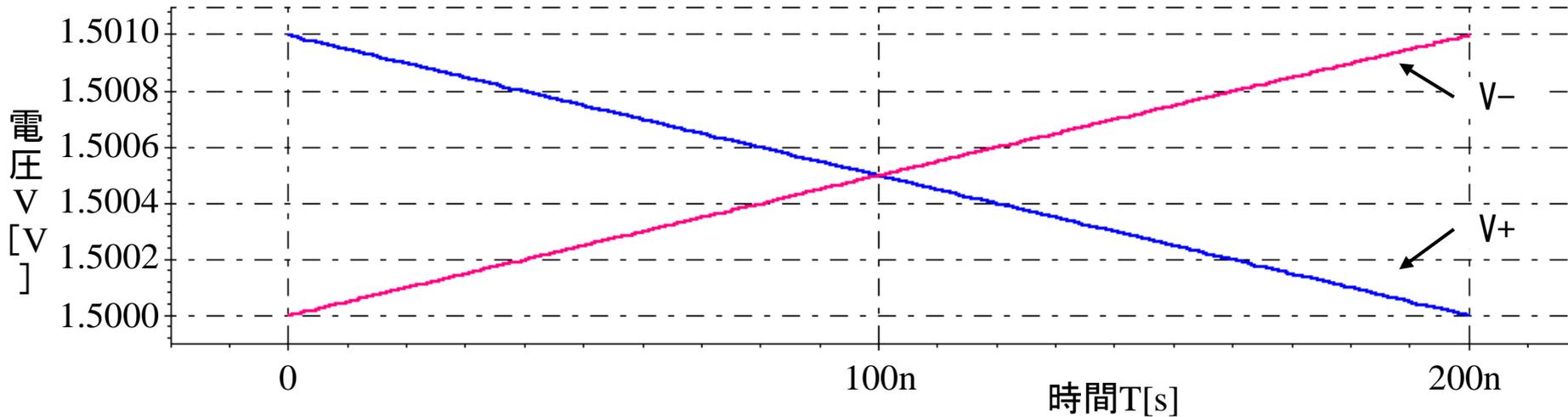
・V_{sw}無し
遅延大



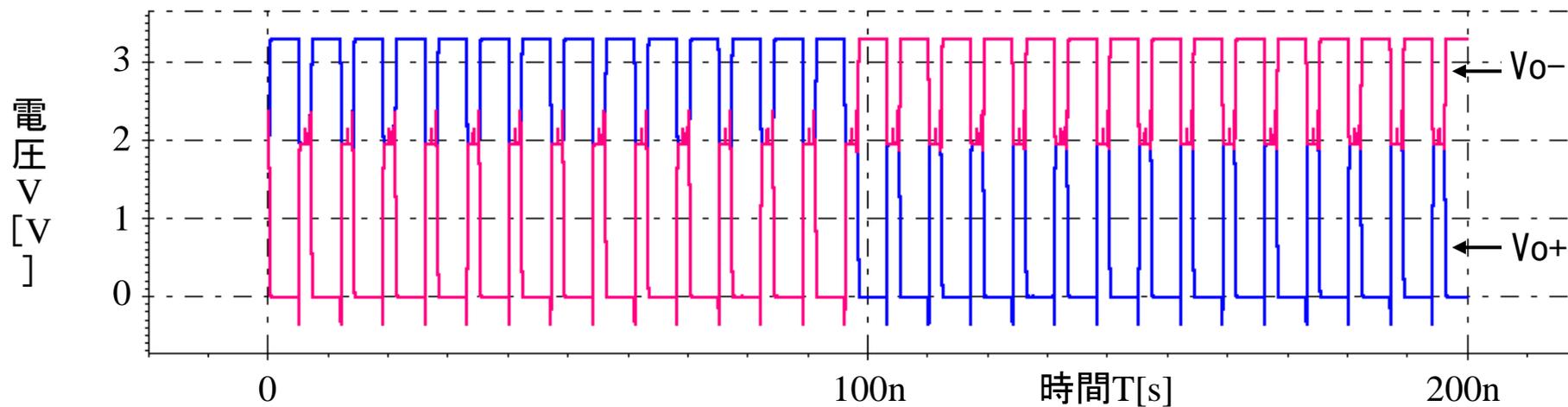
・V_{sw}有り
遅延小

シミュレーション結果

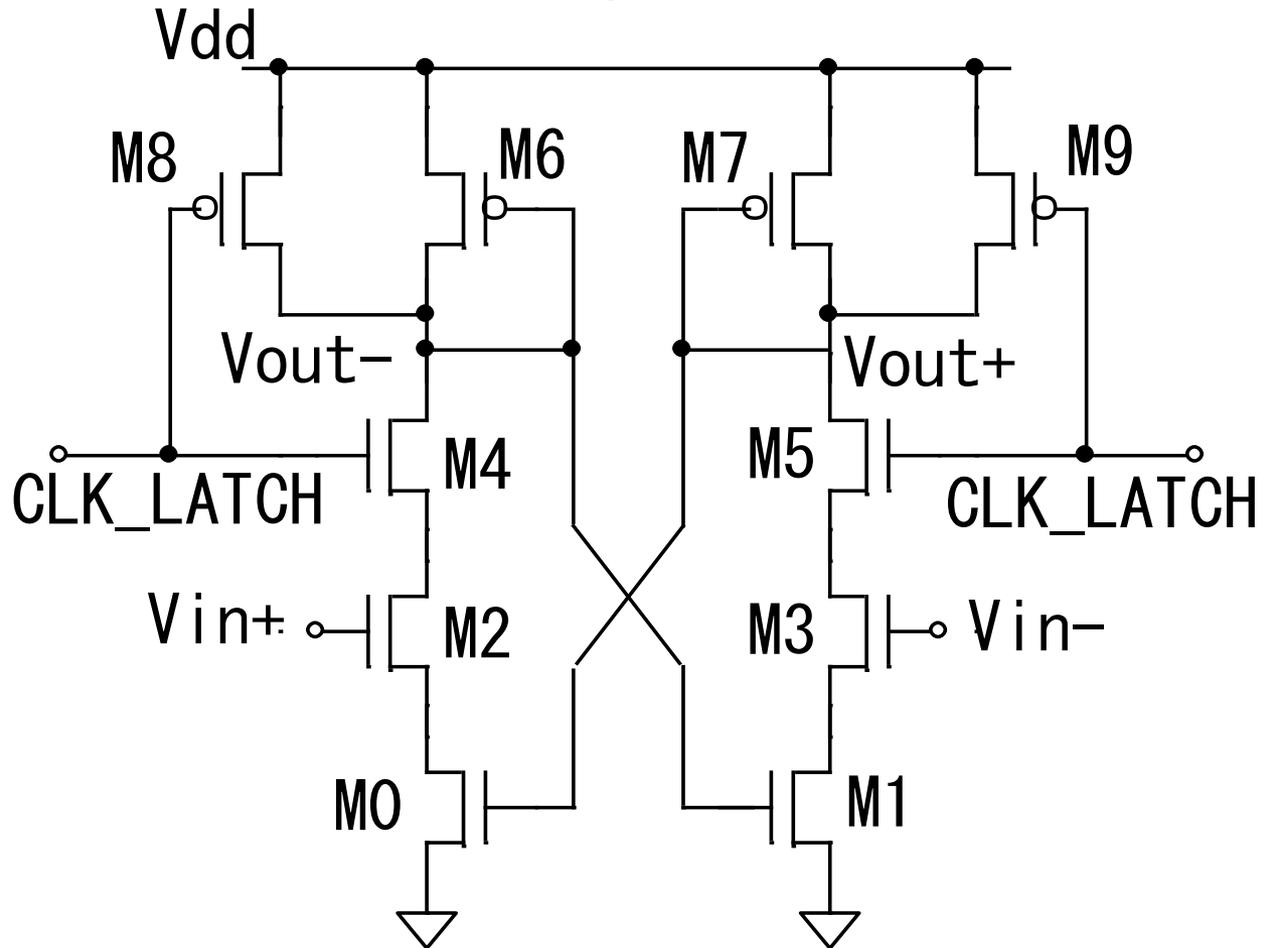
入力波形



出力波形

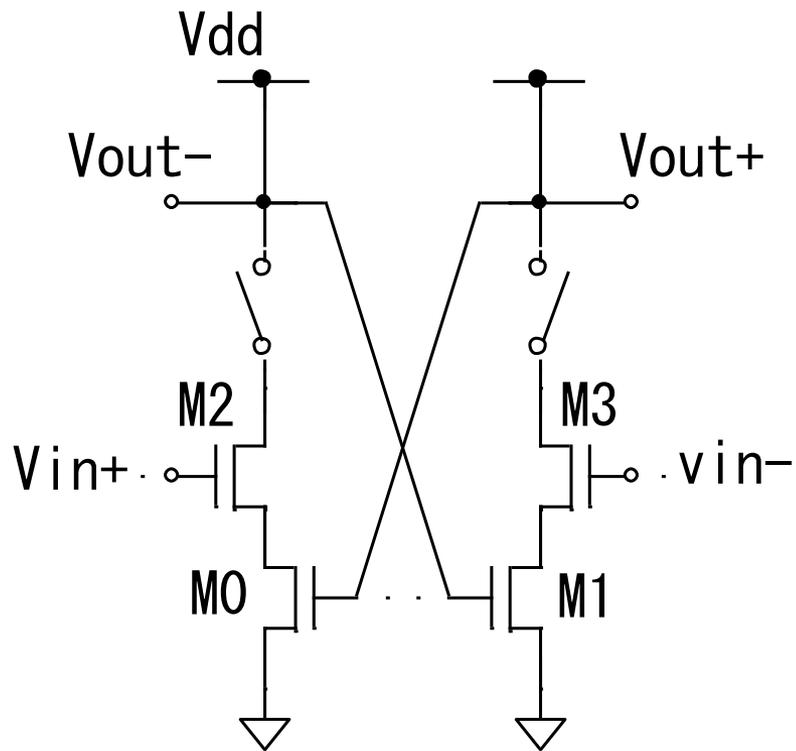


②電圧コンパレータ2



Positive-feedback latch circuit

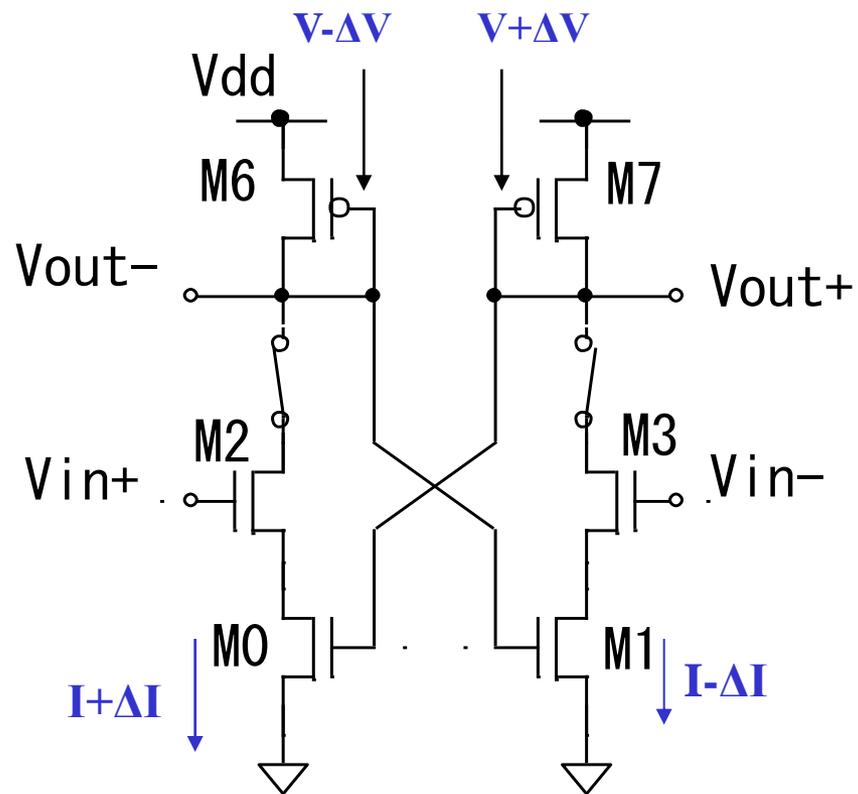
動作説明



CLK=low

$V_{out}^- = V_{out}^+ = V_{dd}$

入力リセットモード

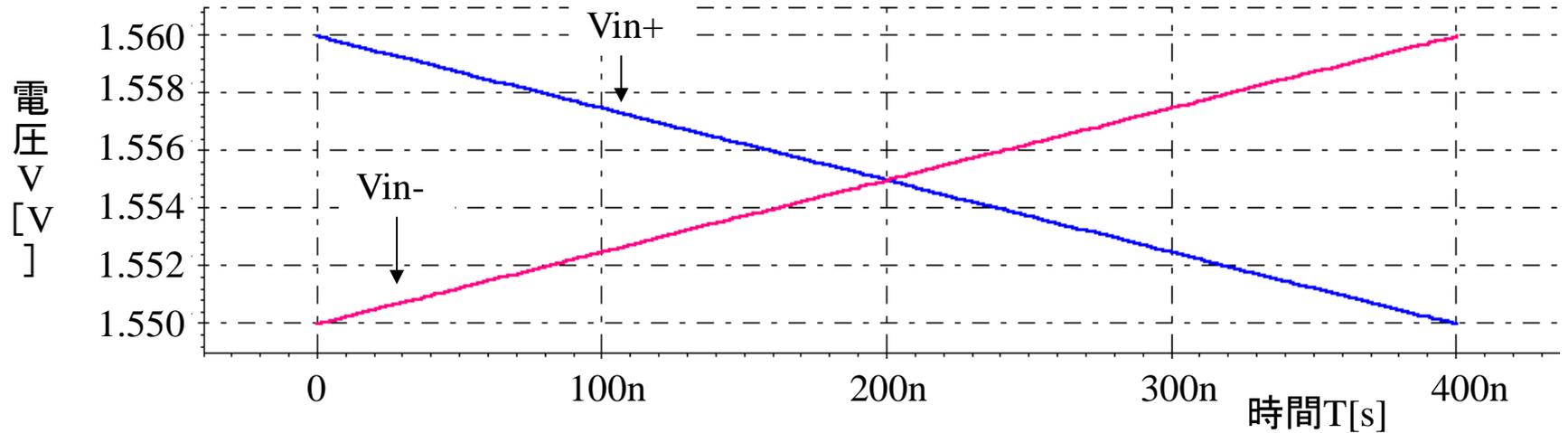


CLK=high

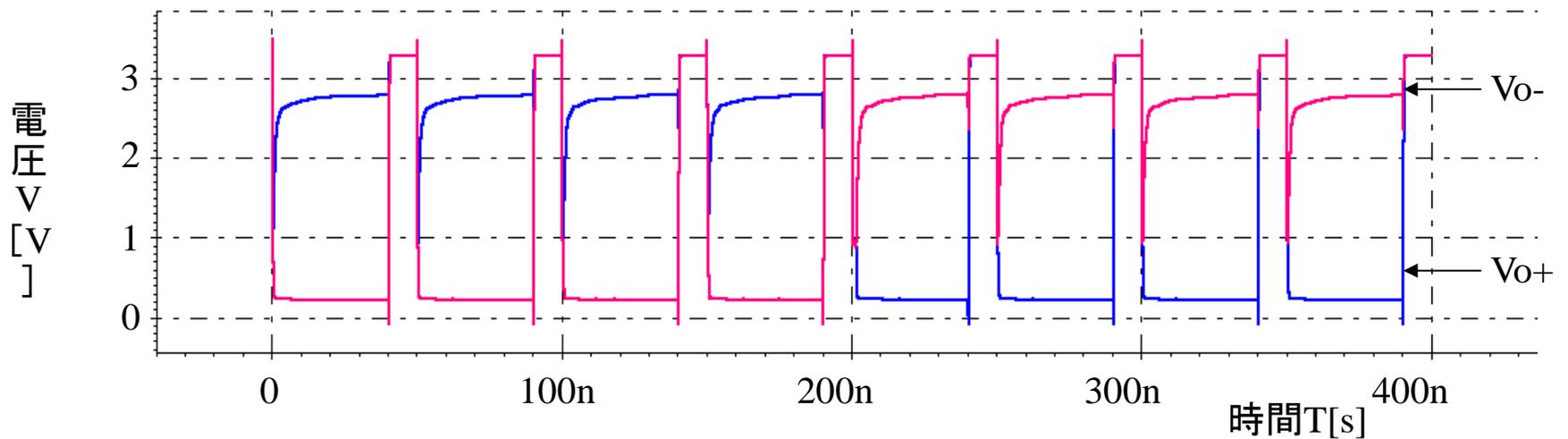
ラッチモード

シミュレーション結果

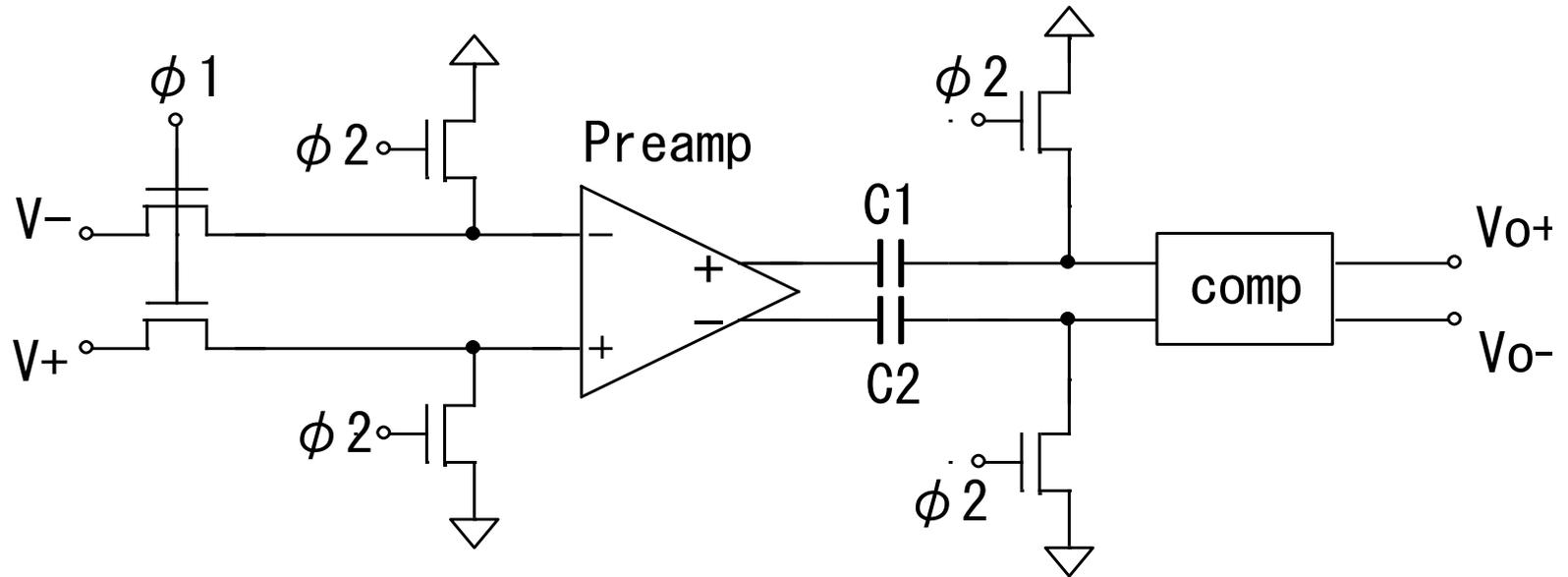
入力波形



出力波形



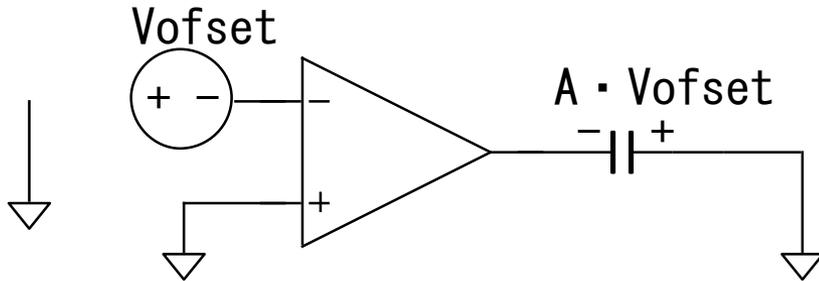
オフセットキャンセル回路



Output offset storage

動作原理

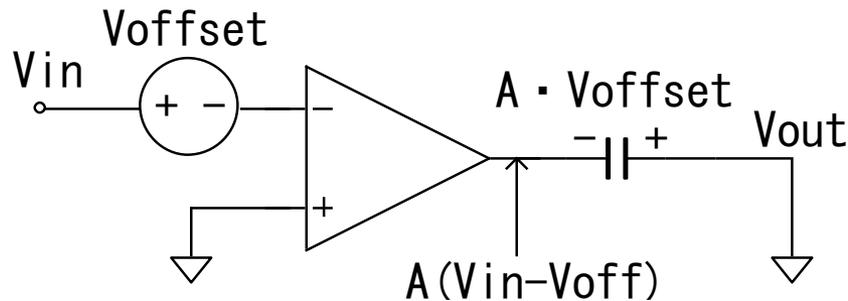
$\phi 2=0N$



Cにかかる電圧

$$A \cdot V_{\text{offset}}$$

$\phi 1=0N$



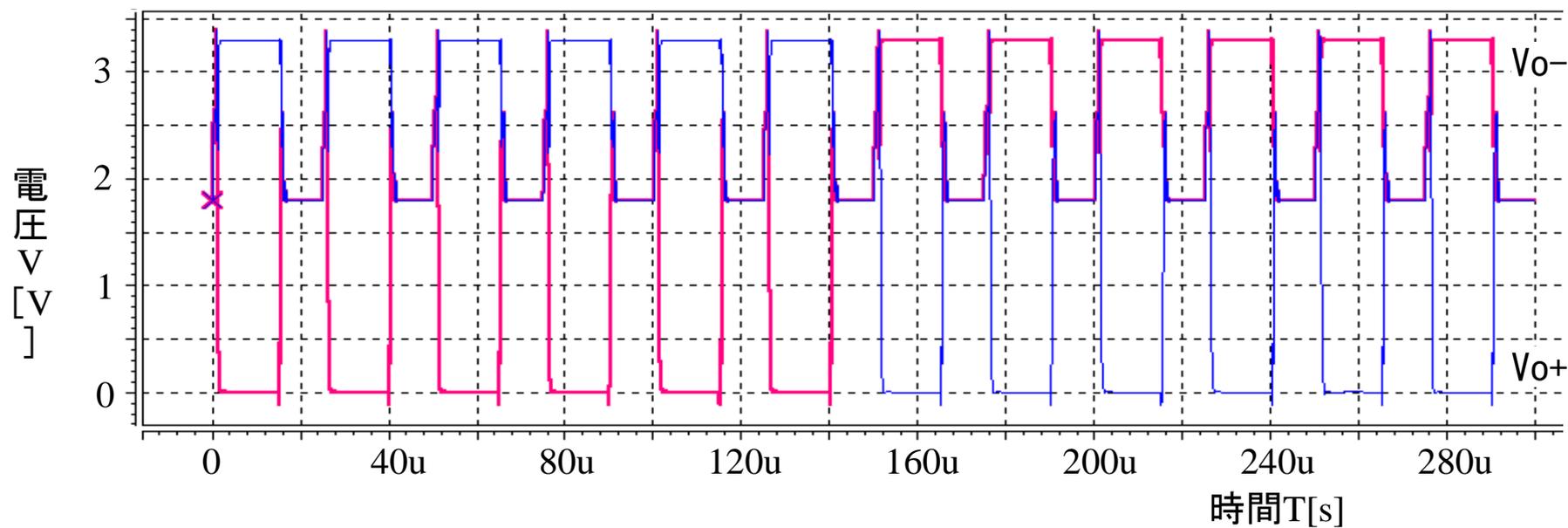
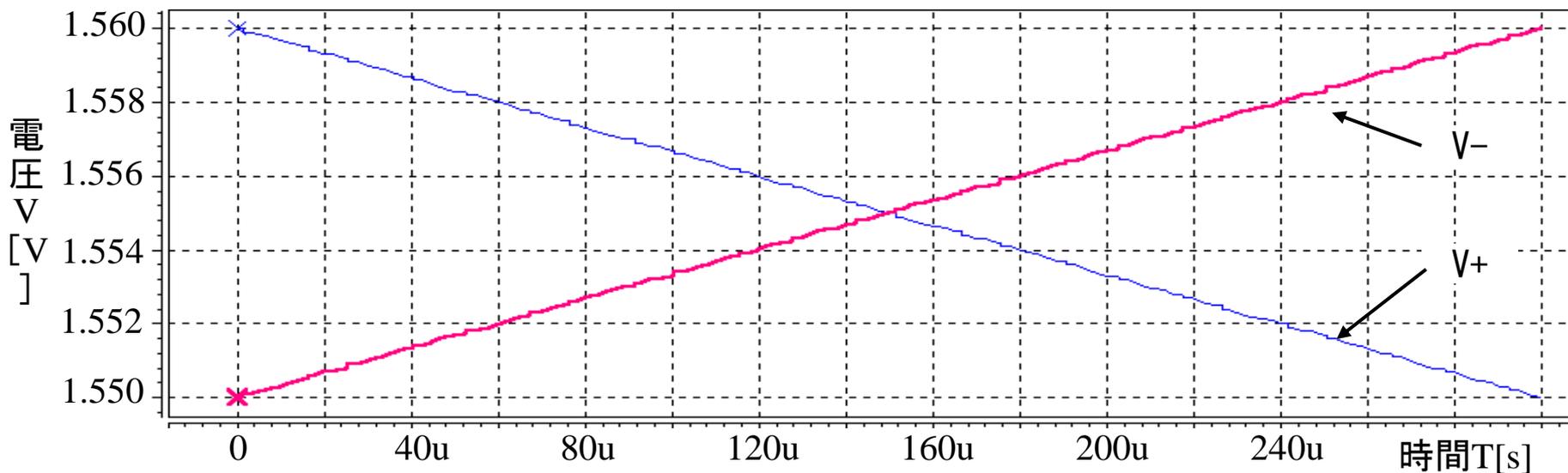
Cにかかる電圧

$A \cdot (V_{\text{in}} - V_{\text{offset}})$ より

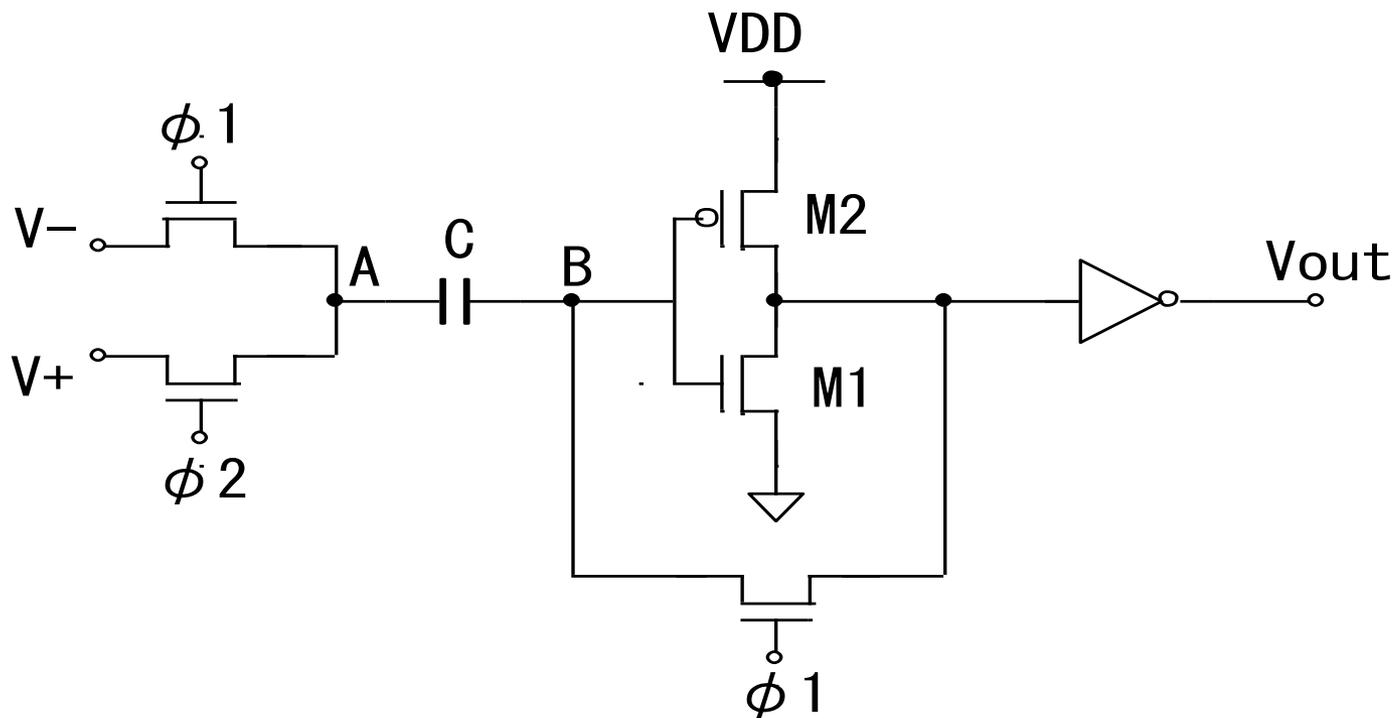
$$A \cdot (V_{\text{in}} - V_{\text{offset}}) + A \cdot V_{\text{offset}}$$

$$V_{\text{out}} = A \cdot V_{\text{in}}$$

シミュレーション結果

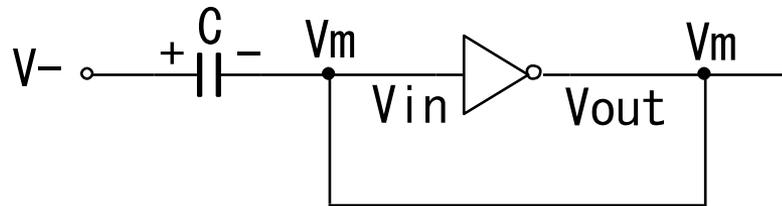


③ インバータを利用した 電圧コンパレータ



動作説明

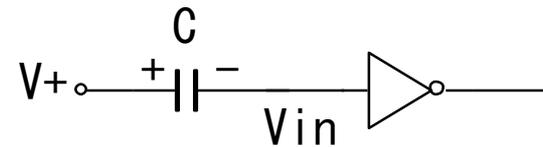
$\phi 1=0N$



$$V_{in} = V_{out} = V_m$$

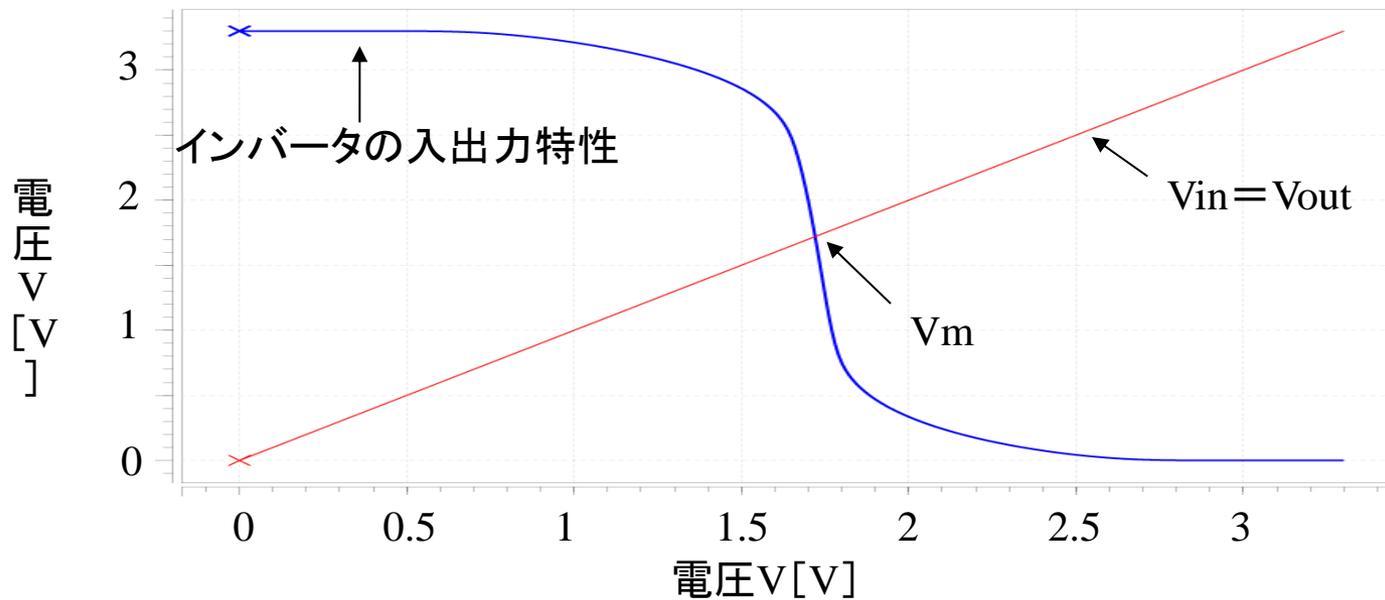
$$Q = C(V_- - V_m)$$

$\phi 2=0N$

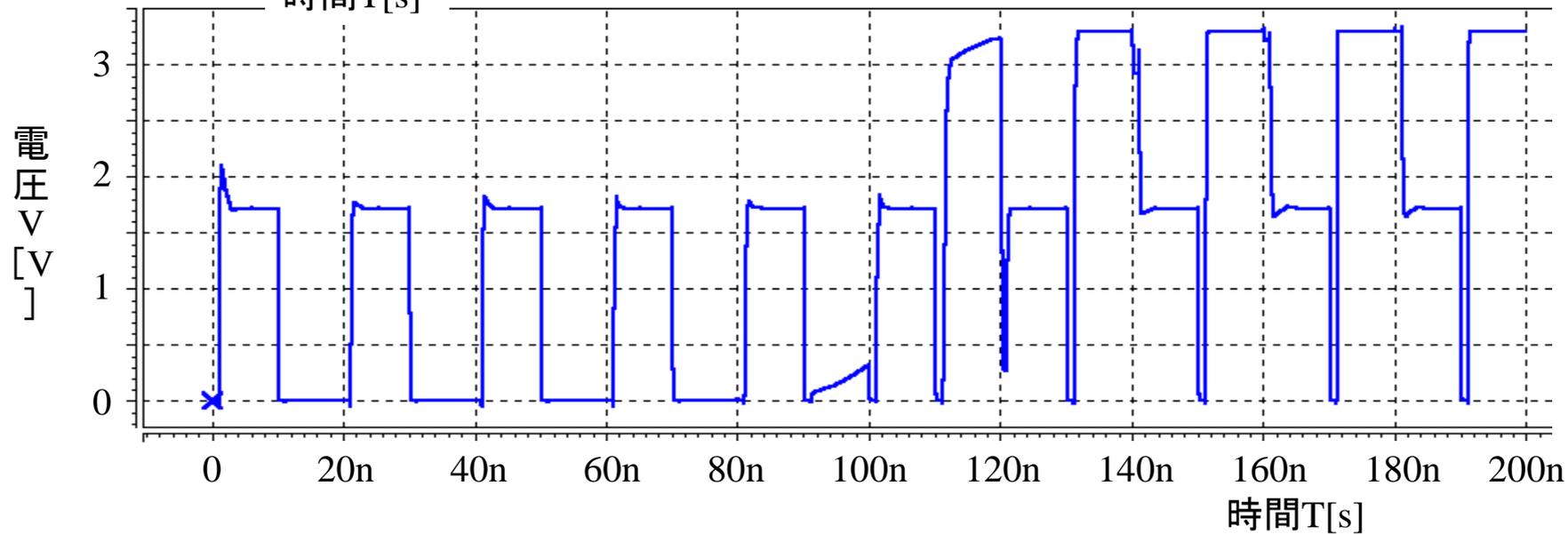
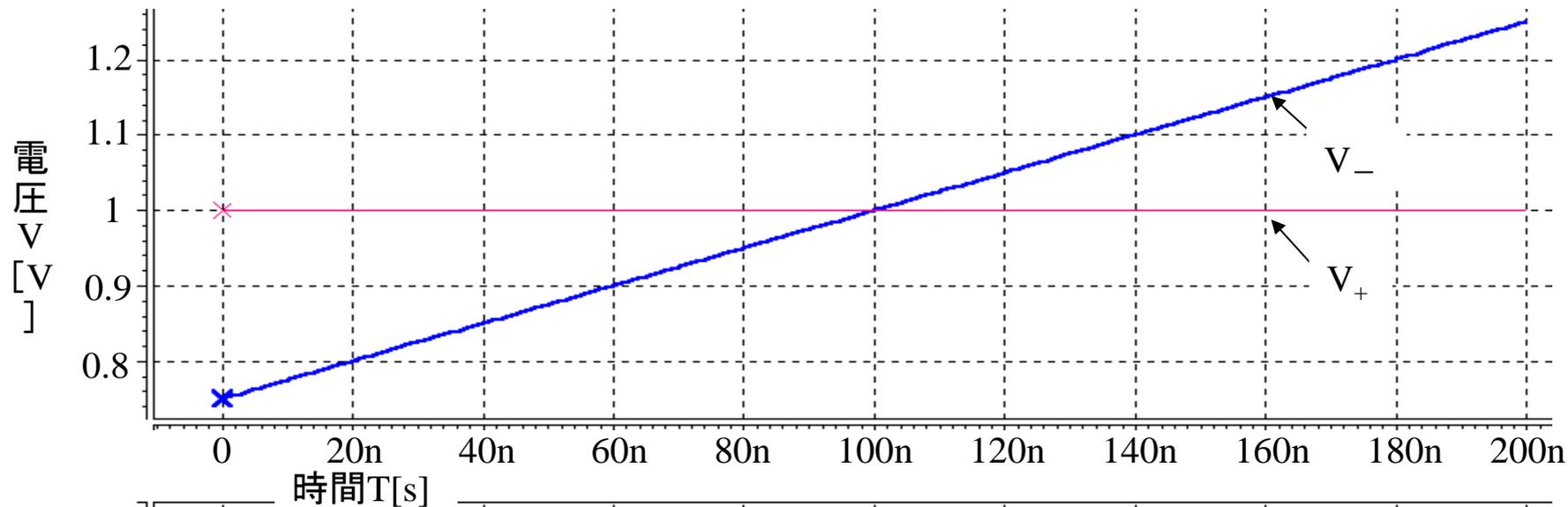


$$V_{in} = V_+ - (V_- - V_m)$$

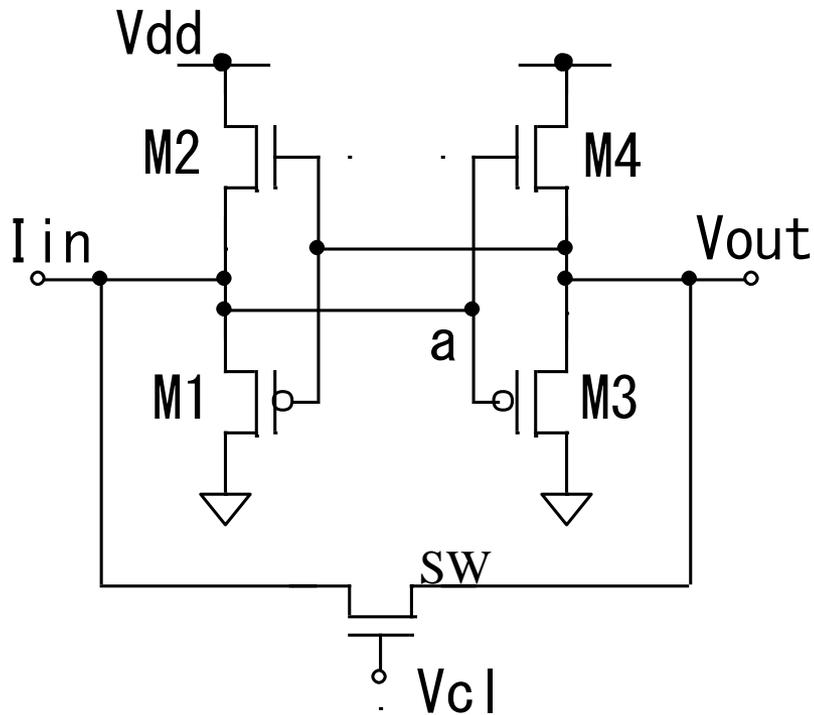
$$= V_+ - V_- + V_m$$



シミュレーション結果

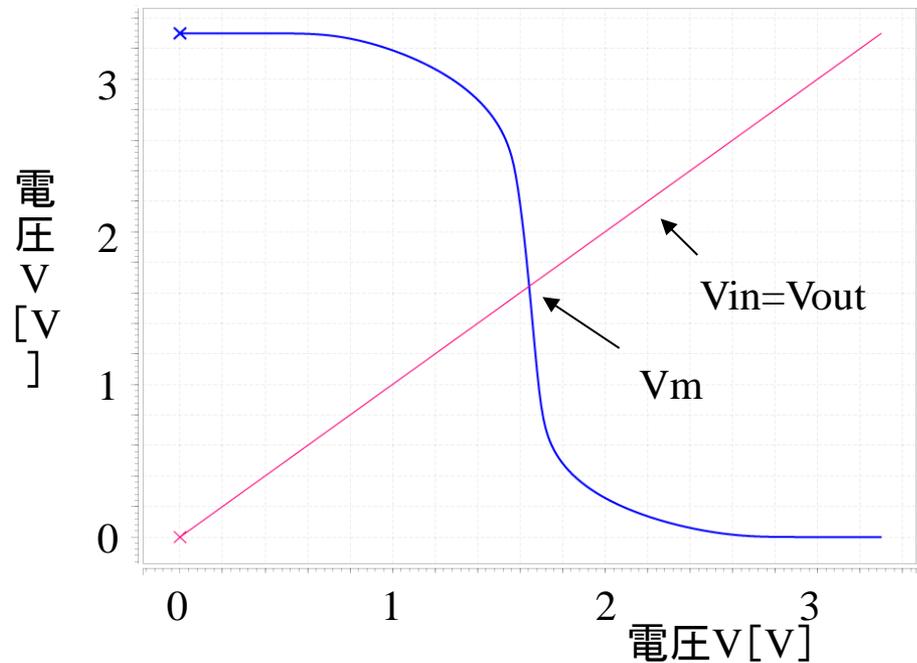


④電流コンパレータ



Low-impedance current quantizer

インバータの入出力特性



$V_{cl} = \text{high}$

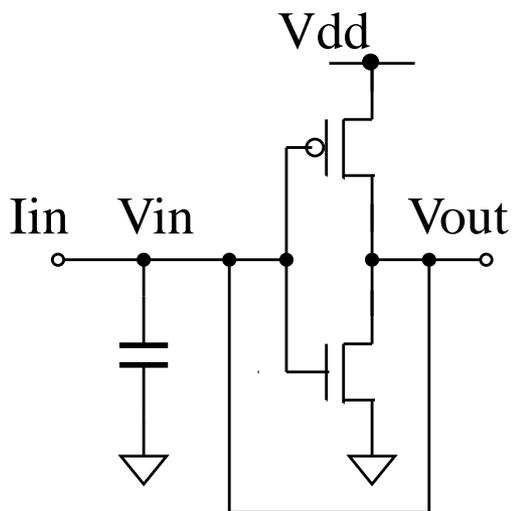
$V_{in} = V_{out} = V_m = 1.64\text{V}$

$V_m = \text{基準電圧}$

動作説明

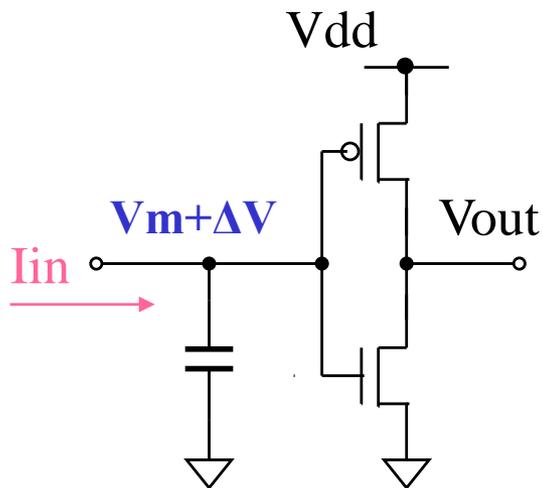
$V_{cl} = \text{high}$

リセットモード

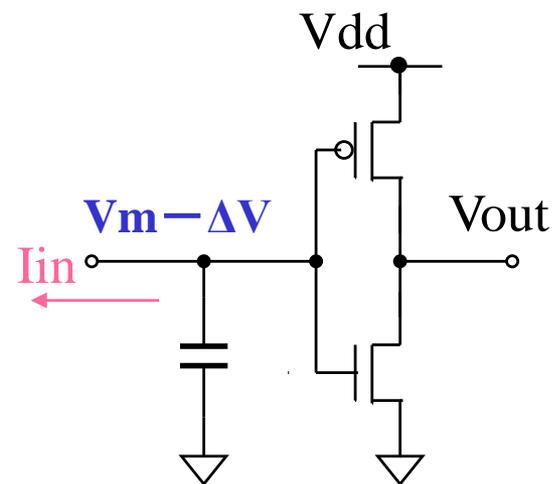


$V_{in} = V_{out} = V_m$ (基準電圧)

$V_{cl} = \text{low}$



$V_{out} = \text{low}$

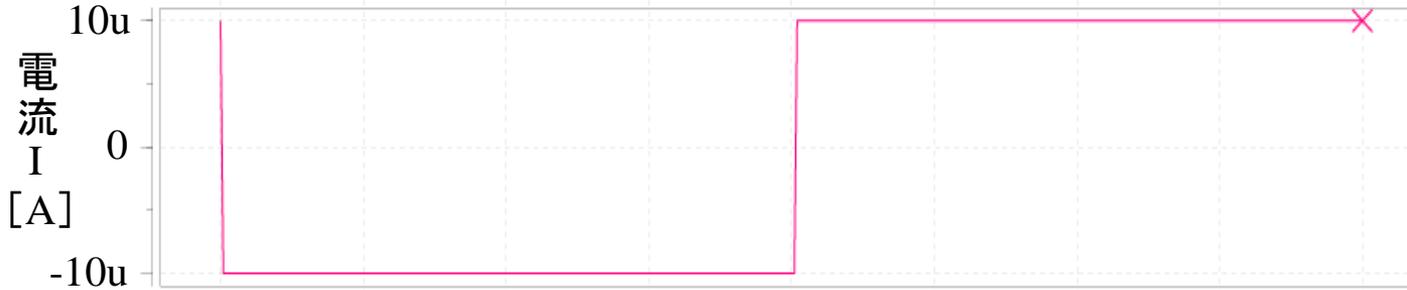


$V_{out} = \text{high}$

V_{cl} により基準電圧を出すことで動作性能の向上を図っている

シミュレーション結果

入力電流の向き



電流

+10 μ A

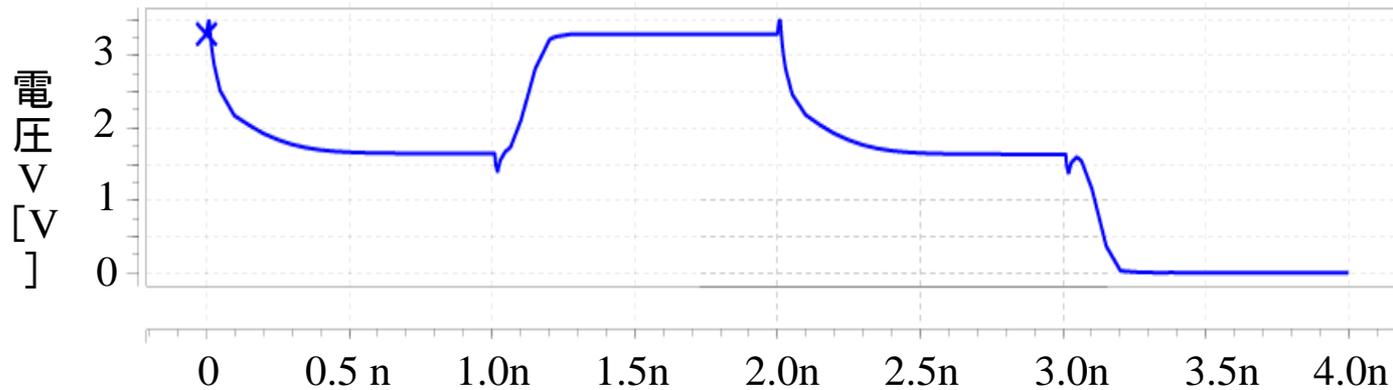


-10 μ A

クロック



出力波形



スイッチにより
スムーズに動作する。

時間 T [s]

まとめ

次の回路の設計・解析・シミュレーションを行った。

- **CMOS RF回路について**
 - 3種の復調部アーキテクチャ
 - リング発振器を用いたVCO回路
- **サンプリング回路について**
 - トリガー回路
 - 各種コンパレータ