

逐次比較時間デジタイザ回路の線形性自己校正技術

小澤祐喜, 姜日晨, 小林春夫, 築地伸和, 塩田良治*, 畠山一実

群馬大学 理工学府電子情報部門 〒376-8515 群馬県桐生市天神町 1-5-1

*株式会社ソシオネクスト 〒601-8413 京都府南区西九条春日町 19

E-mail: k_haruo@el.gunma-u.ac.jp

キーワード: 時間デジタイザ回路、逐次比較、ヒストグラム、自己校正、Scilab

(Time-to-Digital Converter, Successive-Approximation-Register, Histogram, Self-Calibration, Scilab)

1. はじめに

時間デジタイザ回路(Time-to-Digital Converter: TDC)は2つのタイミング信号のエッジ間の時間差を測定しデジタル出力を得る回路である。プロセス技術の微細化とともに、低電圧化も進んでいるためアナログ回路の電圧分解能を上げることがますます困難になる。一方アナログ信号を電圧軸ではなく、時間軸で信号を扱う時間領域アナログ回路では遅延素子から構成する遅延線を使用する。遅延素子が微細化によりさらに小さい遅延が取れるようになり、TDC回路で時間分解能がより細かなものが実現できる。さらに全てデジタル回路で構成できる利点も持つ。しかし、TDCは遅延素子の製造バラつきによって、その線形性が劣化するという課題がある。そこで、遅延素子の時間バラつきの影響をキャンセルしTDCの非線形な特性を線形に校正する必要がある。

この論文では、逐次比較型TDCに対してヒストグラム法による自己校正法の適用を検討した結果を示す。

2. 逐次比較型 TDC (SAR TDC)

逐次比較型TDC(図1)に入る前に逐次比較型ADCについて述べる。逐次比較型ADCはDA変換器からの出力電圧をサンプルホールドされたアナログ入力電圧に一致するように2進探索アルゴリズムで逐次比較して接近することでデジタル出力を決める方式である。

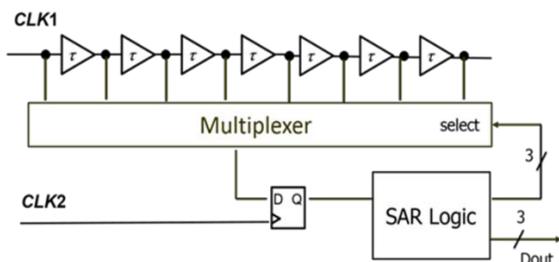
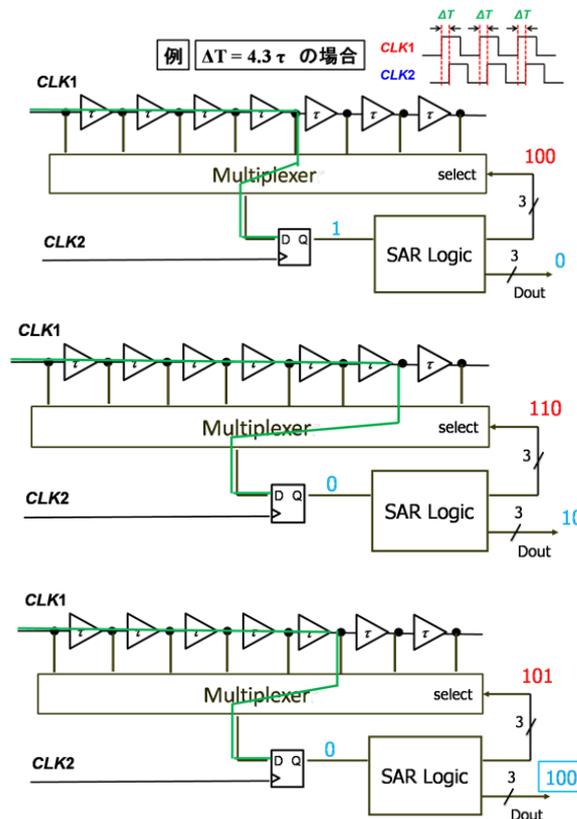


図1 逐次比較型 TDC の構成

CLK1 を入力して遅延線を通し各遅延素子の出力をマルチプレクサに入力する。SAR Logic デジタル出力に応じてそれらの入力(すなわち CLK1 をどれだけ遅延させたものを用いるか)を選択する。その出力をコンパレータの役割をするDフリップフロップのD信号として入力し、CLK2 をクロック信号として入力する。その出力Q(CLK1の遅延信号とCLK2との比較の結果)をSAR Logicに入力する。それをもとにSAR Logicは2進探索の原理に基づき、マルチプレクサの選択信号を出力するこれらの動作を繰り返し、二つのクロックをn回繰り返し比較するとSAR Logicがnビットデジタル出力を得る(図2)。



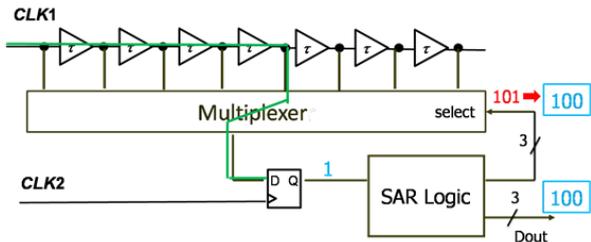


図2 逐次比較近似 TDC の動作

ビット数 n が大きい場合の逐次比較型 TDC の基本的なフラッシュ型 TDC に対する得失は次のようになる。

- 必要な D フリップフロップ数は激減する（よって消費電力も激減する）。即ち $(2^n - 1)$ 個からコンパレータと SAR Logic に使う $1+2(n+1)$ 個に大幅減少。
- 遅延バッファ数は同じ
- マルチプレクサと SAR Logic は D フリップフロップ配列に比べ比較的小規模回路
- フラッシュ型は 1 回で測定可、SAR 型は n 回のステップで測定
- フラッシュ型は単発のタイミング信号間測定可、SAR 型は繰り返しタイミング信号のみ測定可

3. 自己校正技術を用いた SAR TDC

TDC は遅延素子の製造バラつきによって非線形な特性になる。先に記した SAR TDC も同様であり、この特性を線形に校正する必要がある、この解決手法を検討した。

3.1. 測定回路を組み込んだ SAR TDC

図 1 の回路に新たに測定回路を組み込み、図 3 のような自己校正機能を持った SAR TDC 回路を提案する。

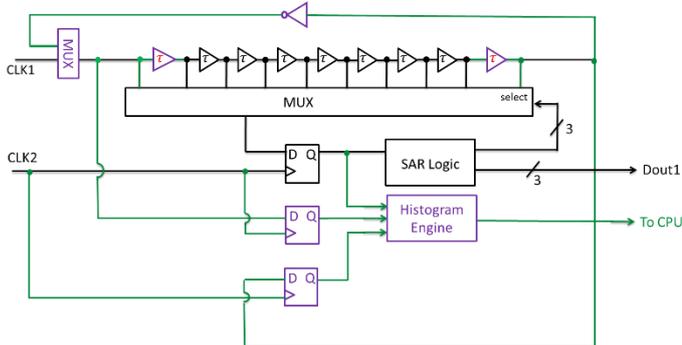


図3 自己校正機能を持った SAR TDC の構成

自己校正機能は、遅延時間を測定することから始まる。図 3 の紫と紫の部分が遅延時間を測定するための回路である。CLK2 に無作為に STOP 信号を入力し、この時の TDC のデジタル出力値を抽出する。結果を Histogram-Engine により統計処理を施すことによって

遅延時間を測定する。

大数の法則によれば、試行回数を多くするほど出現回数の比が時間の比に近くなる。図 4 はこれを定量的にシミュレーションし、出現回数の比と時間の比の誤差 RMS をプロットしたものである。

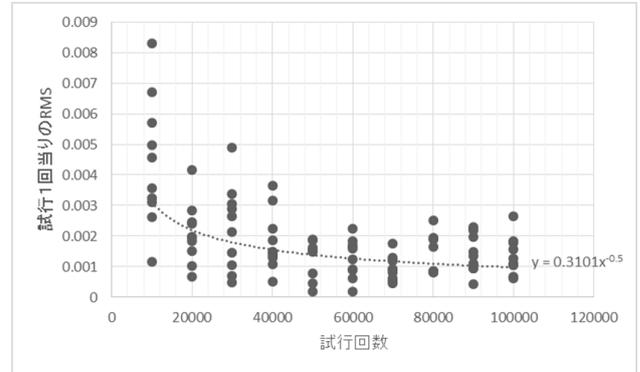


図4 試行回数に対する試行 1 回当たりの RMS

試行回数が増えるにしたがって RMS が小さくなっていることが分かる。

3.2. SAR TDC の線形性校正手法

SAR TDC における遅延時間のバラつきを考える。図 5、図 6 のように現実的には $\tau_1, \tau_2, \tau_3, \tau_4 \dots$ となりそれぞれ異なる値をとる。

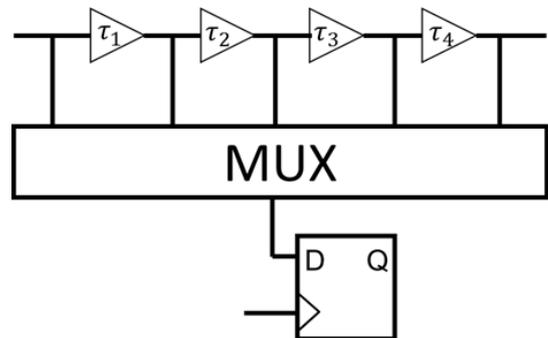


図5 SAR TDC における遅延バラつき

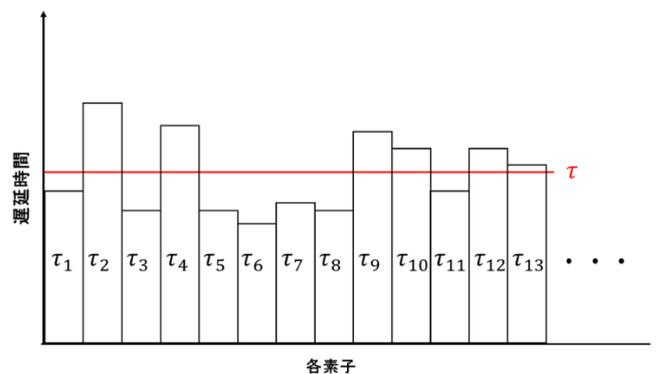


図6 各素子における遅延時間のバラつきのイメージ図

先に記したヒストグラム法によって非線形な TDC 特性を知ることが出来る。この TDC 特性を線形に校正することで各素子における遅延時間のバラつきも結果的に校正できる。

具体的な校正手法は、得られた非線形な TDC の特性の逆関数を用いることである(図 7)。非線形な特性を、その逆関数によってキャンセルすれば線形な特性に近づくと考えられる。

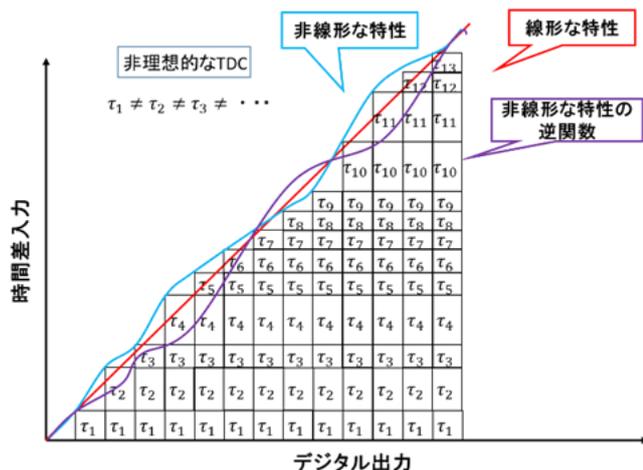


図 7 非線形な特性の TDC とその校正手法のイメージ図

この手法を用いて校正を施すと、図 8 のような理想的な特性に近づけることができる。

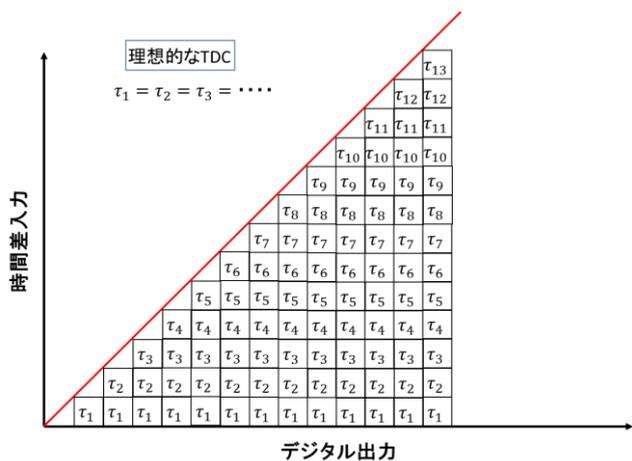


図 8 理想的な TDC のイメージ図

4.シミュレーションによるヒストグラム法の検証(Scilab-5.4.1)

次に逐次比較型 TDC のヒストグラム法を用いた校正方法について Scilab を用いてシミュレーションを行い検証した。

下記の条件でシミュレーションを行った。

- 素子数 6bit(64 個)
- 遅延素子の仕様：
 - 平均遅延時間 10ps
 - 標準偏差 3ps (正規分布に従う)
- STOP 信号の入力回数：
 - 50000 回 (無作為に発生)

上記の仕様であると仮定した場合、遅延素子のバラつきは、図 9 のようになる。今回は最小値 2.4ps、最大値 17.0ps というバラつきになった。

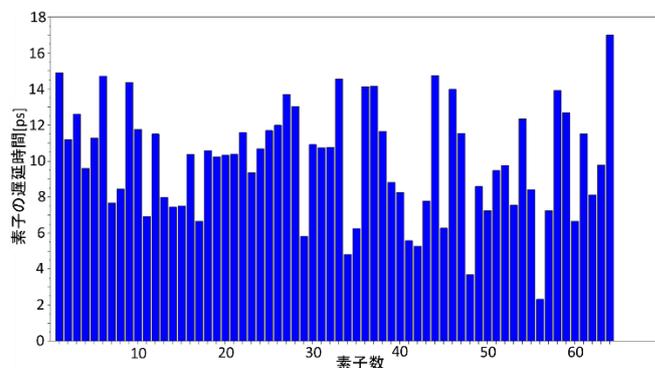


図 9 実際の素子の遅延時間

図 9 のバラつきを持った TDC の実際の特性は図 10 のようになる。

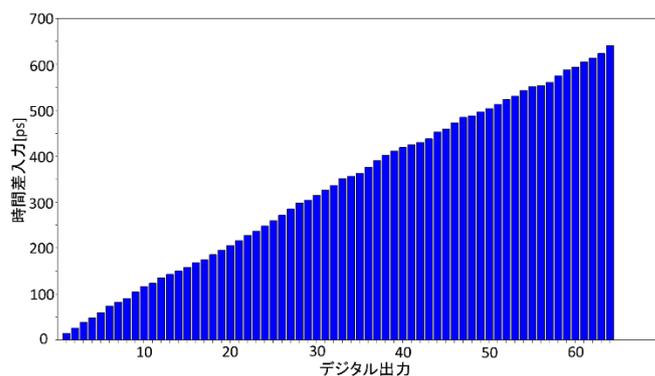


図 10 実際の TDC 特性

図 10 をヒストグラム法を用いて統計的に処理すると、図 11 のようになる。

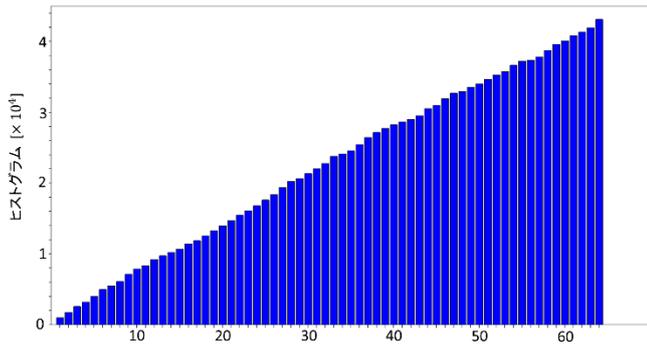


図 11 50000 回試行したヒストグラム

得られたヒストグラムを、TDC の特性として変換すると図 12 のようになる。

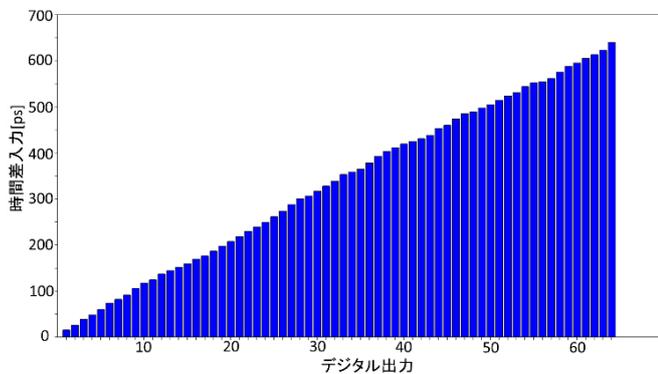


図 12 ヒストグラムから得られた TDC 特性

以上のようにヒストグラム法によって、遅延素子のバラつきが求められる。そして遅延素子のバラつきによって非線形な特性になっていることが分かる。これを線形に校正するために、逆関数を求める。

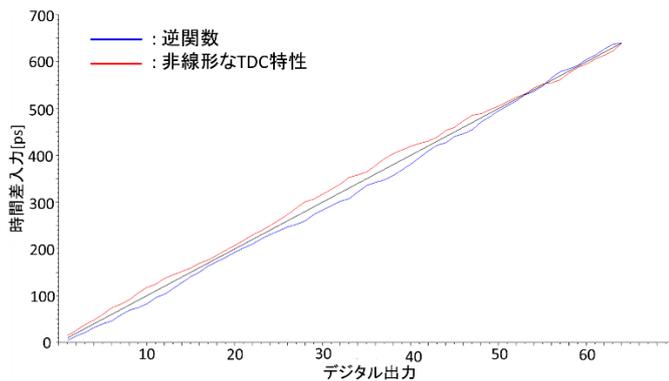


図 13 非線形な TDC 特性とその逆関数

図 13 は非線形な TDC 特性とその逆関数である。この非線形な TDC 特性をその逆関数でキャンセルさせることで校正すると、図 14 のようになる。

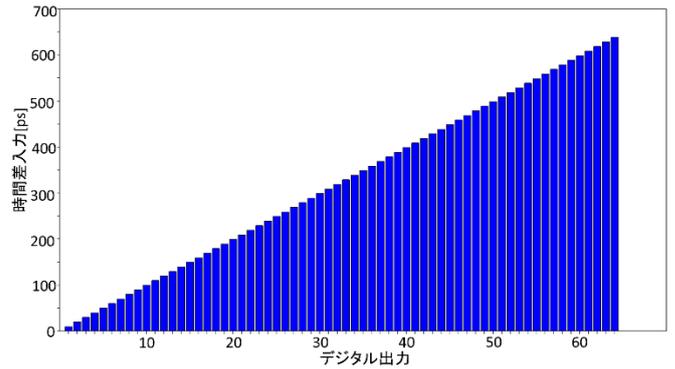


図 14 校正後の TDC 特性

素子毎の遅延時間についてみると、図 15 のようになる。

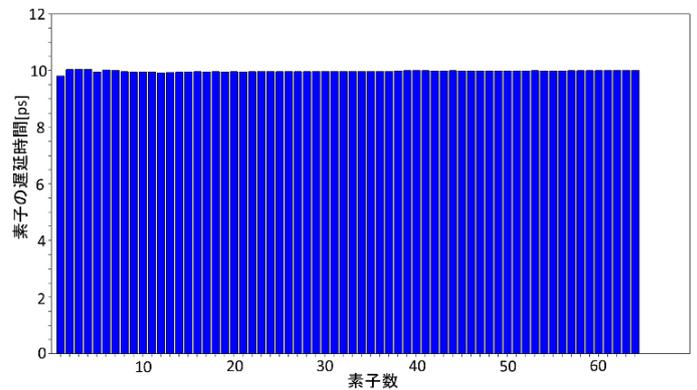


図 15 校正後の素子の遅延時間

次に、校正前と校正後の理想的な値からの誤差をそれぞれ比較する。

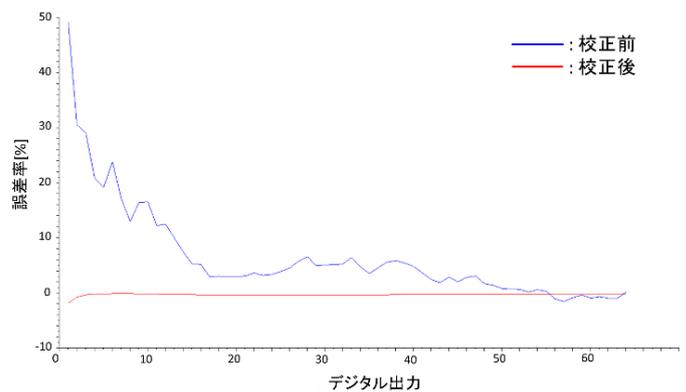


図 16 校正前と校正後の特性誤差率[%]

図 16 から、校正前は最大誤差率 49.1% であり、校正後は最大誤差率 1.9% に特性誤差を抑えられていることが分かる。つまり、校正後の最大誤差率は校正前と比べると約 1/28 にまで低減されていることになる。

特性誤差を時間軸 [ps] で評価すると、図 17 のようになる。

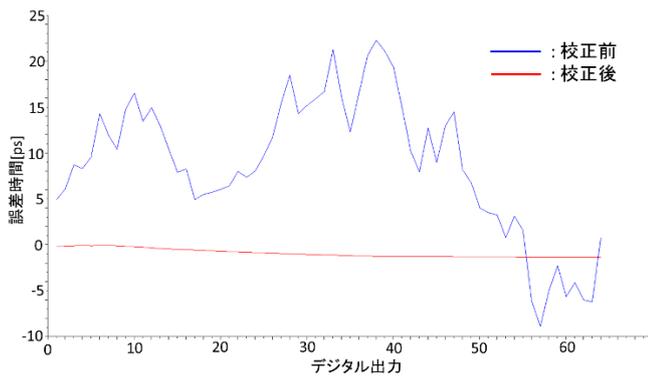


図 17 校正前と校正後の特性誤差時間[ps]

図 17 から校正前は最大誤差時間 22.2ps であり、校正後は最大誤差時間 1.3ps に抑えられていることが分かる。つまり、校正したことにより最大誤差時間を 20.9ps 低減できたことが分かる。先に示した図 16 と同様に大幅に特性誤差を抑えられていることが時間軸から見ても明白である。

素子毎の遅延時間の誤差を校正前と校正後で比較すると、図 18 のようになる。図 18 は図 9 と図 15 を誤差に対して比較したものである。

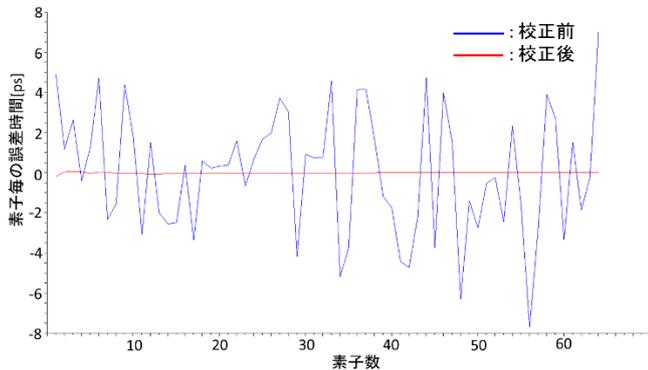


図 18 校正前と校正後の素子毎の遅延時間の誤差[ps]

校正前は最大誤差時間 7.6ps であるが、校正後は最大誤差時間 0.2ps に抑えられていることが分かる。つまり、校正したことにより最大誤差時間を 7.4ps 低減できたことになる。

以上のシミュレーション結果より、ヒストグラム法による校正方法が有効であることが確認された。

5.まとめと今後の課題

本論文では、逐次比較型 TDC の非線形な特性をヒストグラム法を用いて線形に自己校正する機能を有する回路と、逆関数を用いた校正手法を提案した。

ヒストグラム法は高精度な STOP 信号を必要とせず、外部から高価な測定器を用いて測定をする必要も無い。

そして、これらにより遅延素子の時間バラつきを把握することにより、線形性を確保できるため微細化によって従来より分解能を向上させることができる。さらに逐次比較型 TDC はフラッシュ型等に比べ、D フリップフロップを大幅に削減でき、全てデジタルなので回路規模を小さくできコスト面でも恩恵が大きい。

今後は以下について取り組む

- 1)FPGA 実装による検証
- 2)発生させる STOP 信号を極力削減し、回路の負担を低減するように改良

参考文献

- [1] 姜日晨, 小林春夫「バーニア原理を用いた高時間分解能逐次比較型時間デジタル回路の設計」第 5 回電気学会東京支部栃木・群馬支所合同研究発表会、宇都宮 (2015 年 3 月)
- [2] S. Ito, S. Nishimura, H. Kobayashi, et al., "Stochastic TDC Architecture with Self-Calibration," IEEE Asia Pacific Conf. Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- [3] T. Chujo, D. Hirabayashi, K. Kentaroh, C. Li, Y. Kobayashi, J. Wang, K. Sato, H. Kobayashi, "Experimental Verification of Timing Measurement Circuit With Self-Calibration", IEEE IMS3TW, Brazil (Sept. 2014).
- [4] R. Jiang, C. Li, M. Yang, H. Kobayashi, et al., "Successive Approximation Time-to-Digital Converter with Vernier-level Resolution", IEEE IMSTW, Catalunya, Spain (July 2016).