

第75回FTC研究会, 伊香保、群馬(2016年7月15日)

様々な時間デジタイザ回路アーキテクチャの タイミングテスト応用への比較検討

群馬大学大学院 理工学府電子情報部門

小林春夫

発表内容

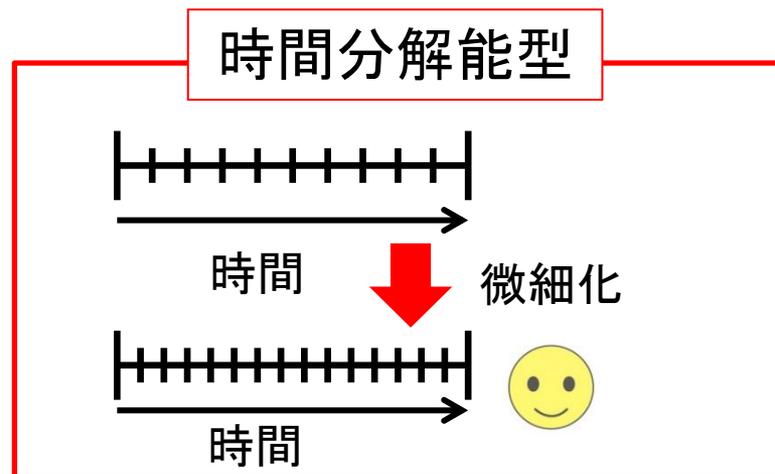
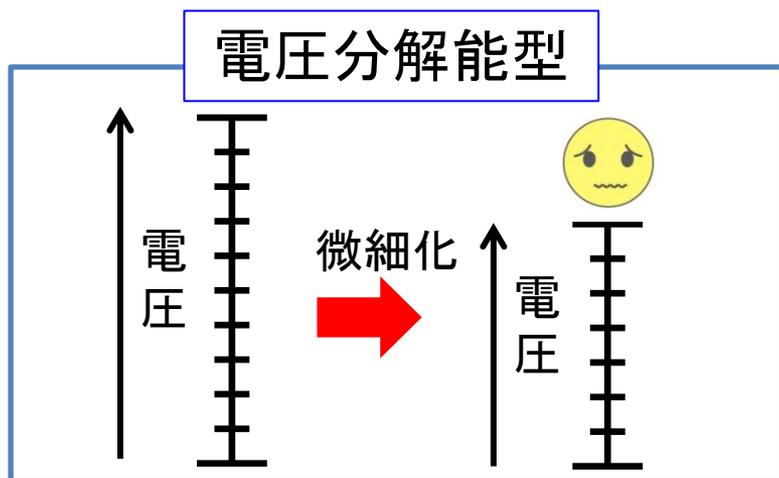
- 時間デジタイザ回路の研究背景
- 時間デジタイザ回路のLSIテスト技術へ応用
- 研究開発してきた時間デジタイザ回路
 - フラッシュ型
 - Gray code 型
 - 逐次比較近似型
 - デルタシグマ型
- 考察とまとめ

時間領域アナログ回路

微細化CMOS LSI



電源電圧の低下
動作スイッチングスピードの向上



TDC (Time-to-Digital Converter) は2つのデジタル信号の時間差をデジタル値に変換



微細化CMOS LSIにおいて、TDCは時間領域アナログ回路のカギとなる
(センサ回路, All-Digital PLL, ADC, 変調回路,
高速インターフェイス回路のテスト等)

時間領域回路の特徴

— 電圧、電流とは異なる —

- **電圧領域:** 使用できる電圧は電源電圧まで。

時間領域: 時間は無限に続く

➡ **ダイナミックレンジを無限大にできる**

積分型ADC, $\Delta\Sigma$ ADCが高分解能化できる理由

- **時間領域アナログ回路:** 時間方向に情報をもつ

振幅は2値 (V_{ss} , V_{dd})

➡ **デジタル回路で構成できる。**

2名のパイオニア、中心人物

- CMOS TDC 回路の考案者
日本人の高エネルギー加速器実験の研究者
新井康夫 氏
1988年 VLSI Circuit Symp にて発表
- All Digital PLL の考案者
Bogdan Staszewski 氏 (元 TI社)
同社にてDigital Radio Processor のプロジェクト推進
「微細MOSにては、
時間分解能は電圧分解能より優れている。」

発表内容

- 時間デジタイザ回路の研究背景
- 時間デジタイザ回路のLSIテスト技術へ応用
- 研究開発してきた時間デジタイザ回路
 - フラッシュ型
 - Gray code 型
 - 逐次比較近似型
 - デルタシグマ型
- 考察とまとめ

ATE システムと時間デジタイザ

- ATEシステムでは タイミングは命
- 高性能時間デジタイザは多数使用



クロック間タイミング、ジッタ測定

アナログBIST とBOST

- アナログBIST
米国メーカーが好む
- アナログBOST
日本メーカーが好む
Tape out 後にBOST開発できる。
設計変更容易
- TDCもBIST, BOSTに使用できる可能性

発表内容

- 時間デジタイザ回路の研究背景
- 時間デジタイザ回路のLSIテスト技術へ応用
- 研究開発してきた時間デジタイザ回路
 - フラッシュ型
 - Gray code 型
 - 逐次比較近似型
 - デルタシグマ型
- 考察とまとめ

研究開発してきた 4つの時間デジタイザ回路

	測定対象	測定時間	測定時間分解能	回路規模	FPGA実現
フラッシュ型	単発クロック	短	粗	大	デジタル
Gray code型	単発クロック	短	粗	小	デジタル
逐次比較近似型	繰り返しクロック	中	中	小	デジタル
$\Delta\Sigma$ 型	繰り返しクロック	長	細	小	アナログ

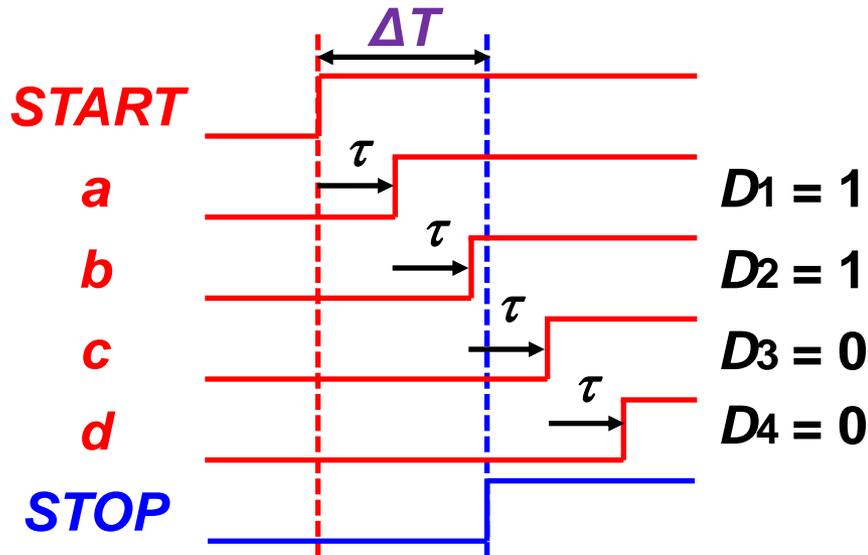
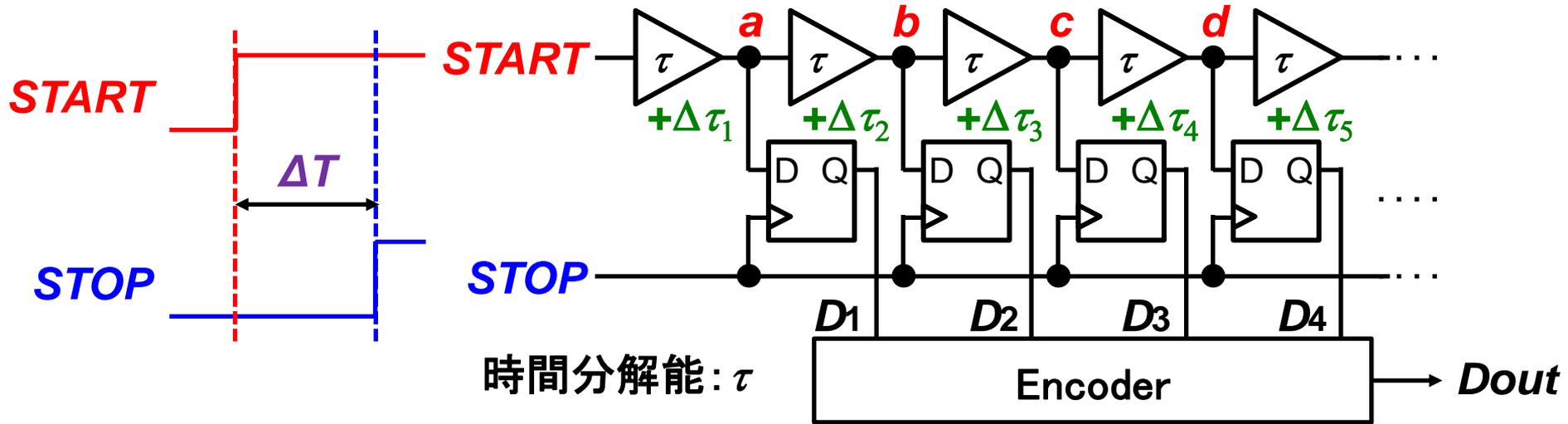
発表内容

- 時間デジタイザ回路の研究背景
- 時間デジタイザ回路のLSIテスト技術へ応用
- 研究開発してきた時間デジタイザ回路
 - **フラッシュ型**
 - Gray code 型
 - 逐次比較近似型
 - デルタシグマ型
- 考察とまとめ

研究開発してきた 4つの時間デジタイザ回路

	測定対象	測定時間	測定時間分解能	回路規模	FPGA実現
フラッシュ型	単発クロック	短	粗	大	デジタル
Gray code型	単発クロック	短	粗	小	デジタル
逐次比較近似型	繰り返しクロック	中	中	小	デジタル
$\Delta\Sigma$ 型	繰り返しクロック	長	細	小	アナログ

フラッシュ型 TDCの構成と動作

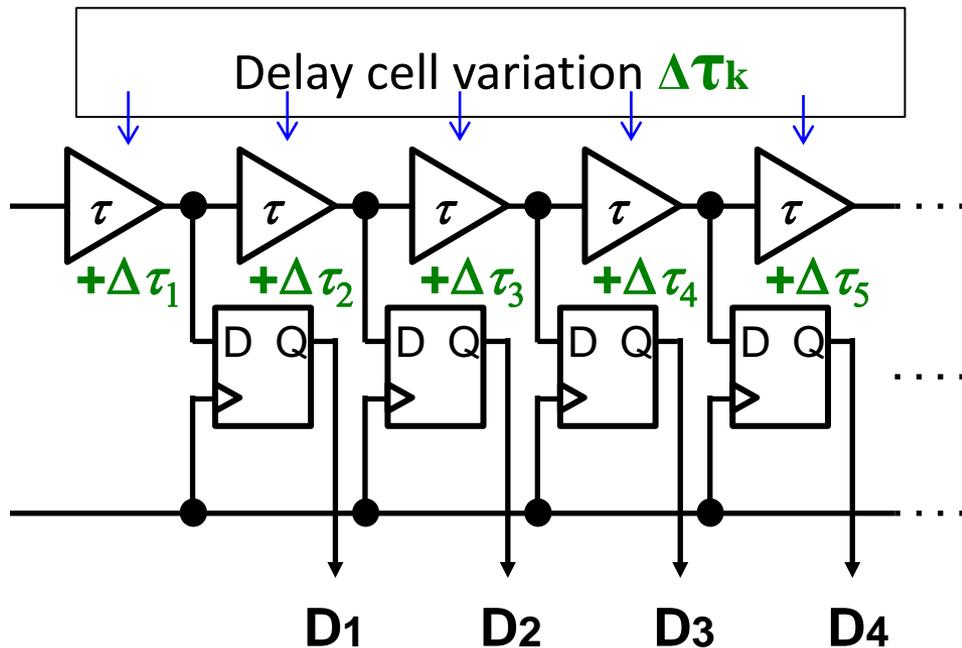


● ΔT の大きさに比例したデジタル値 D_{out} を出力

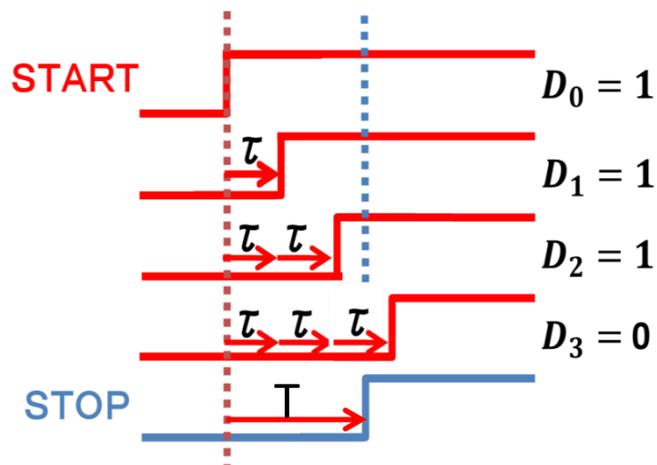
● 時間分解能 τ

高エネルギー加速器研究機構
素粒子原子核研究所
新井康夫氏による発明

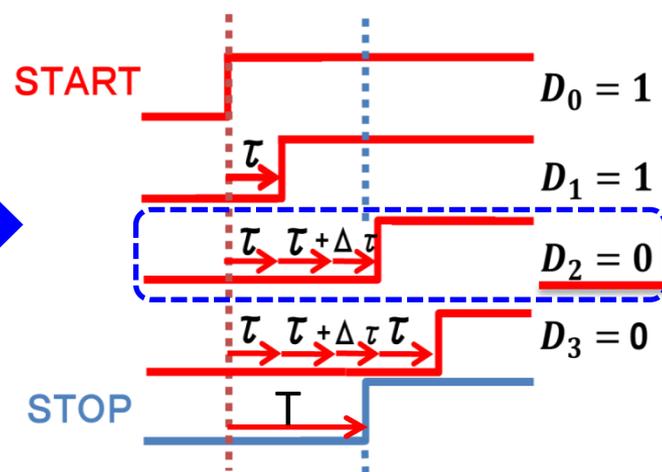
Delay Cell Variation Inside TDC Circuit



TDC nonlinearity



(a) Without delay variation



(b) With delay variation

Random Variation among Delay Cells

- Delay τ variation

Relative variation

→ TDC nonlinearity

Absolute (average value) variation

resolution → TDC input range & time

- Focus on **Relative variation** here.

Research Objective

- TDC linearity self-calibration with histogram

Dout(0)=1

Dout(1)=3

Dout(2)=5

Dout(3)=8

▪

▪

Calibration



Dout(0)=0.3

Dout(1)=2.8

Dout(2)=4.5

Dout(3)=7.3

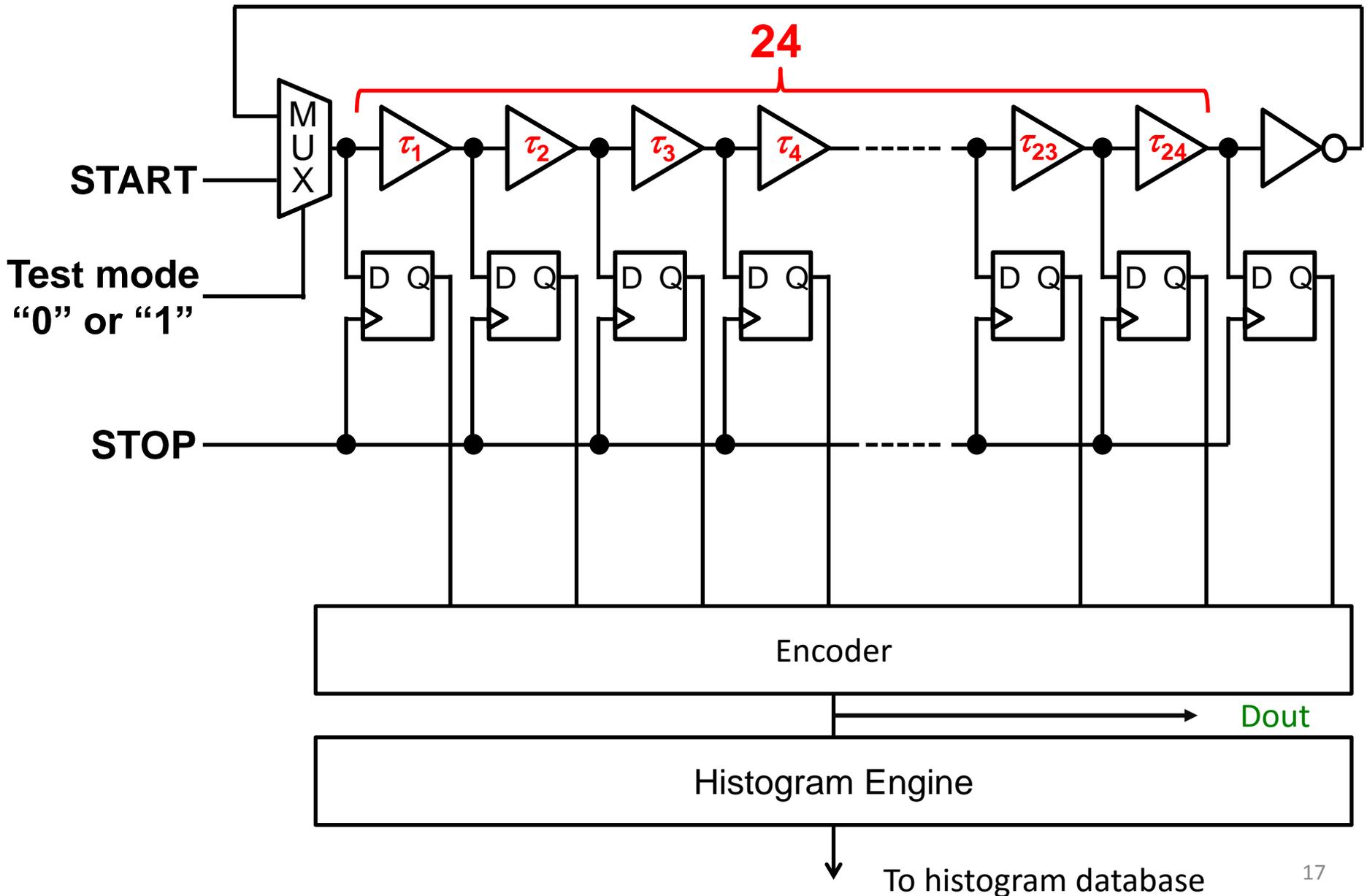
▪

▪

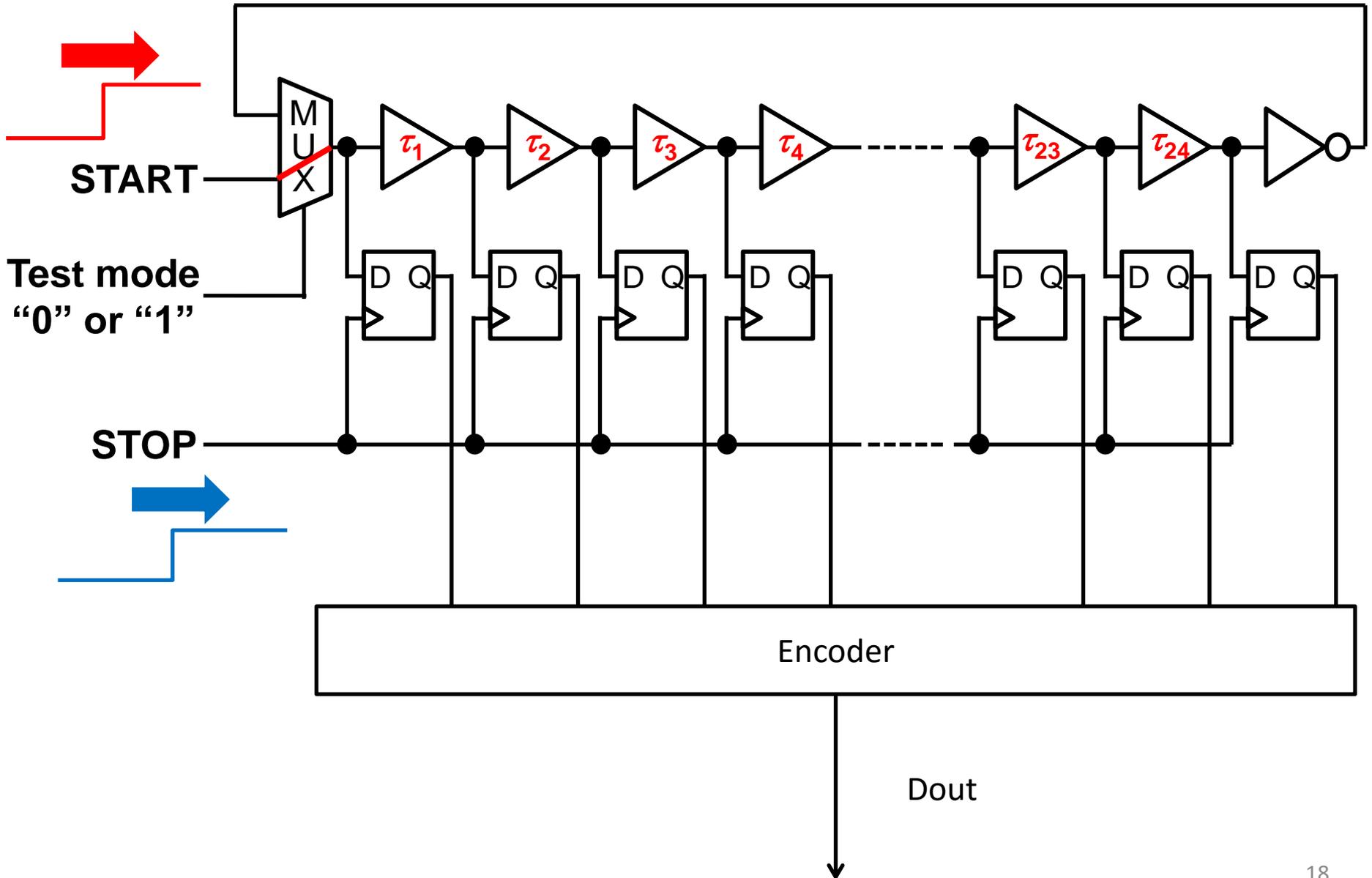
Corrected
based on
delay
variation
estimation

- Analog FPGA (PSoC) implementation, evaluation

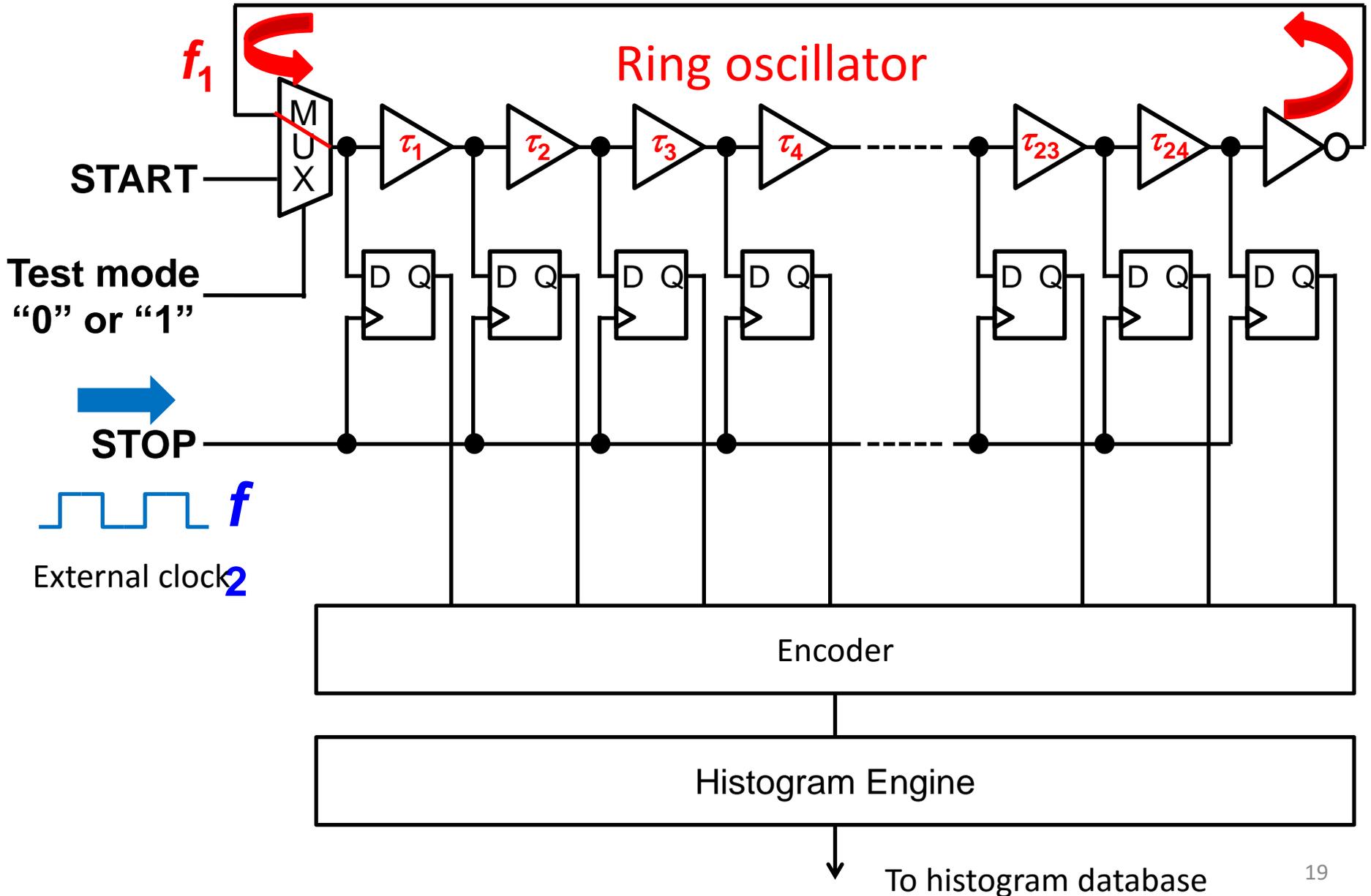
TDC with Self-Calibration



Normal Operation Mode



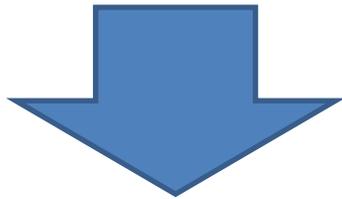
Self-Calibration Mode



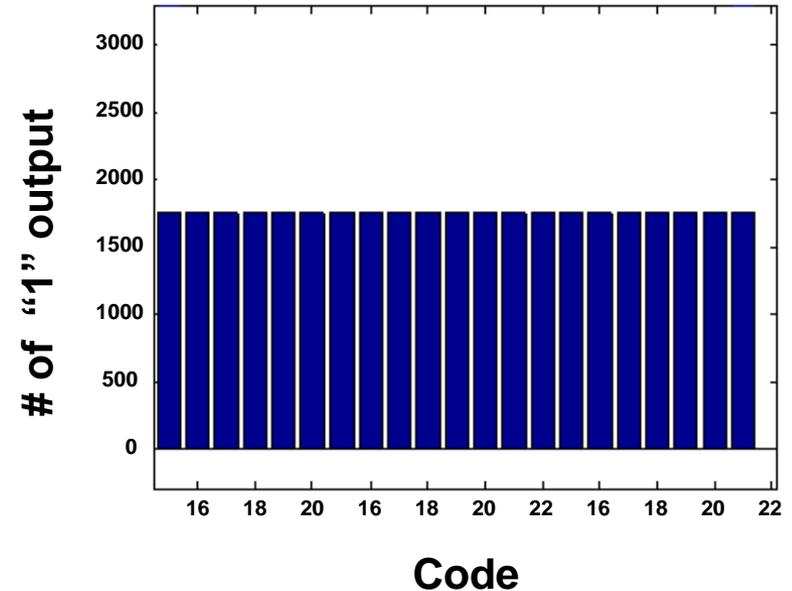
Self-Calibration

Self-calibration mode

START, STOP signals
are NOT synchronized

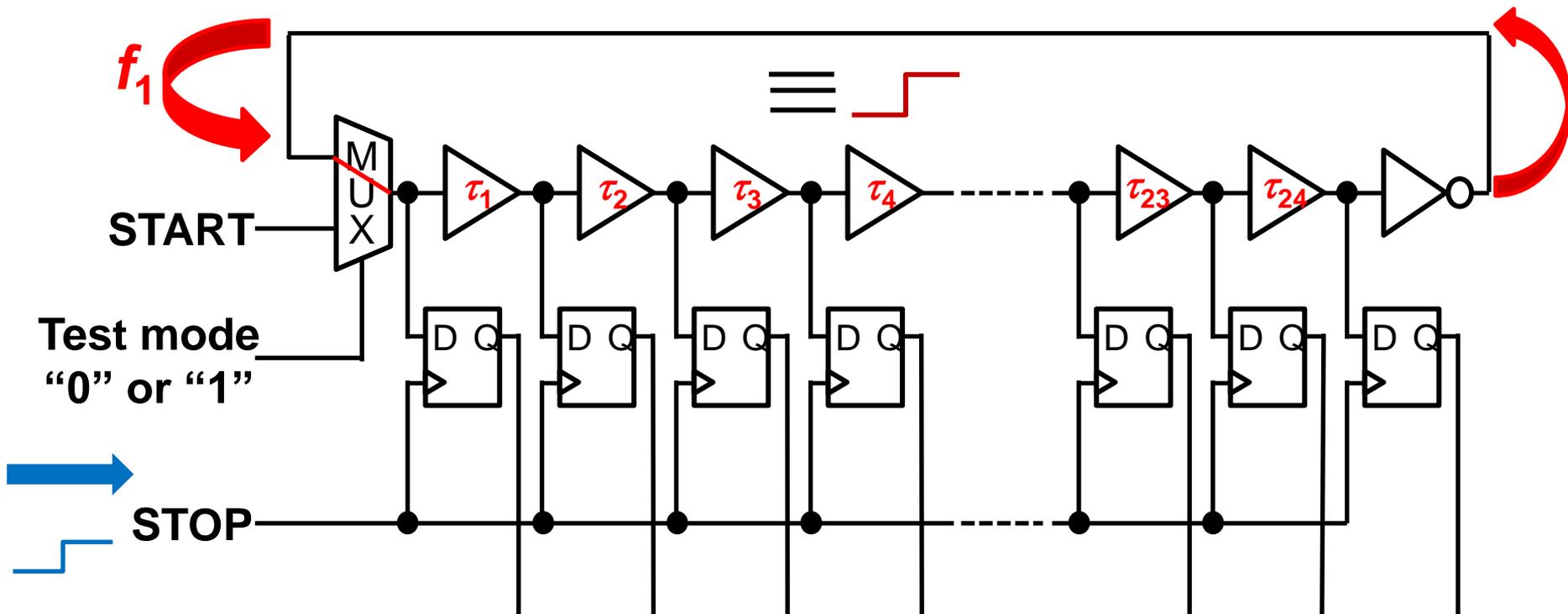


Histograms in all bins will be equal,
after collection of a sufficiently large number of data,
if the TDC has perfect linearity



Principle of TDC Linearity Calibration

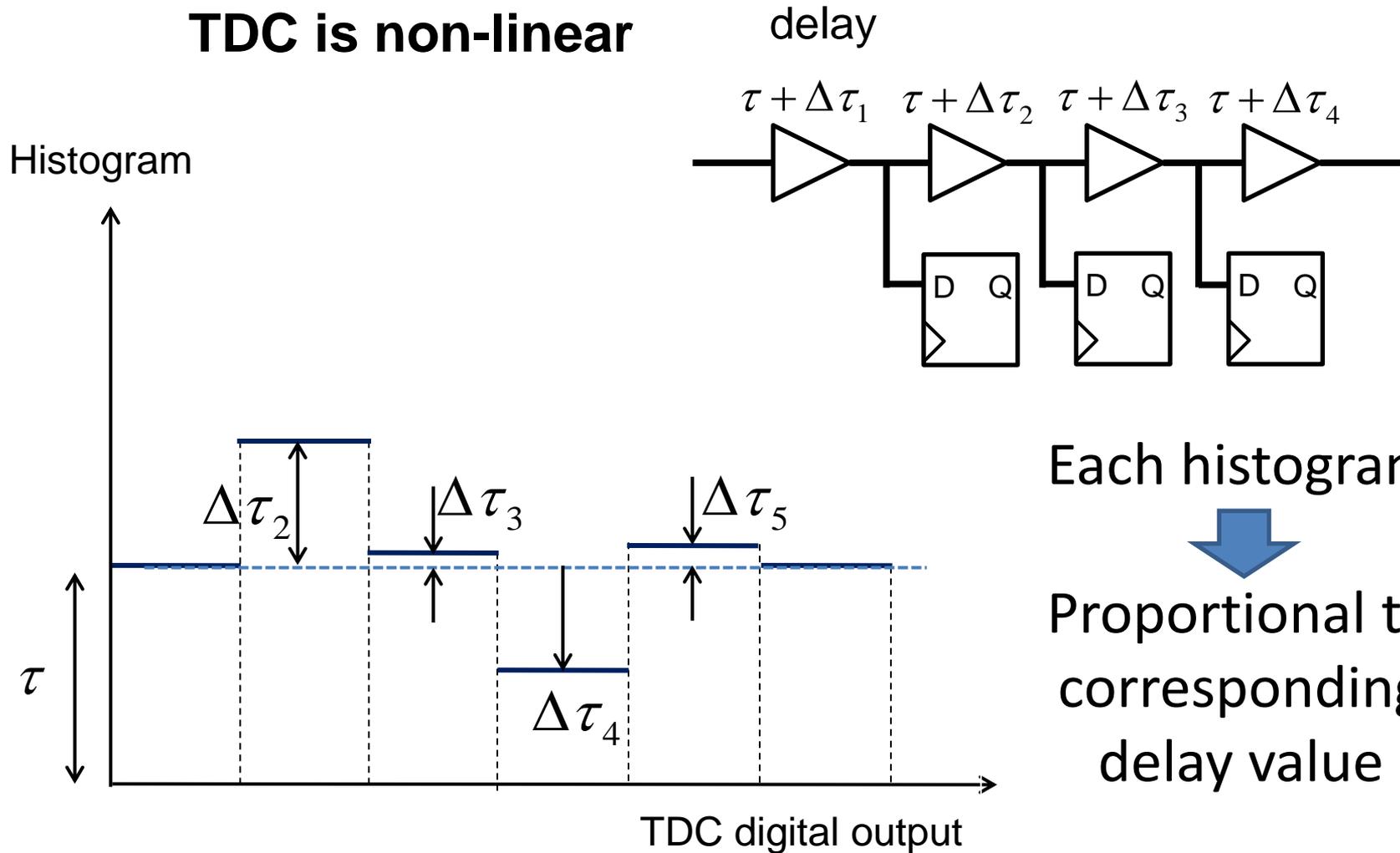
- START (ring oscillator) and STOP signals are **asynchronous**.



- Probability of digital code for **large** delay is **high**.
- Probability of digital code for **small** delay is **low**.

Self-Calibration

TDC is non-linear



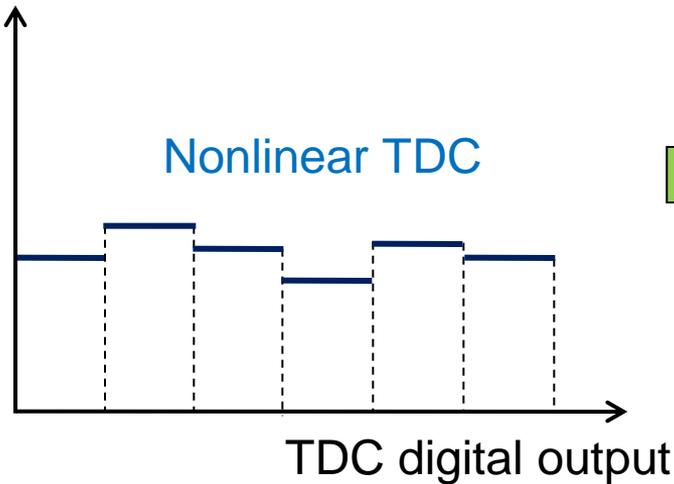
Each histogram



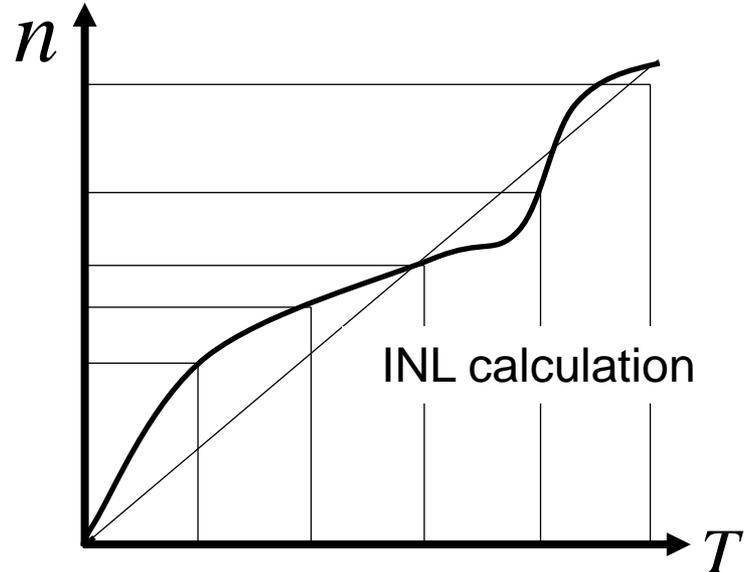
Proportional to
corresponding
delay value

Principle of Self-Calibration

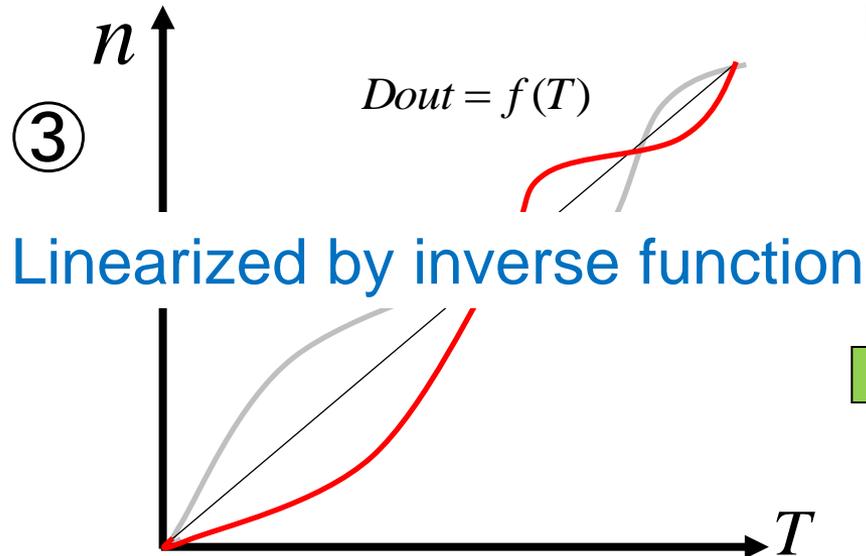
① Histogram



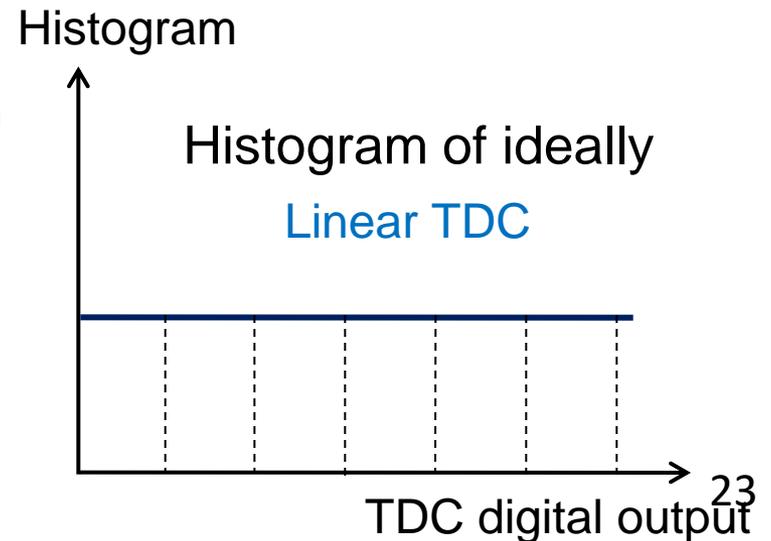
②



③



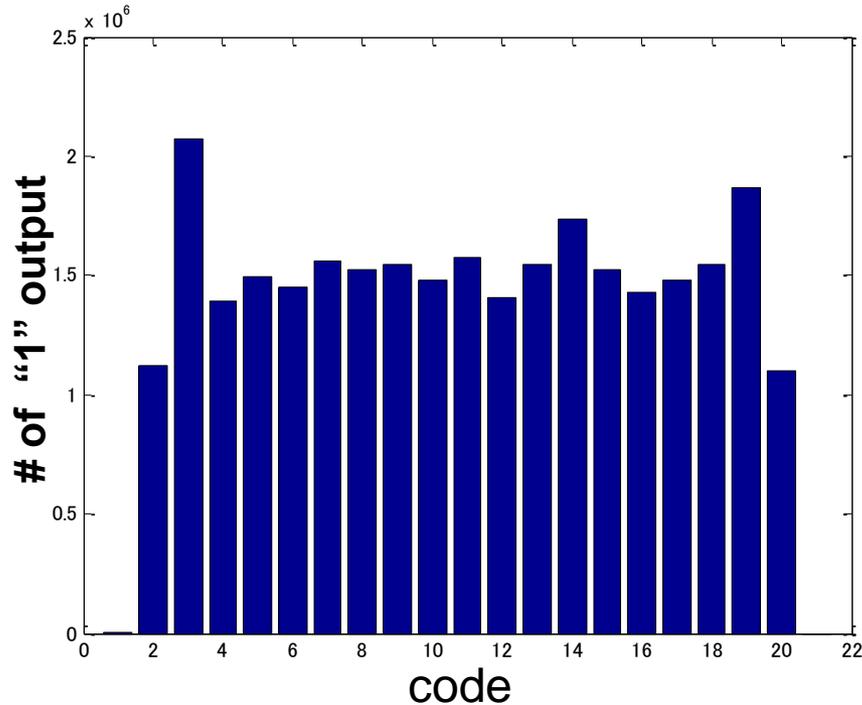
④



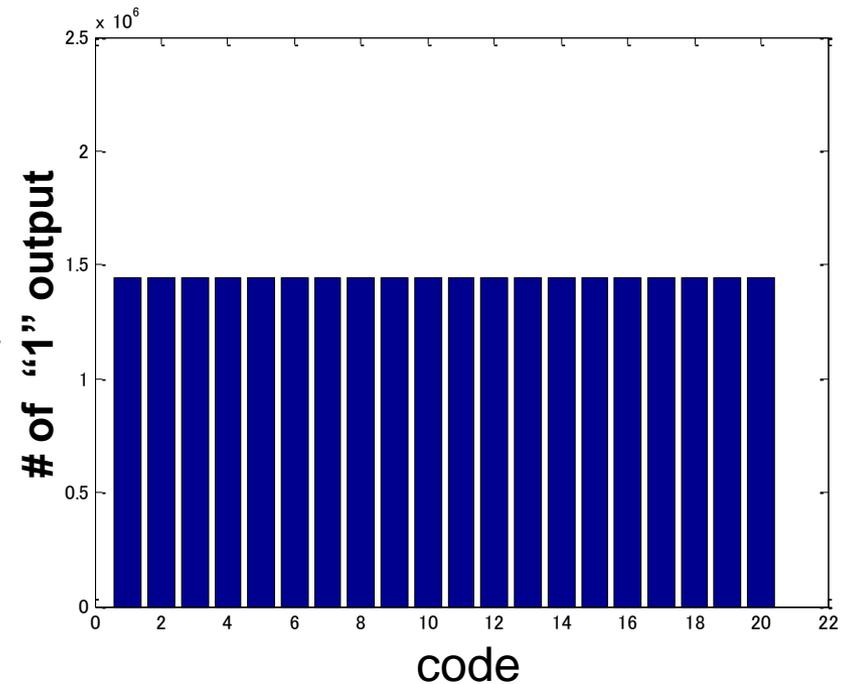
Simulation Result of Self-Calibration

MATLAB

before calibration



after calibration



Sampling points 28,848,432

$$\tau_1 = 60 \sim 69 \text{ ps}$$

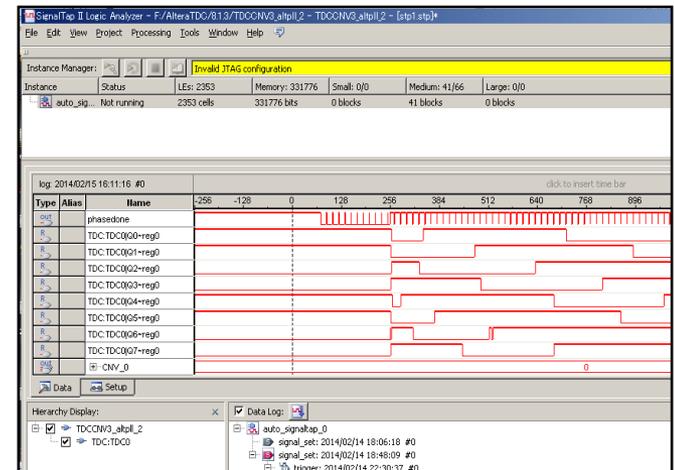
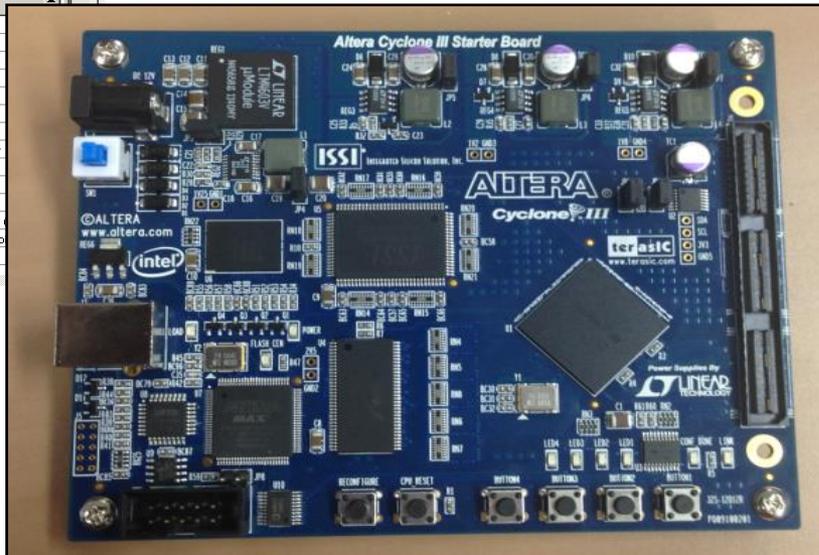
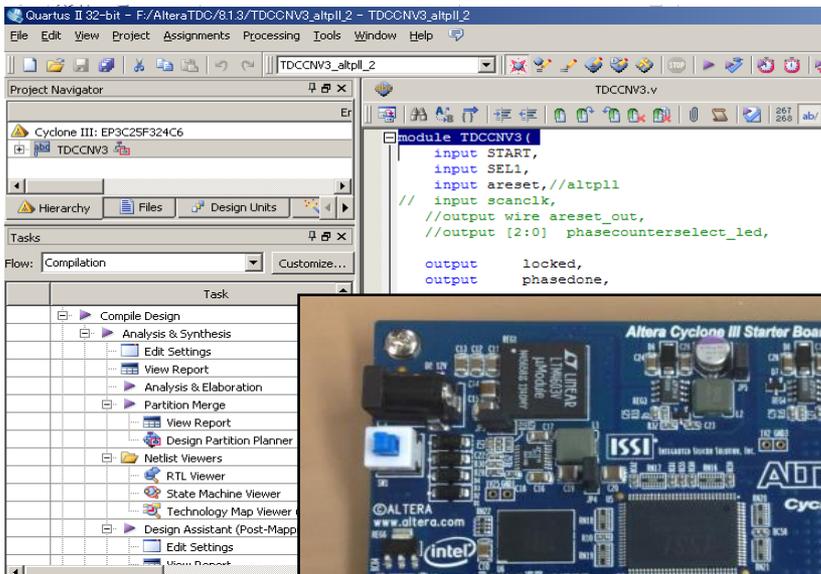
$$\tau_2 = 10 \text{ ns}$$

Histogram for each bin is the same when the TDC is linear.

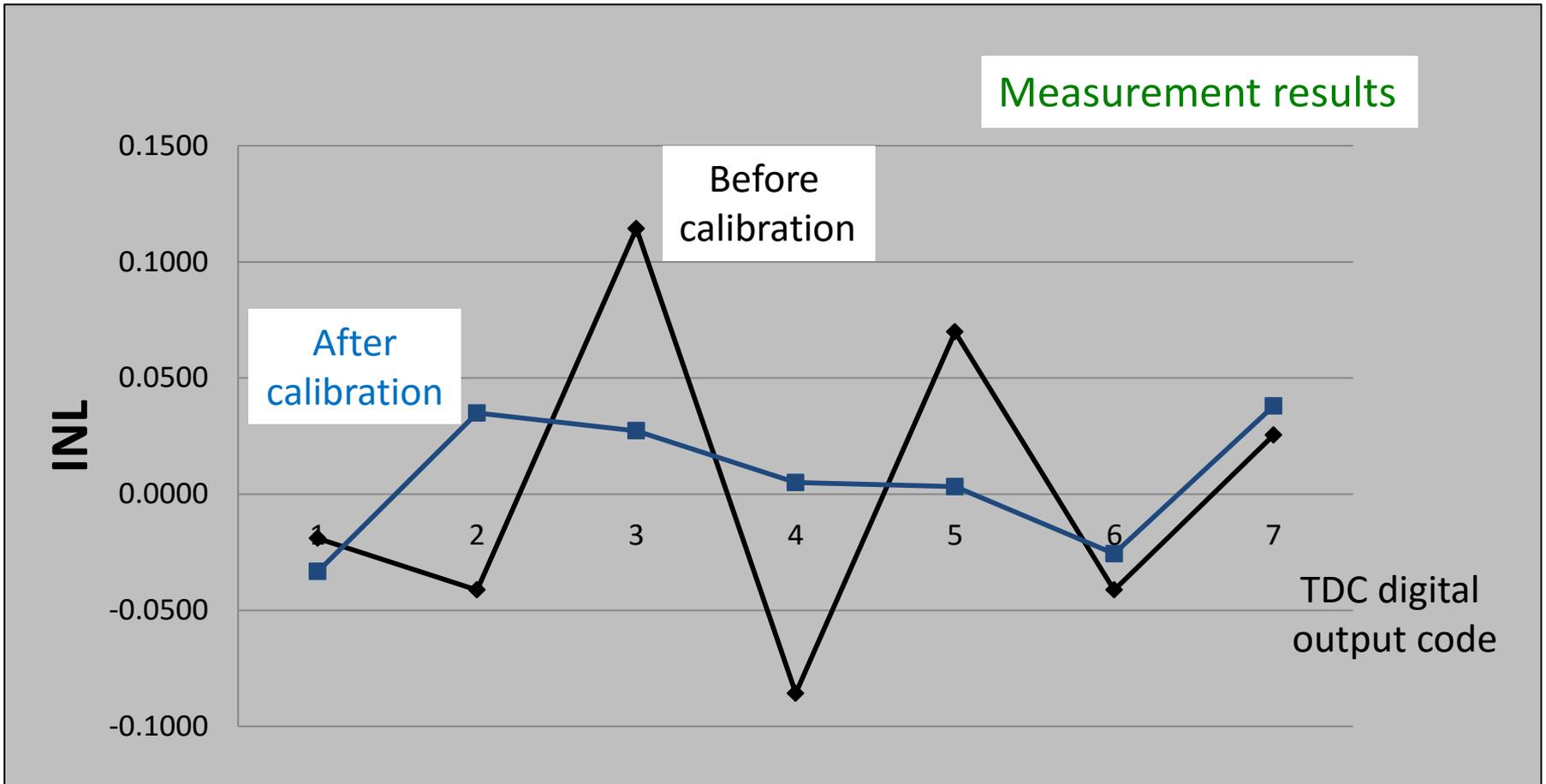
Altera FPGA (Full digital Implementation)

TDC with histogram method self-calibration

Delay cell array is implemented with CMOS inverter chain.



INL Before and After Self-Calibration



発表内容

- 時間デジタイザ回路の研究背景
- 時間デジタイザ回路のLSIテスト技術へ応用
- 研究開発してきた時間デジタイザ回路
 - フラッシュ型
 - Gray code 型
 - 逐次比較近似型
 - デルタシグマ型
- 考察とまとめ

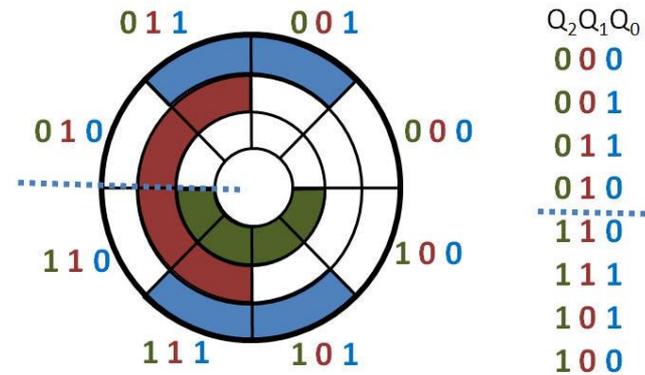
研究開発してきた 4つの時間デジタイザ回路

	測定対象	測定時間	測定時間分解能	回路規模	FPGA実現
フラッシュ型	単発クロック	短	粗	大	デジタル
Gray code型	単発クロック	短	粗	小	デジタル
逐次比較近似型	繰り返しクロック	中	中	小	デジタル
$\Delta\Sigma$ 型	繰り返しクロック	長	細	小	アナログ

Gray code is a binary numeral system where two successive values differ in only one bit.

4-bit Gray code vs. 4-bit Natural Binary Code

Decimal numbers	Natural Binary Code	4-bit Gray Code
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000



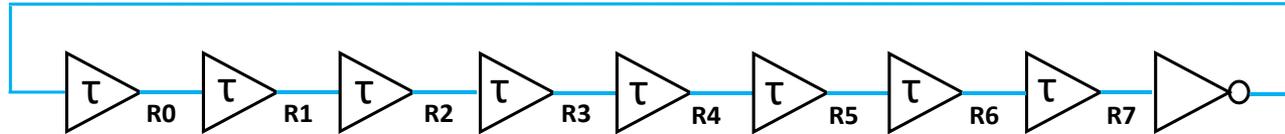
"Two-Way Television" - Booklet by AT&T-Bell Labs, April 1930



FRANK GRAY and A. L. Johnson in television booth. Behind the glass panels at sides and top are the photo-electric cells.

Gray code was invented by Frank Gray at Bell Lab in 1947.

In a ring oscillator, between any two adjacent states, only one output changes at a time. This characteristic is very similar to Gray code.

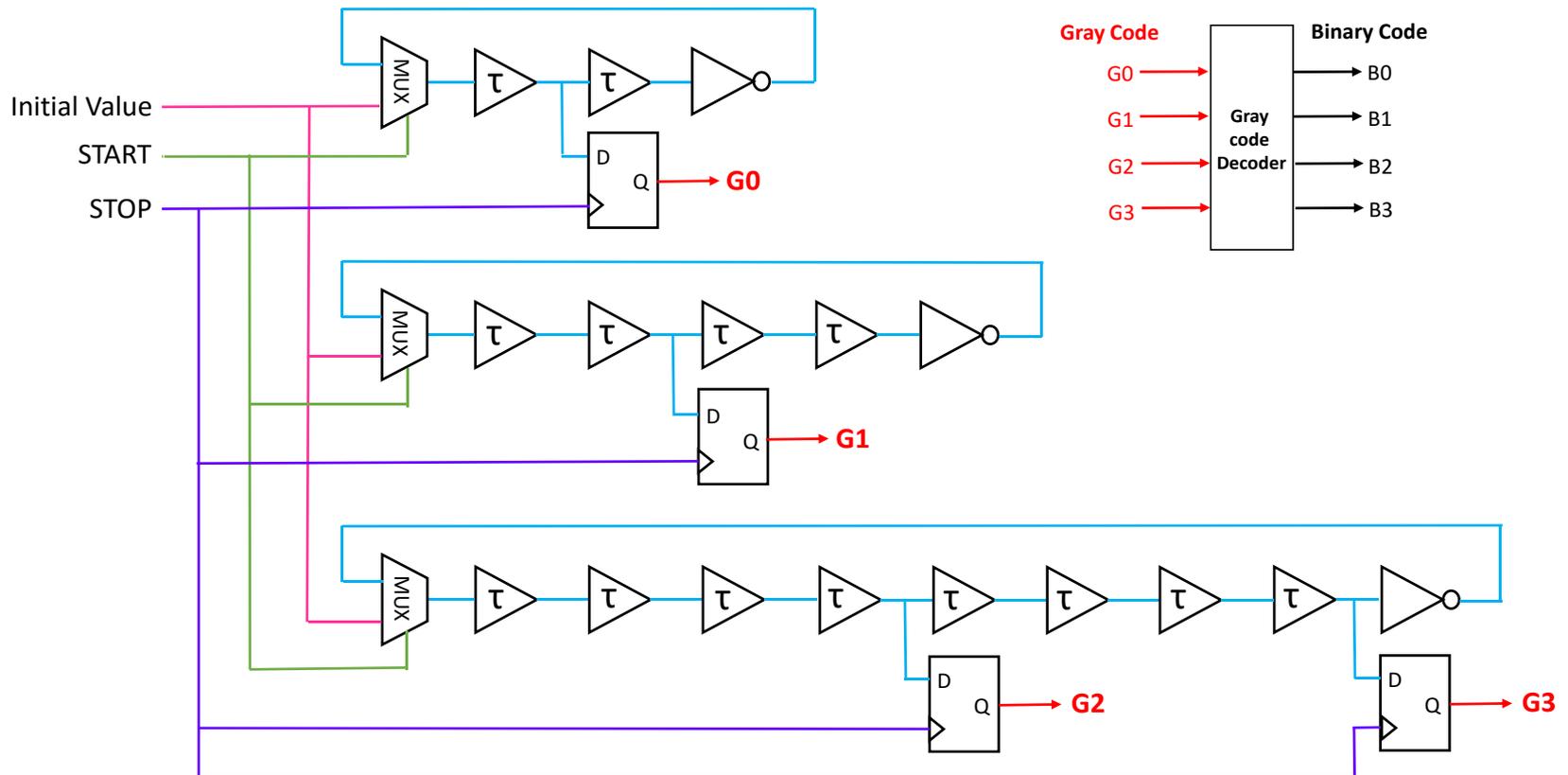


8-stage Ring Oscillator Output								4-bit Gray Code			
R0	R1	R2	R3	R4	R5	R6	R7	G3	G2	G1	G0
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1
1	1	0	0	0	0	0	0	0	0	1	1
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	1	1	0
1	1	1	1	1	0	0	0	0	1	1	1
1	1	1	1	1	1	0	0	0	1	0	1
1	1	1	1	1	1	1	0	0	1	0	0
1	1	1	1	1	1	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	0
0	0	0	0	1	1	1	1	1	0	1	0
0	0	0	0	0	1	1	1	1	0	1	1
0	0	0	0	0	0	1	1	1	0	0	1
0	0	0	0	0	0	0	1	1	0	0	0

For any given Gray code, each bit can be generated by a certain ring oscillator.

Similar to residue number system, Gray code can:

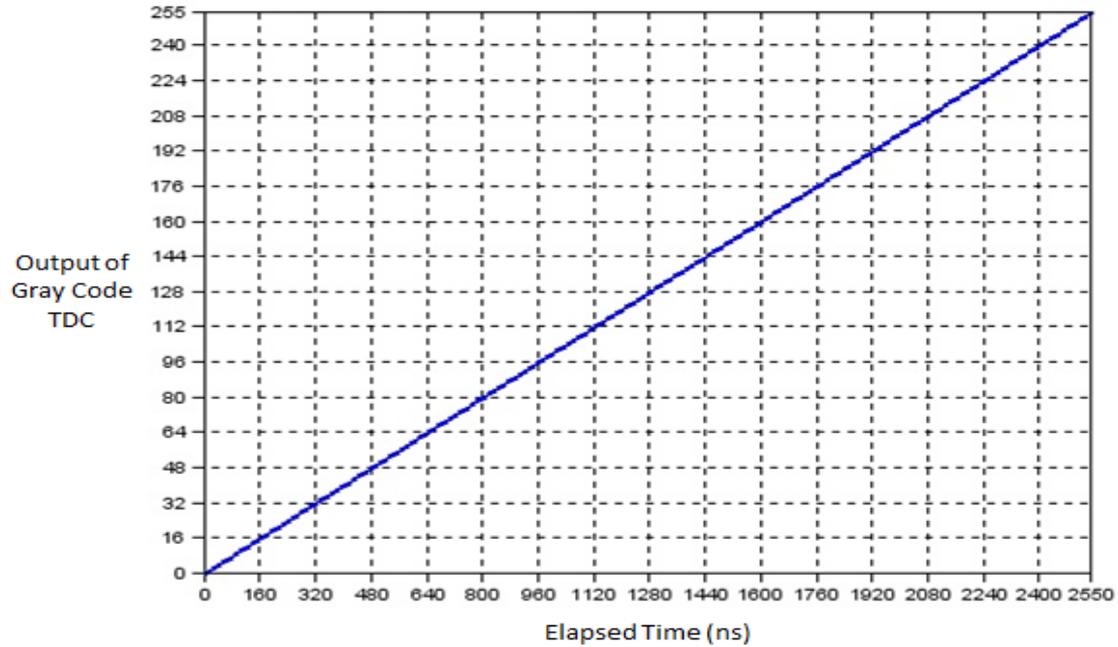
a large Flash TDC **Convert** a set of smaller Flash TDC performed in parallel



Proposed Gray code TDC architecture in 4-bit case



FPGA implementation of Gray code TDC



Gray code TDC works with good linearity as expected

	Number of delay cells	Number of DFFs	Maximum stage of RO
Gray code TDC	$2^n - 2$	n	2^{n-1}
Flash-type TDC	2^n	2^n	2^n



For large measurement range, the number of flip-flops in Gray code TDC decreases rapidly ($n \ll 2^n$)

Reduction of circuit complexity!!

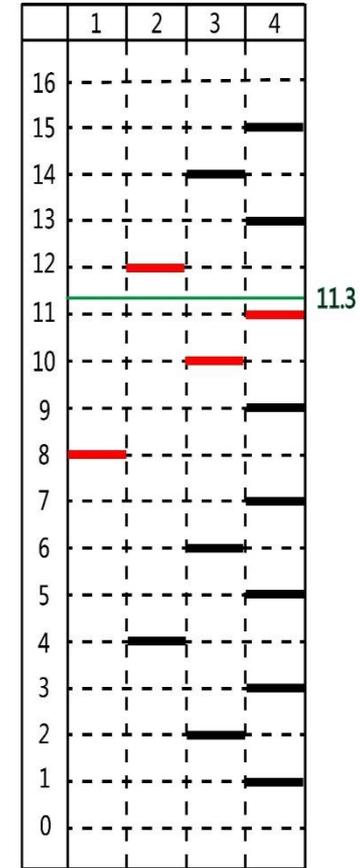
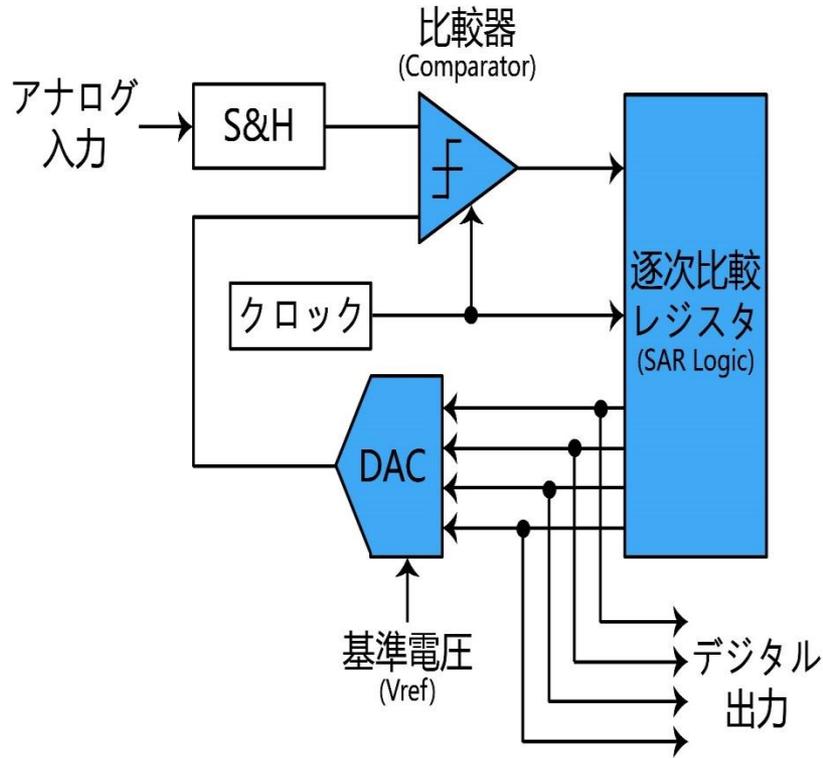
発表内容

- 時間デジタイザ回路の研究背景
- 時間デジタイザ回路のLSIテスト技術へ応用
- 研究開発してきた時間デジタイザ回路
 - フラッシュ型
 - Gray code 型
 - **逐次比較近似型**
 - デルタシグマ型
- 考察とまとめ

研究開発してきた 4つの時間デジタイザ回路

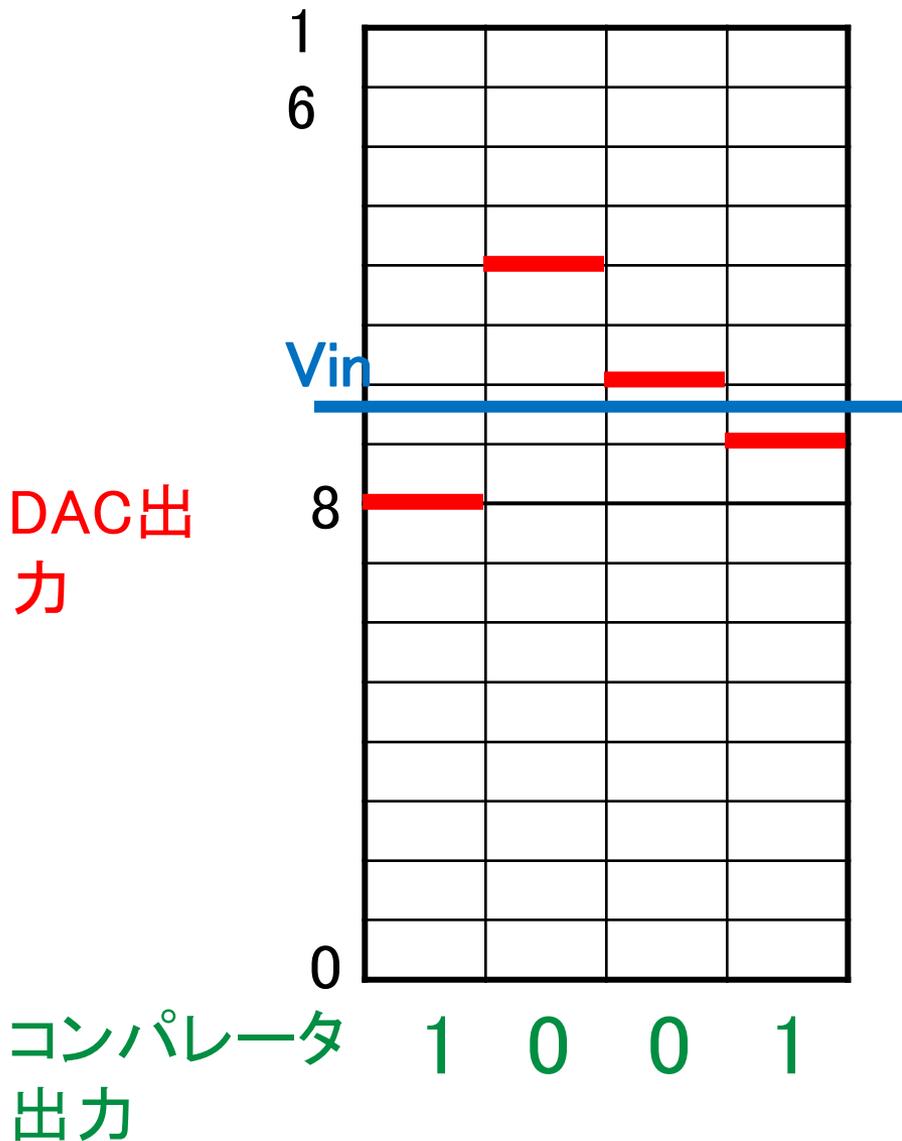
	測定対象	測定時間	測定時間分解能	回路規模	FPGA実現
フラッシュ型	単発クロック	短	粗	大	デジタル
Gray code型	単発クロック	短	粗	小	デジタル
逐次比較近似型	繰り返しクロック	中	中	小	デジタル
$\Delta\Sigma$ 型	繰り返しクロック	長	細	小	アナログ

逐次比較型ADC

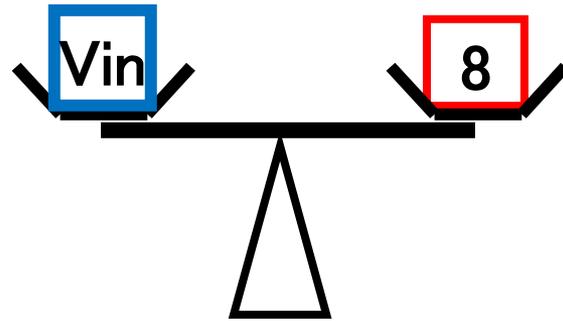
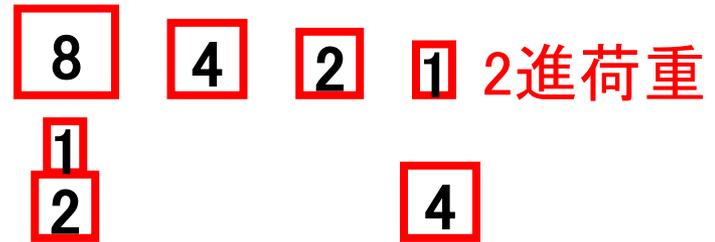


逐次比較近似/SAR (Successive Approximation) : 2進探索
 アルゴリズム/天秤の原理

SAR : 2進探索アルゴリズム

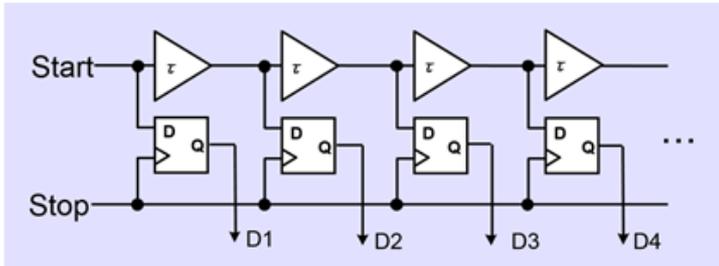


“天秤の原理” (4bit 4step)

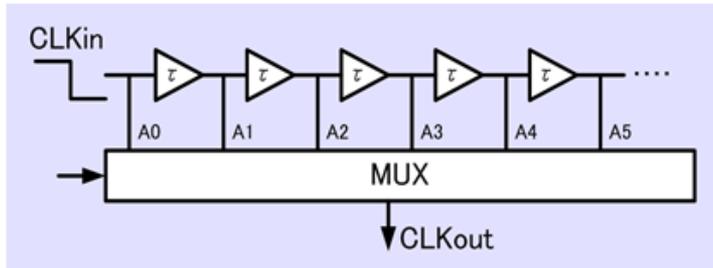


$$V_{in} = 8 - \frac{1}{2} = 9$$

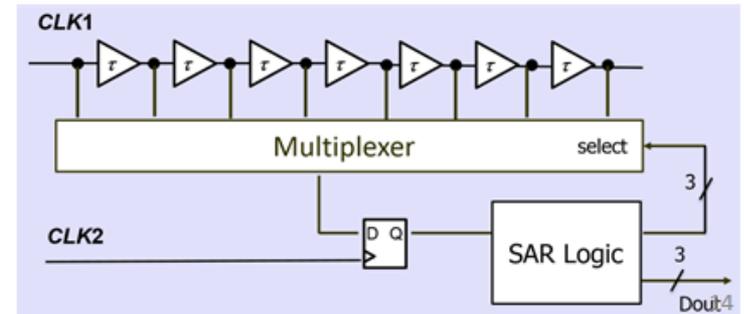
逐次比較近似TDCの構成



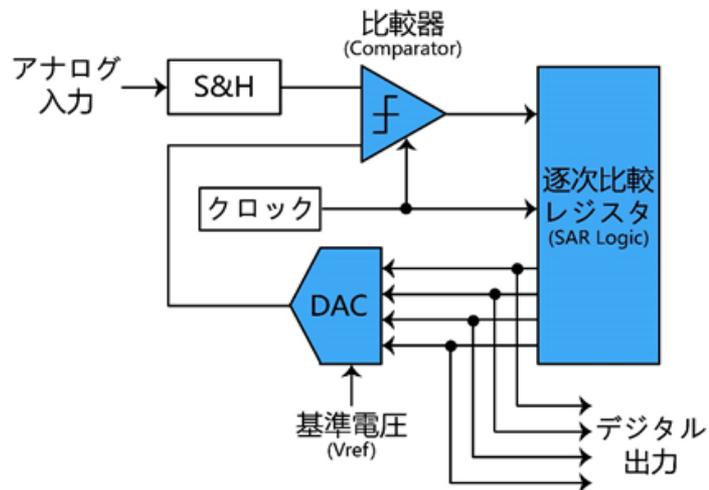
マルチプレクサにより
DFF数を削減



逐次比較近似の原理により
回路の動作ループを作る

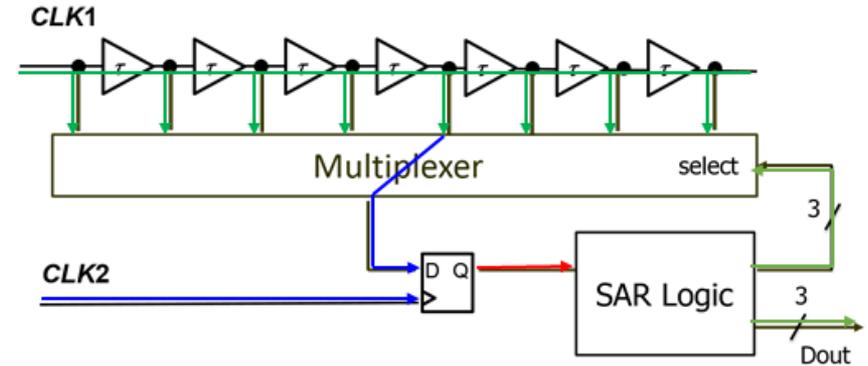


SAR ADC と SAR TDC



逐次比較近似ADC

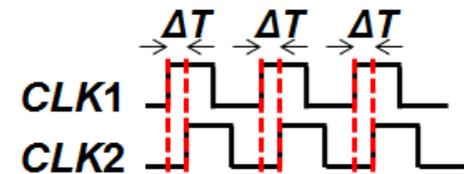
- 天秤が**コンパレータ**
- 分銅が**DAC**



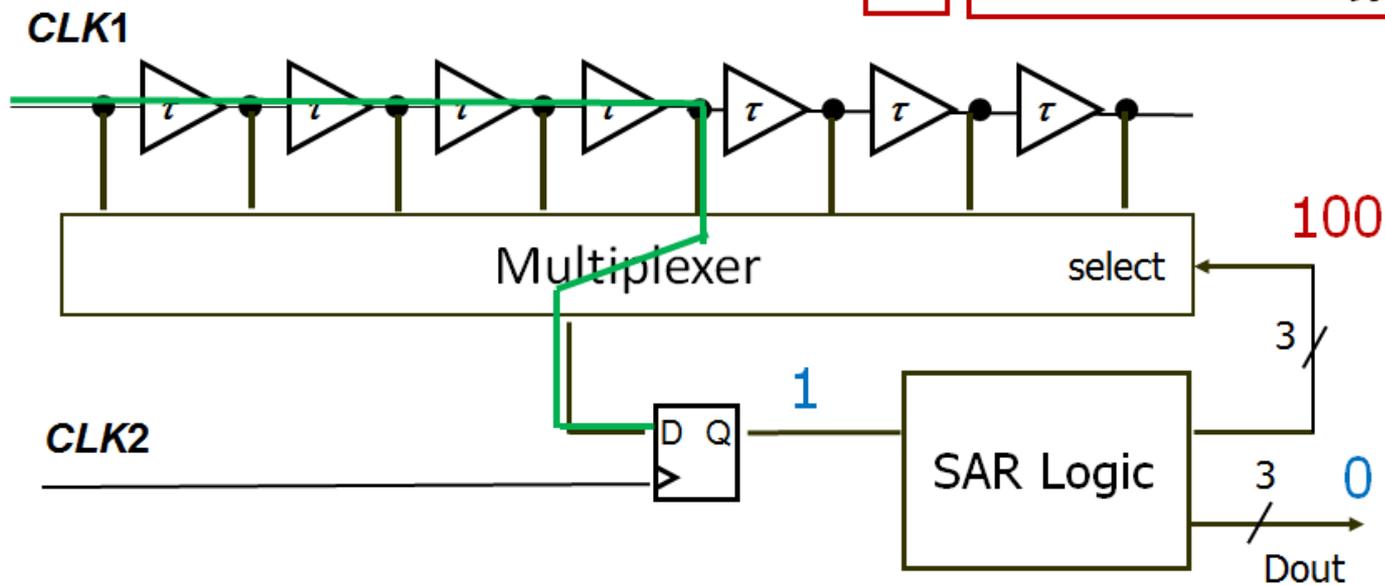
逐次比較近似TDC

- 天秤が**DFF**
- 分銅が**MUX**

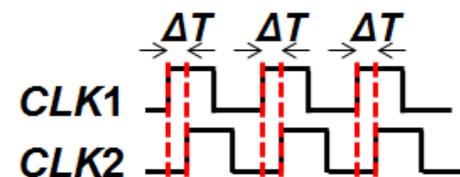
SAR TDCの動作 ステップ 1



例 $\Delta T = 4.3 \tau$ の場合

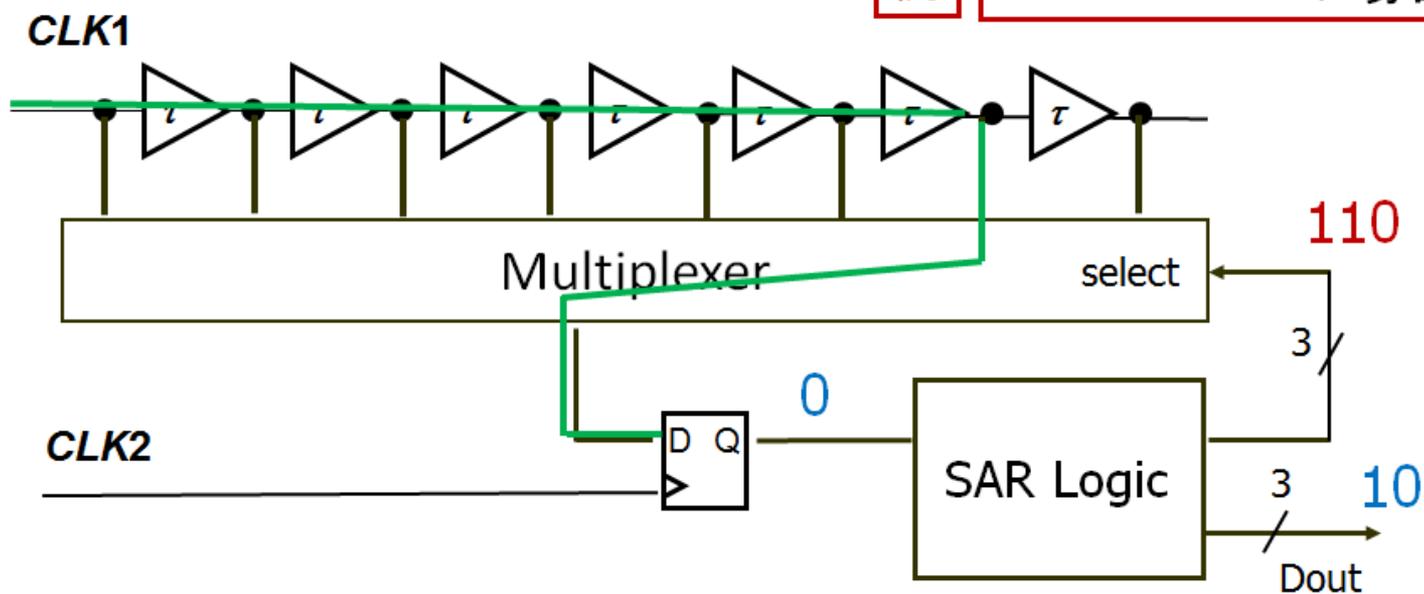


SAR TDCの動作 ステップ 2

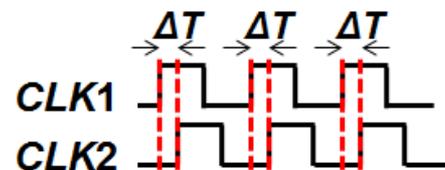


例

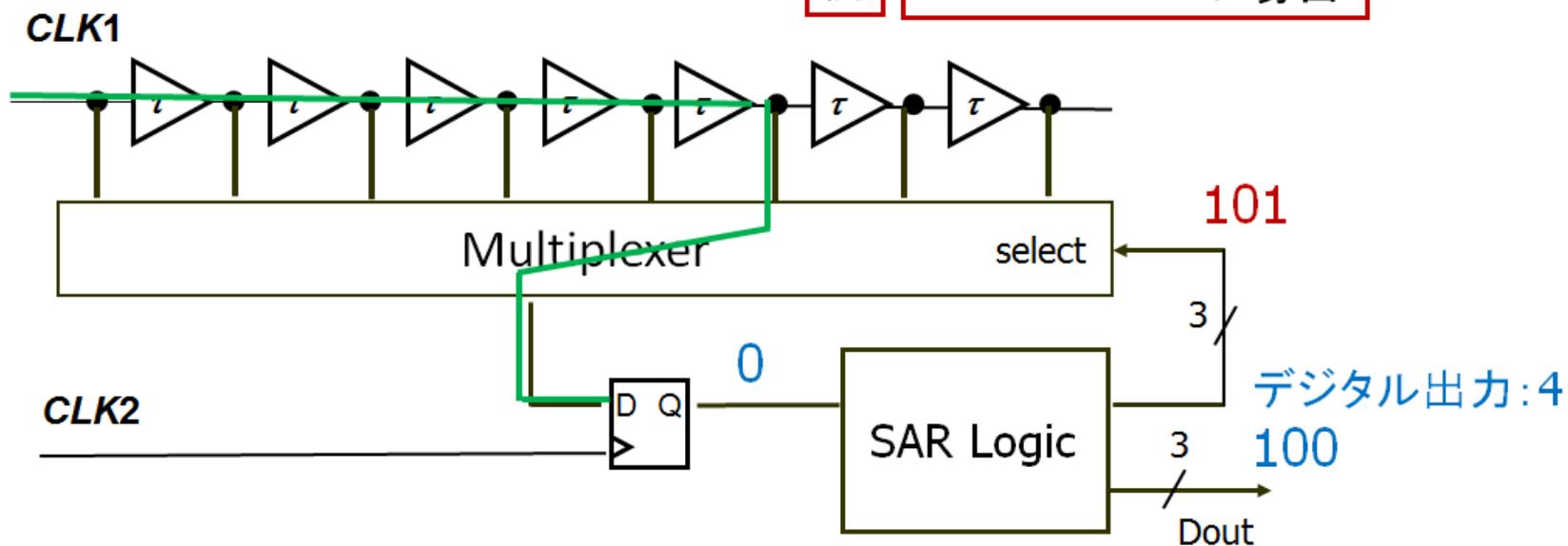
$\Delta T = 4.3 \tau$ の場合



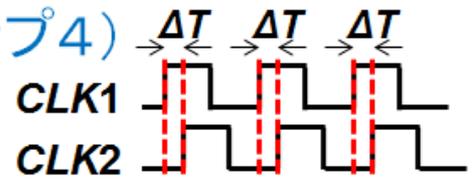
SAR TDCの動作 ステップ3



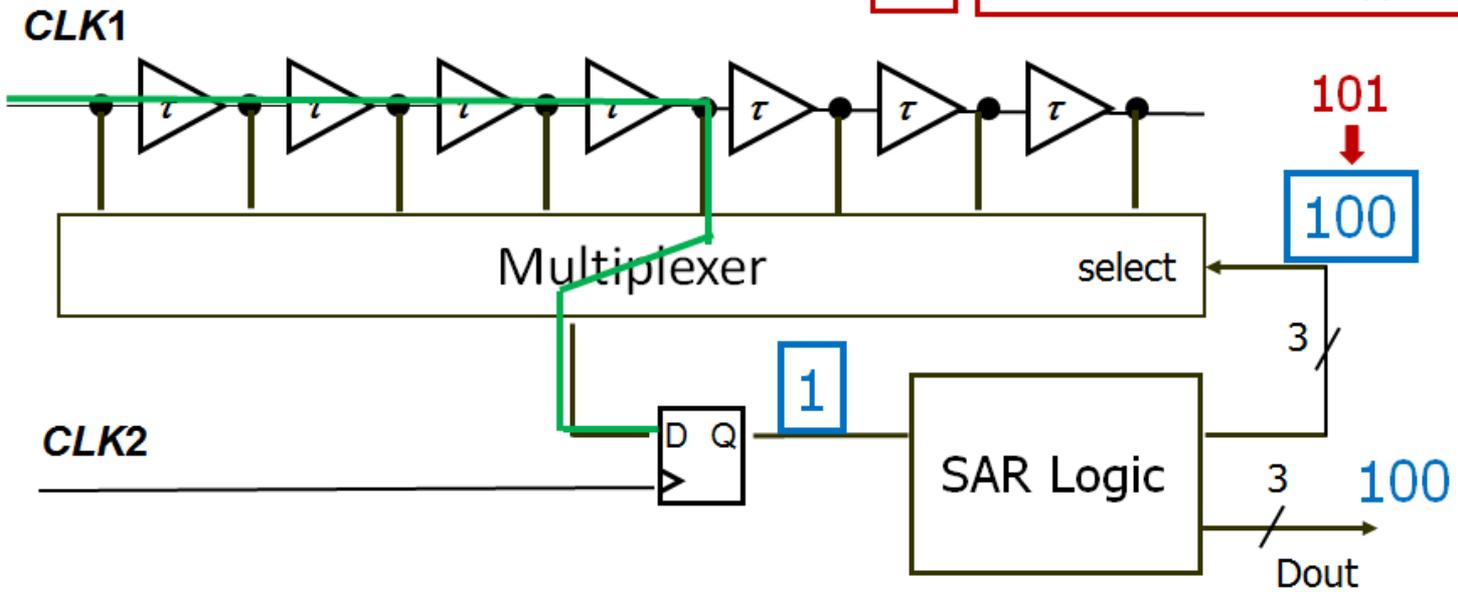
例 $\Delta T = 4.3 \tau$ の場合



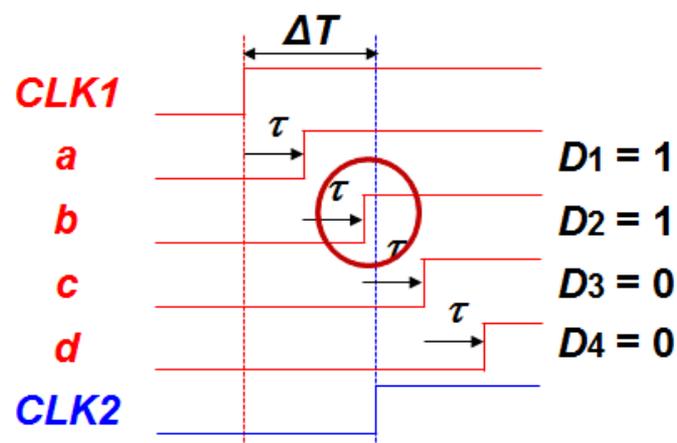
SAR TDCの動作 安定した状態(ステップ4)



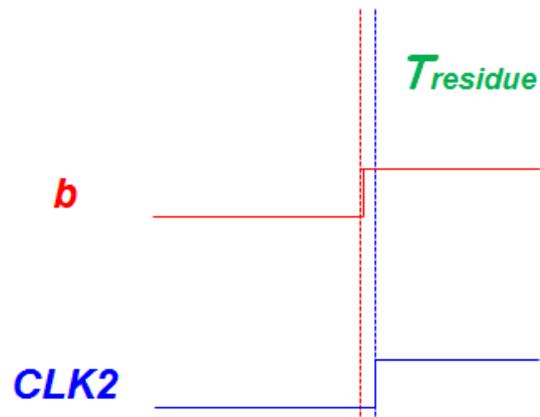
例 $\Delta T = 4.3 \tau$ の場合



残差時間の利用

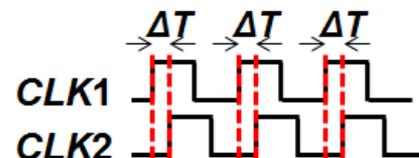


SAR TDCの計測結果

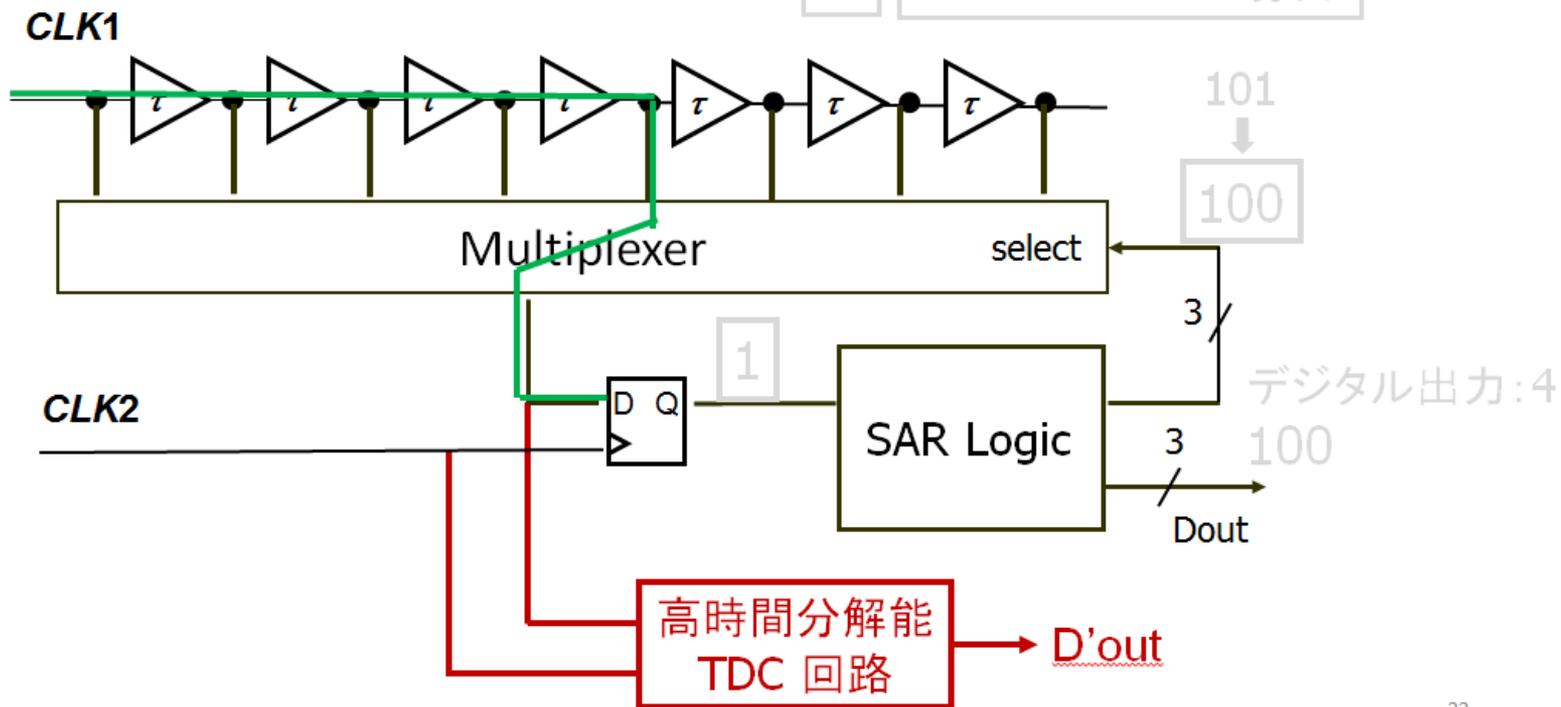


残差時間 $T_{residue}$ を
高時間分解能のサブTDCでさらに計測

高時間分解能のサブTDC



例 $\Delta T = 4.3 \tau$ の場合



2ステップ方式による高分解能化 SAR+Vernier-Type TDC

ステップ1: 逐次比較近似TDC



時間差の
整数部分

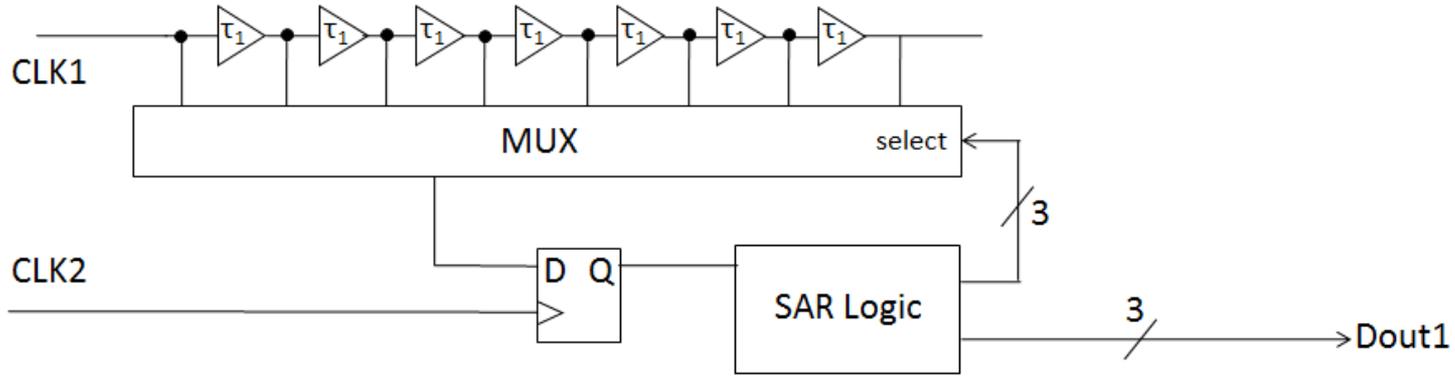
残差時間

ステップ2: 逐次比較近似+バーニア型TDC



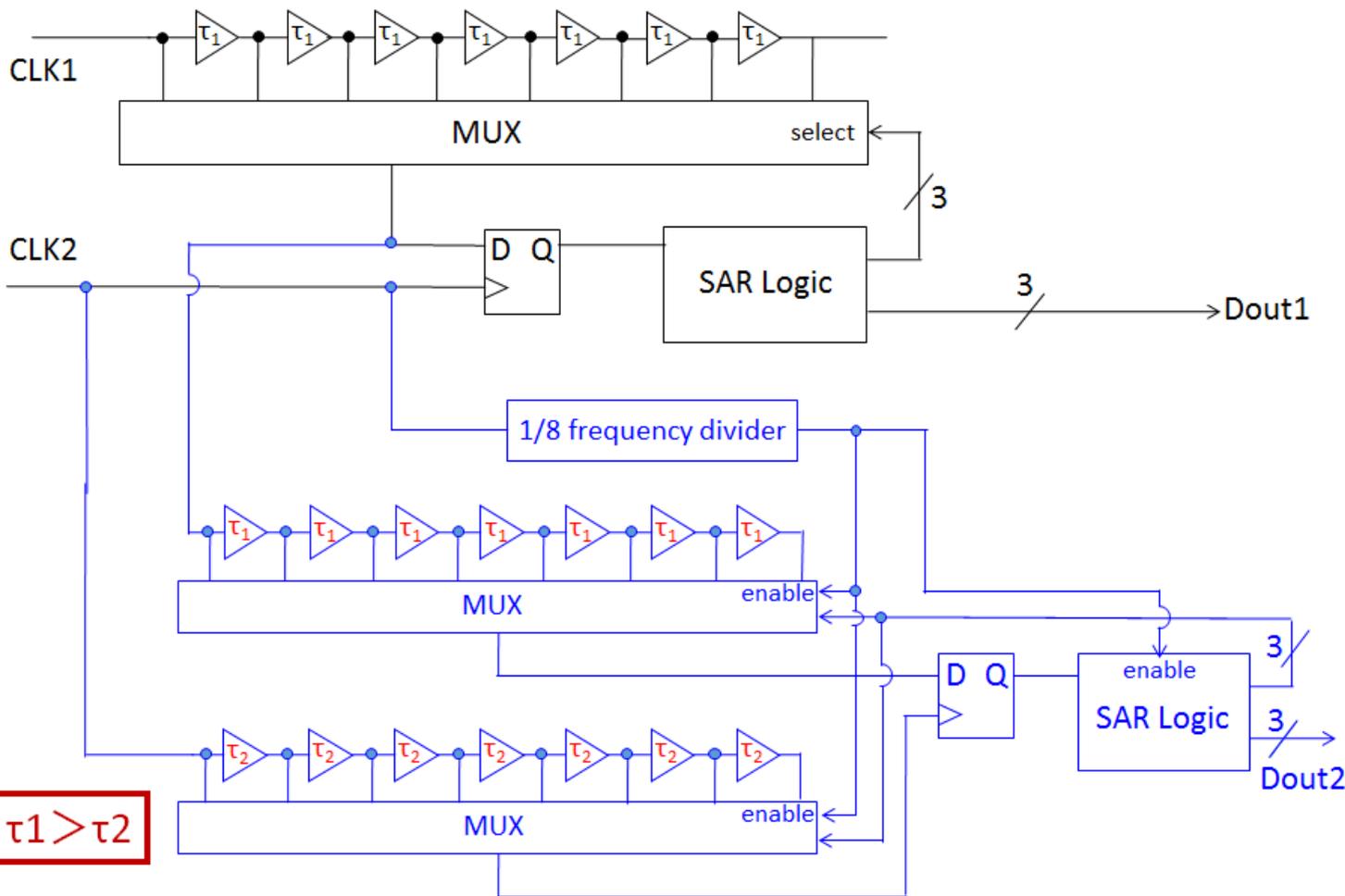
時間差の
小数部分

3bit SAR TDCの構成



ステップ1 :
SAR TDC
時間分解能: τ_1

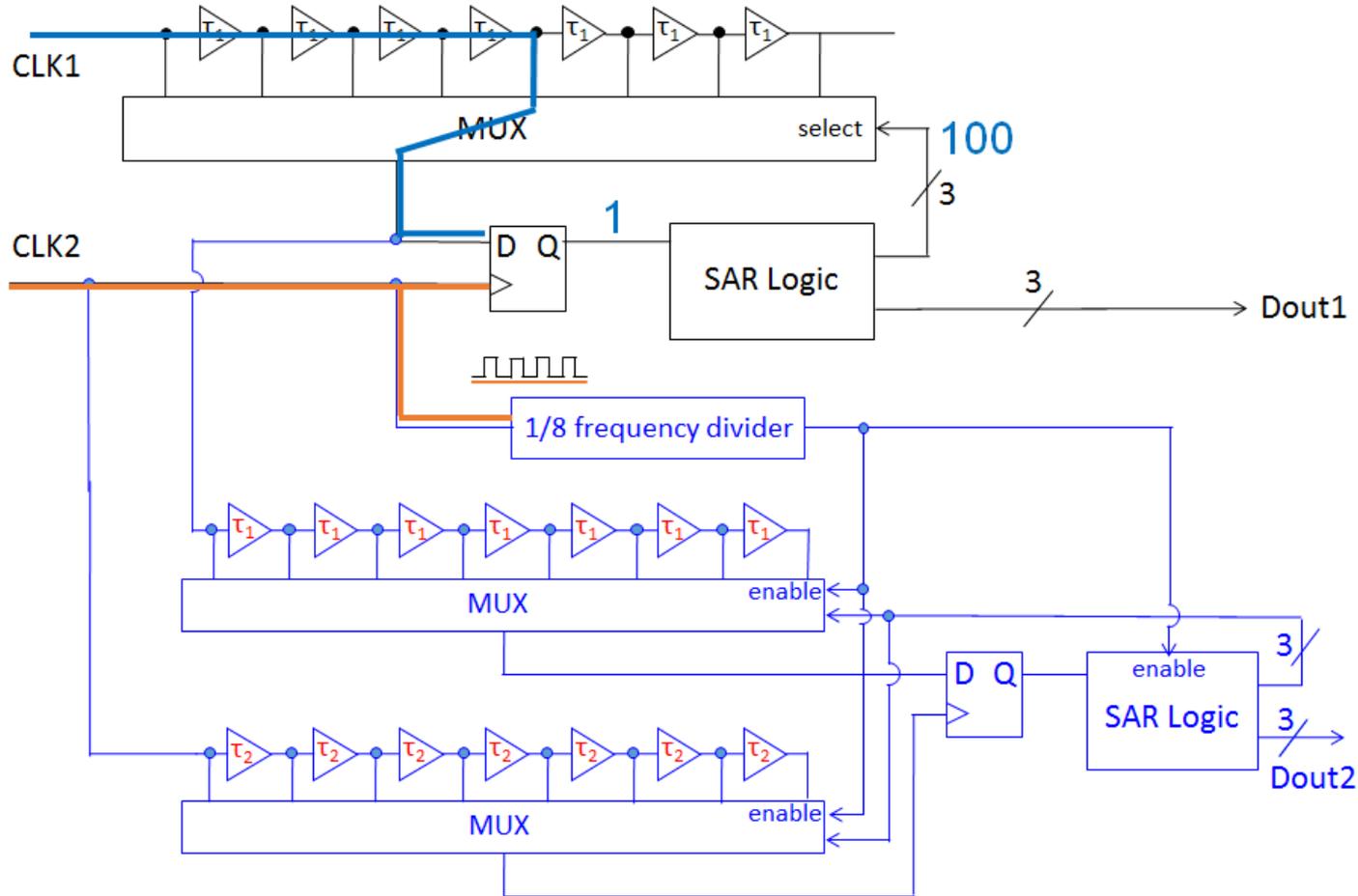
3bit SAR + 3bit SAR-Vernier TDCの構成



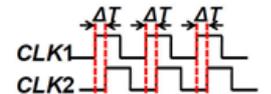
ステップ1 :
SAR TDC
時間分解能: τ_1

ステップ2 :
SAR-Vernier TDC
時間分解能: $\tau_1 - \tau_2$

3bit SAR+3bit SAR-Vernier TDCの動作①



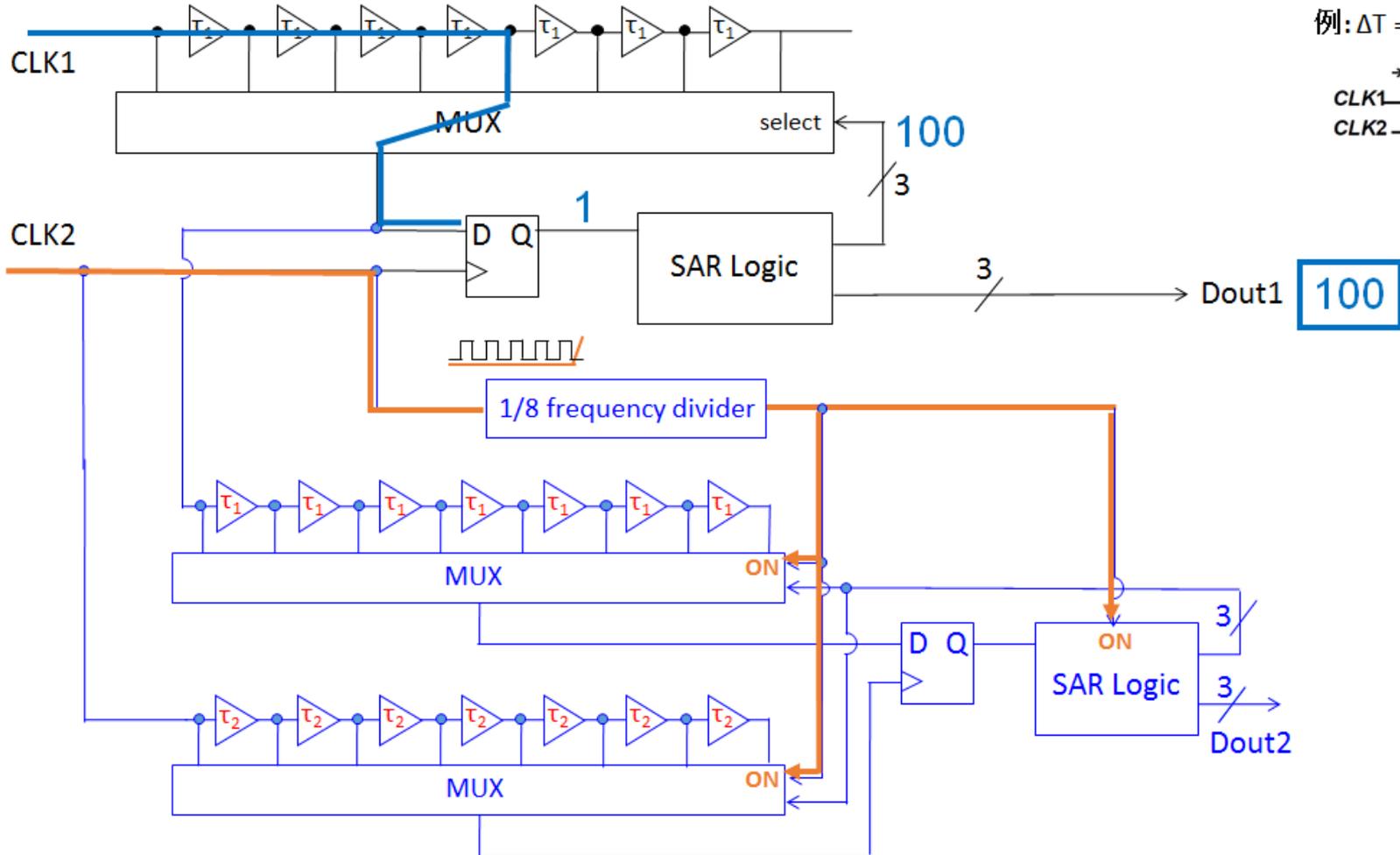
例: $\Delta T = 4.3 \tau_1$ の場合



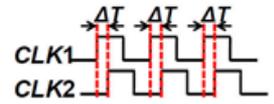
Dout1を得る

100

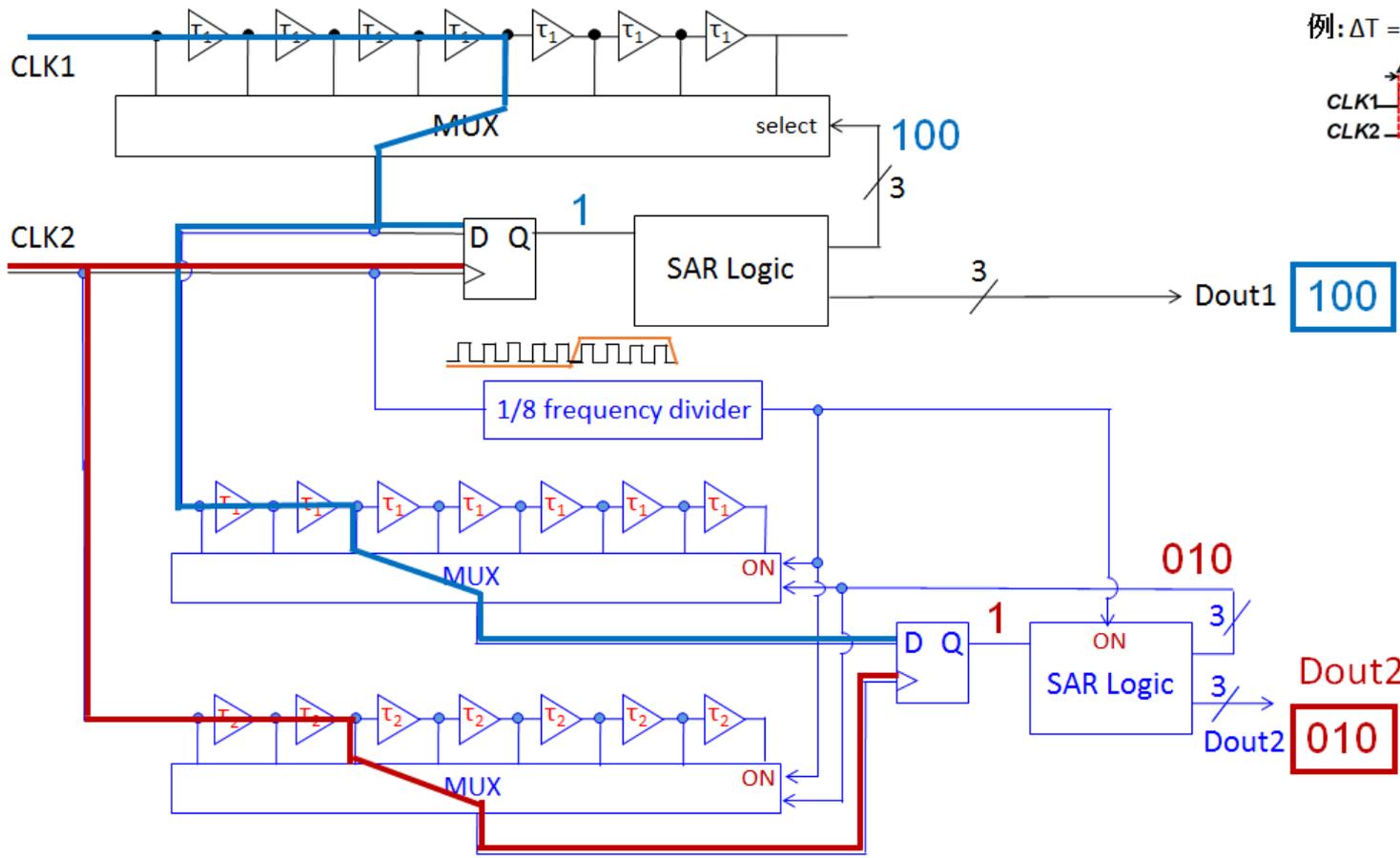
3bit SAR + 3bit SAR-Vernier TDCの動作②



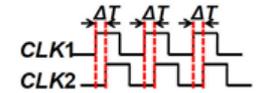
例: $\Delta T = 4.3 \tau_1$ の場合



3bit SAR+3bit SAR-Vernier TDCの動作③



例: $\Delta T = 4.3 \tau_1$ の場合



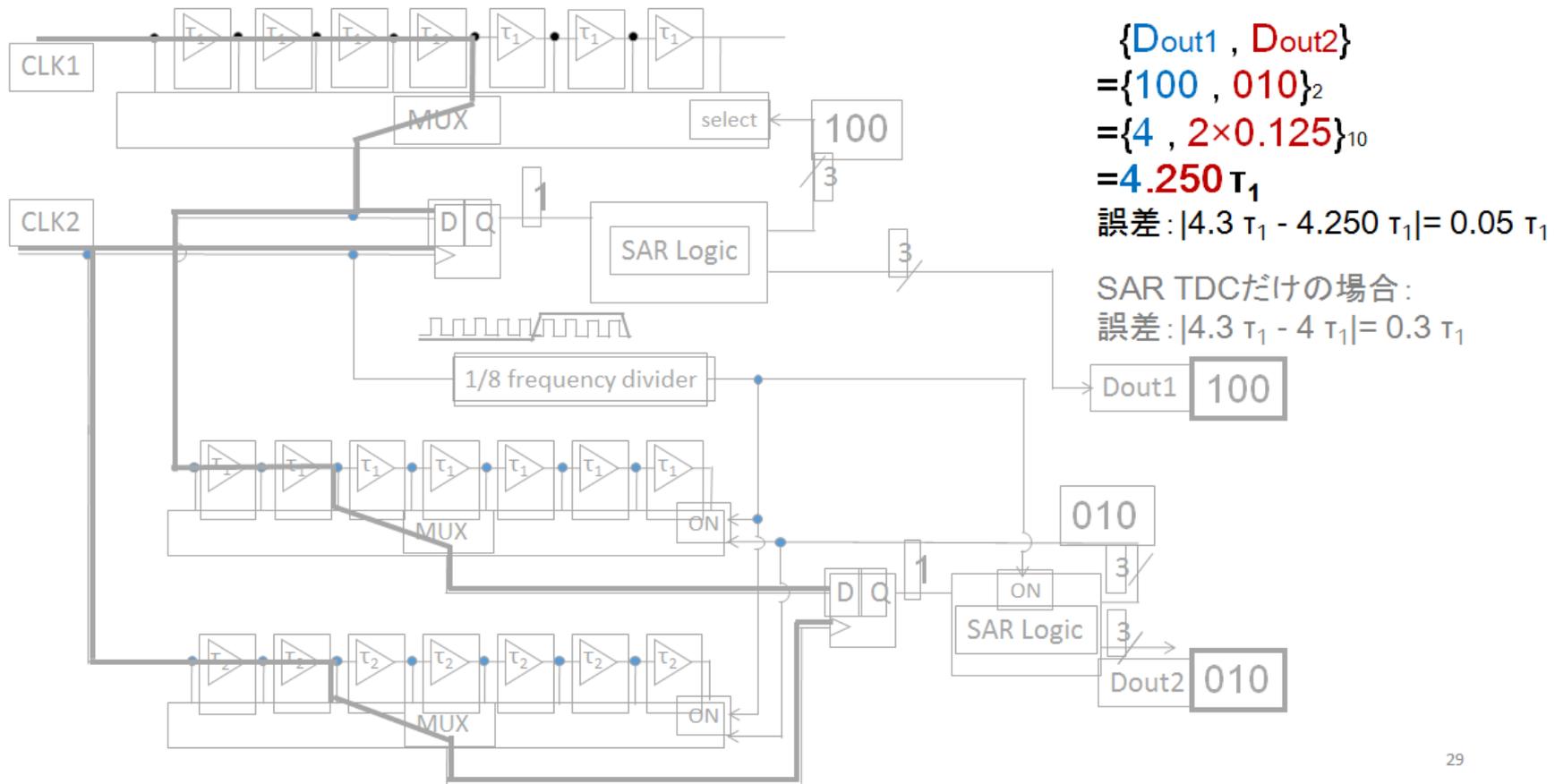
Dout1 **100**

010

Dout2を得る

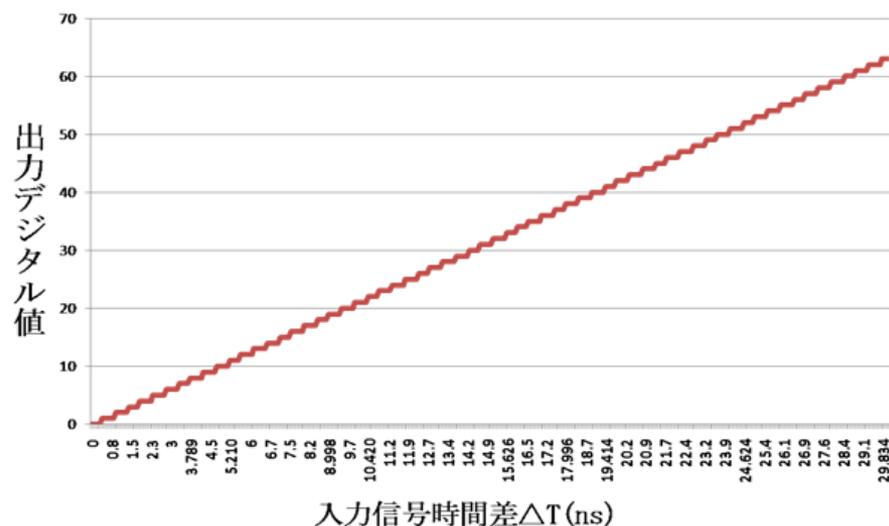
Dout2 **010**

3bit SAR + 3bit SAR-Vernier TDCの出力



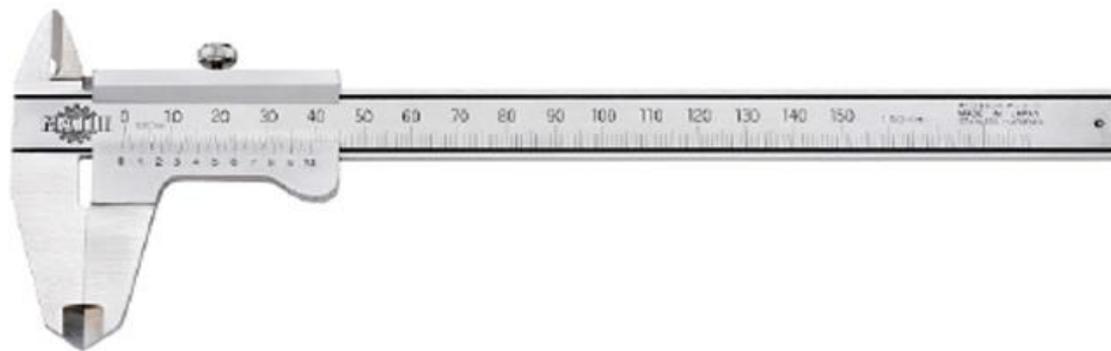
Xilinx ISEでシミュレーション結果

提案回路を0 ~ 30.30nsの時間差範囲で
0.474nsの最小時間分解能の計測



時間差(ns)	Dout1	Dout2	時間差(ns)	Dout1	Dout2
0	000	000	15.153	100	000
0.474	000	001	15.626	100	001
0.948	000	010	16.100	100	010
1.422	000	011	16.574	100	011
1.896	000	100	17.048	100	100
2.370	000	101	17.522	100	101
2.844	000	110	17.996	100	110
3.318	000	111	18.470	100	111
3.789	001	000	18.941	101	000
4.262	001	001	19.414	101	001
4.736	001	010	19.888	101	010
5.210	001	011	20.362	101	011
5.684	001	100	20.836	101	100
6.158	001	101	21.310	101	101
6.632	001	110	21.784	101	110
7.106	001	111	22.258	101	111
7.577	010	000	22.729	110	000
8.050	010	001	23.202	110	001
8.524	010	010	23.676	110	010
8.998	010	011	24.150	110	011
9.472	010	100	24.624	110	100
9.946	010	101	25.098	110	101
10.420	010	110	25.572	110	110
10.894	010	111	26.046	110	111
11.365	011	000	26.517	111	000
11.838	011	001	26.990	111	001
12.312	011	010	27.464	111	010
12.786	011	011	27.938	111	011
13.260	011	100	28.412	111	100
13.734	011	101	28.886	111	101
14.208	011	110	29.360	111	110
14.682	011	111	29.834	111	111

バーニヤ とは
ノギス等に付随して最小目盛以下の数値を
読み取る補助をするもの



発明者



フランスの数学者

測定装置の発明者

スペイン王の軍人になり、
オルナンの城主になった後、
顧問官および財務長官に。

*"La construction, l'usage, et les
proprietes du quadrant nouveau de
mathematiques"*

1631年 ブリュッセルにて著
副尺について記述。

ピエール・ヴェルニエ

Pierre Vernier

(1580.9.19 - 1637.9.14)

発表内容

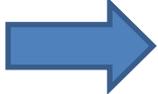
- 時間デジタイザ回路の研究背景
- 時間デジタイザ回路のLSIテスト技術へ応用
- 研究開発してきた時間デジタイザ回路
 - フラッシュ型
 - Gray code 型
 - 逐次比較近似型
 - **デルタシグマ型**
- 考察とまとめ

研究開発してきた 4つの時間デジタイザ回路

	測定対象	測定時間	測定時間分解能	回路規模	FPGA実現
フラッシュ型	単発クロック	短	粗	大	デジタル
Gray code型	単発クロック	短	粗	小	デジタル
逐次比較近似型	繰り返しクロック	中	中	小	デジタル
$\Delta\Sigma$ 型	繰り返しクロック	長	細	小	アナログ

$\Delta\Sigma$ 変調は**日本発**の技術

1960年 **安田靖彦先生**(当時 東大大学院生
現 東大・早稲田大学名誉教授)が考案。

- 近年の集積回路技術の進展に適した方式
  活発に研究・開発、実用化。
- ◆ AD/DA変換器、完全デジタルPLL回路
 時間デジタイザ回路等幅広く応用。
- ◆ 性能向上が著しい

発明者の安田靖彦先生に偶然にお会いする

2011年11月29日(火)
於 スウェーデン大使館

新津葵一先生
エリクソン・ヤング・
サイエンティスト・アワード
受賞式 懇親会にて

安田先生は
審査員のお一人



新津先生



安田先生

$\Delta\Sigma$ か $\Sigma\Delta$ か

$\Delta\Sigma$ (デルタシグマ) 安田靖彦先生の主張

$\Sigma\Delta$ (シグマデルタ) IEEE の論文

$\Delta\Sigma$ or $\Sigma\Delta$? That is a question.
発明者の安田先生にしたがい

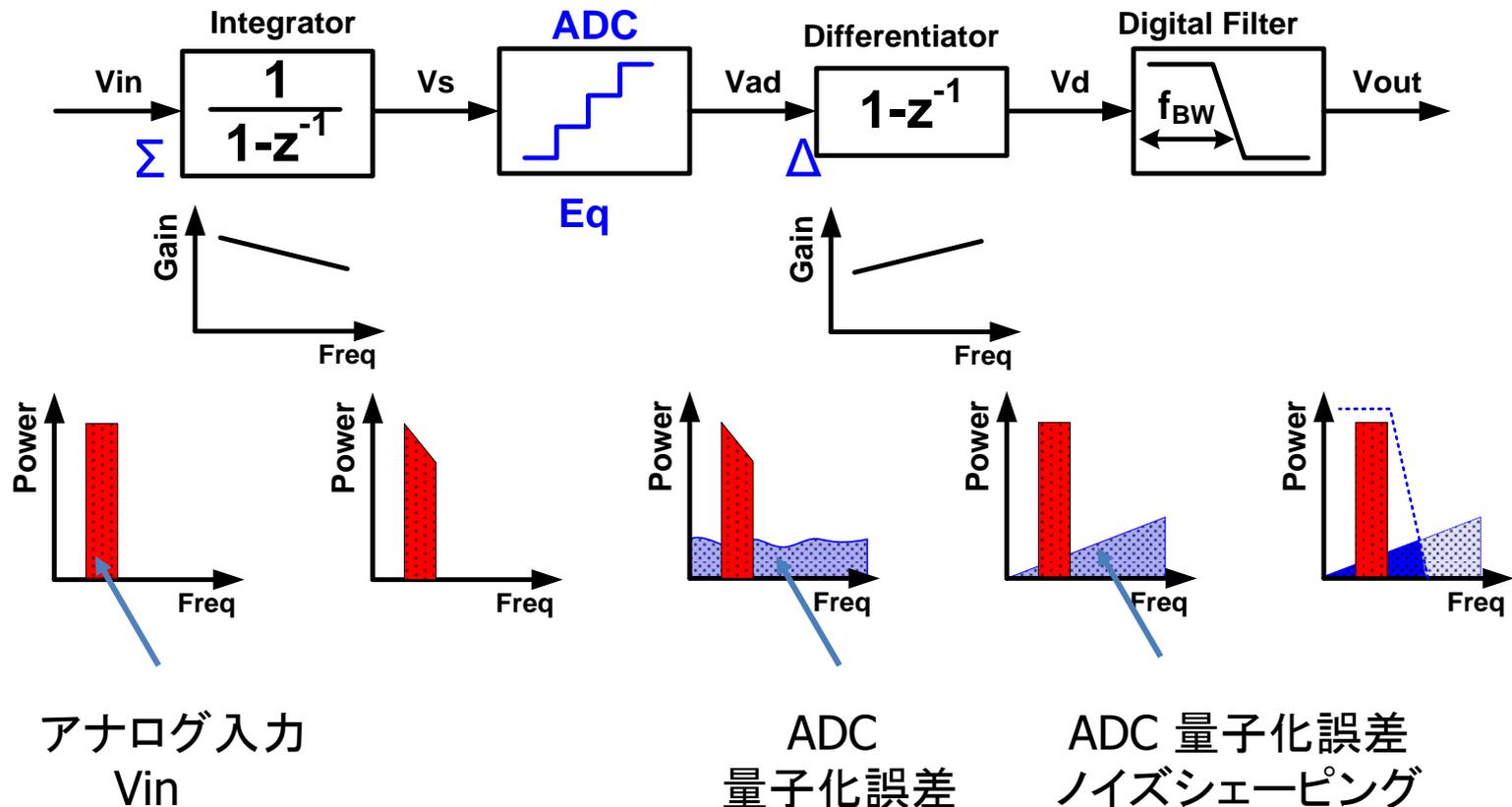
$\Delta\Sigma$



Hamlet

$\Delta\Sigma$ AD変調器の構成

入力を積分してから Δ 変調

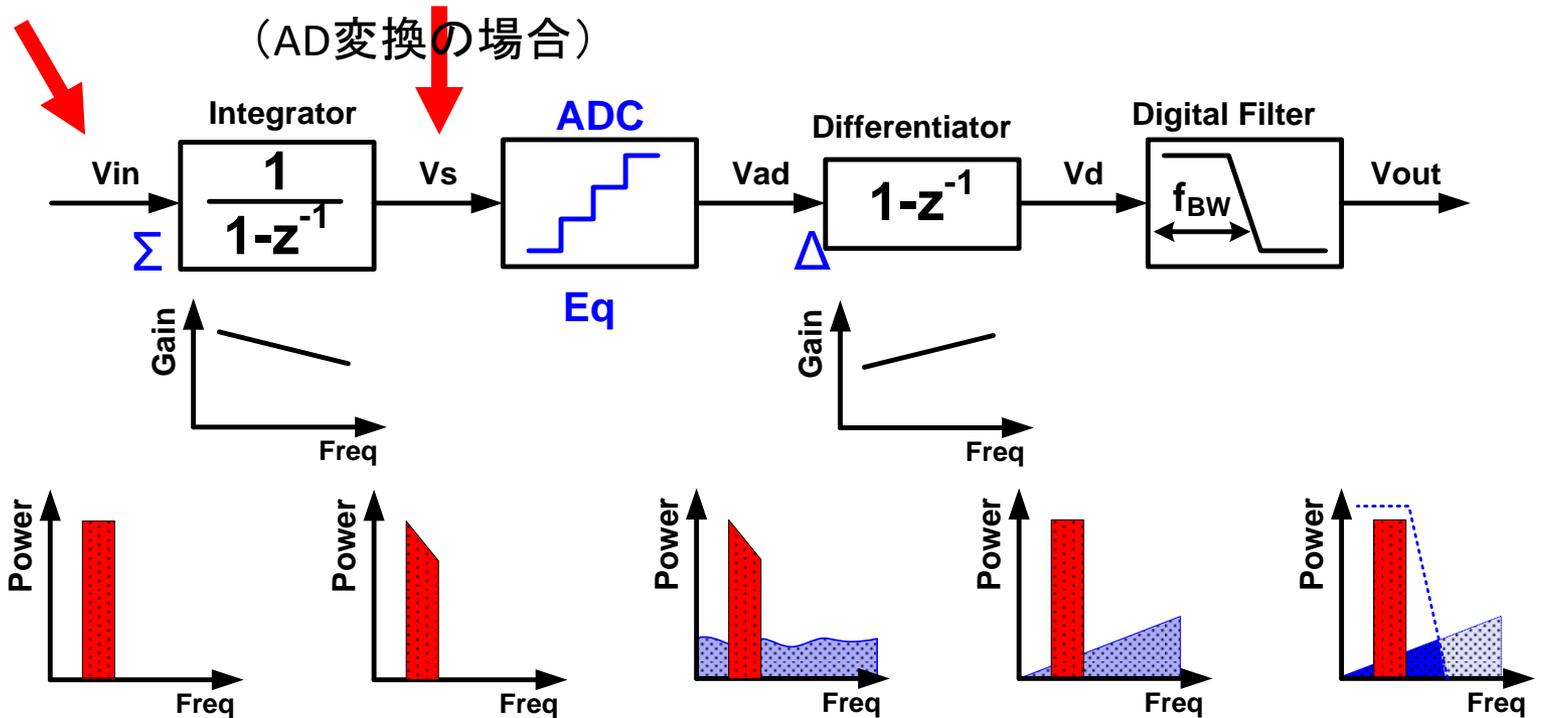


$\Delta\Sigma$ AD 変調器の構成

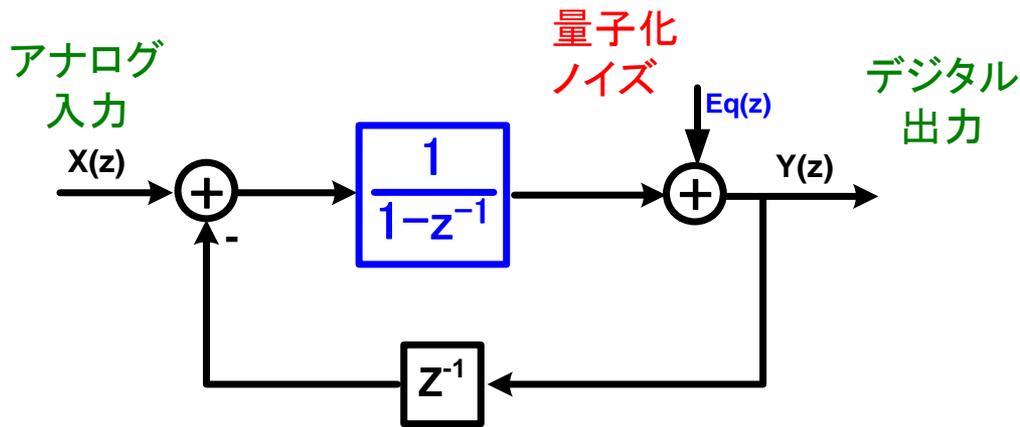
直接は実現できない

DC入力の場合

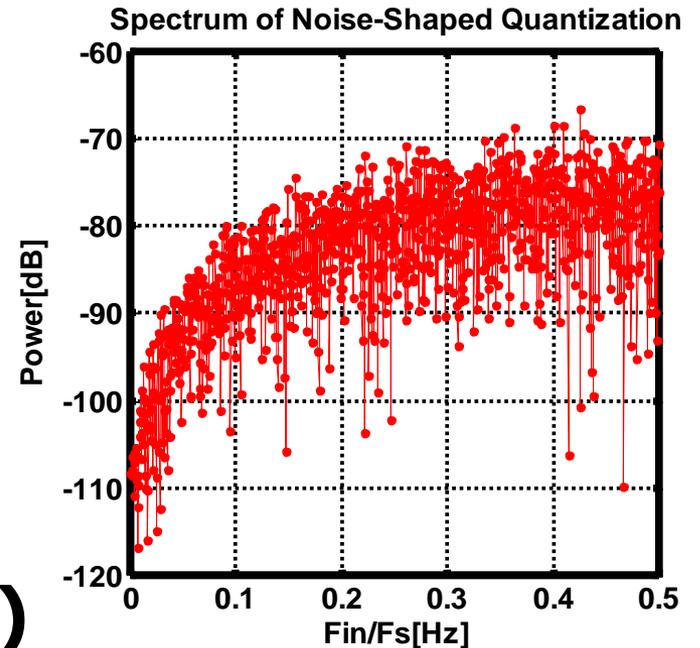
無限大になってしまう



$\Delta\Sigma$ AD変調の等価実現



$$Y(z) = X(z) + (1 - z^{-1}) \cdot Eq(z)$$



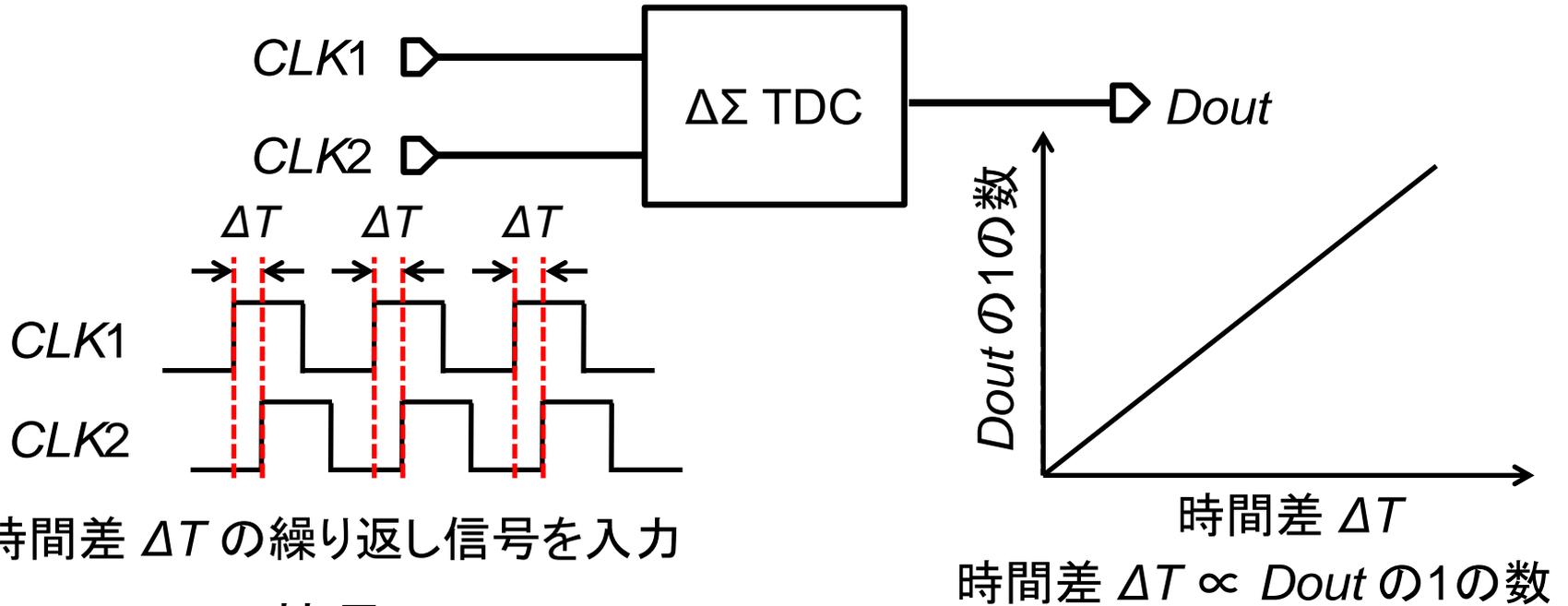
量子化ノイズを高域に移し、帯域内ノイズを低減

$\Delta\Sigma$ TDCについて

繰り返し信号の時間差 ΔT の測定



デルタシグマ型TDC ($\Delta\Sigma$ TDC)



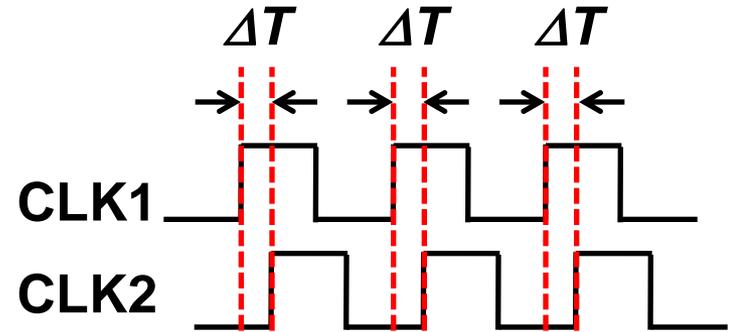
$\Delta\Sigma$ TDCの特長

- 簡単な回路構成で回路量が少ない
- 高線形性
- 測定時間に比例して時間分解能が向上

米国
オレゴン州立大学
による発明



繰り返しクロックの時間差： ΔT



ΔT がDoutのパルス"1"の個数に比例

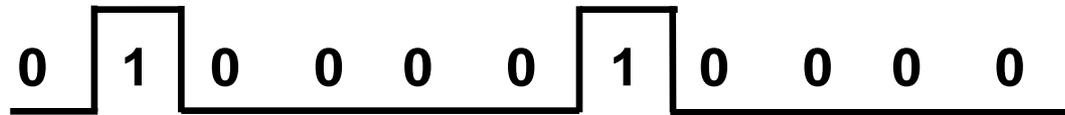
ΔT

1の数

Dout

小

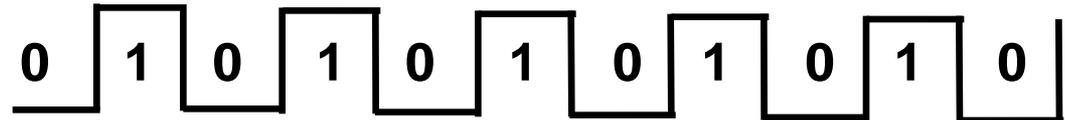
少



中

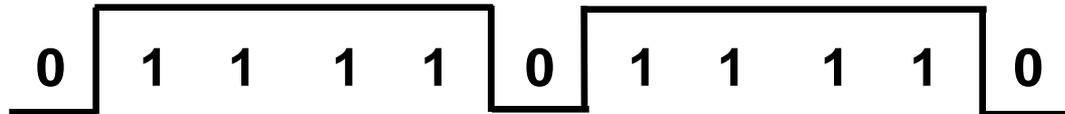


中

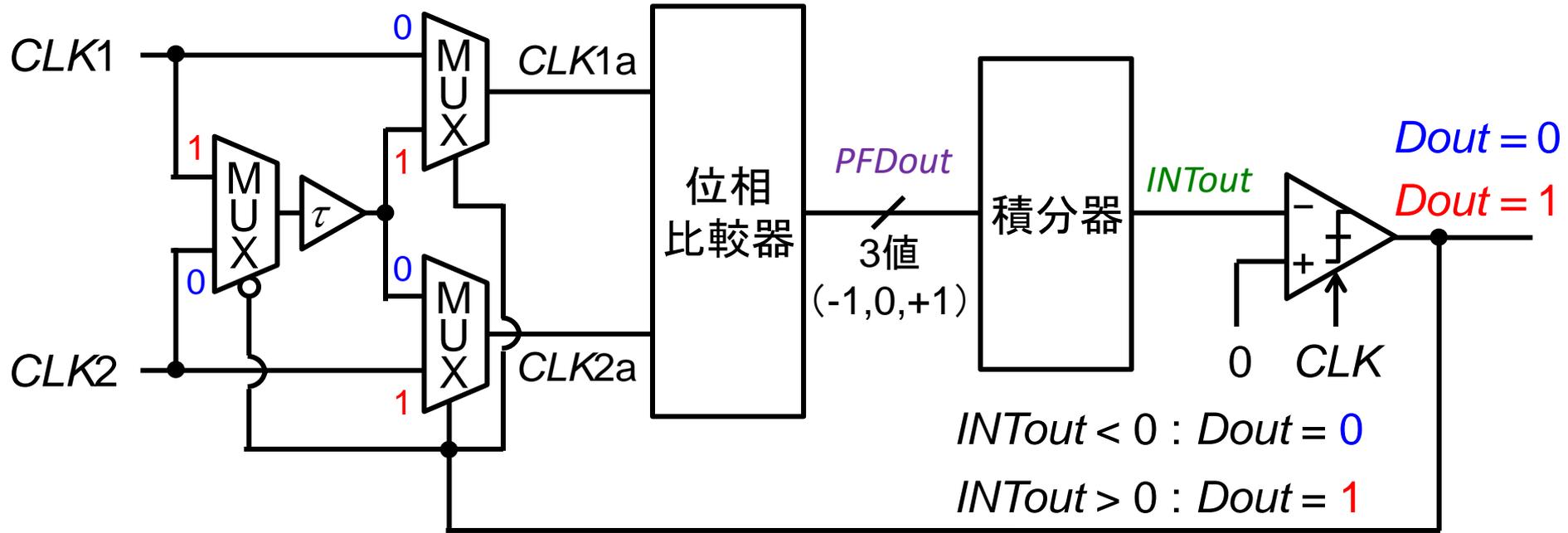


大

多



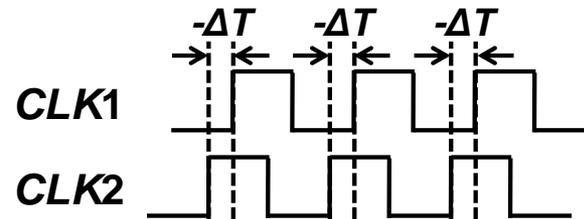
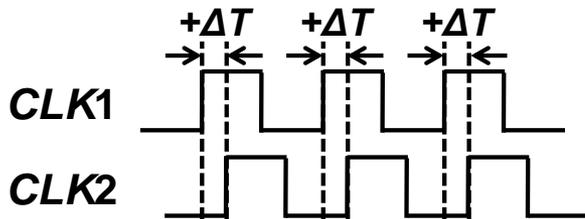
ΔΣ TDCの構成

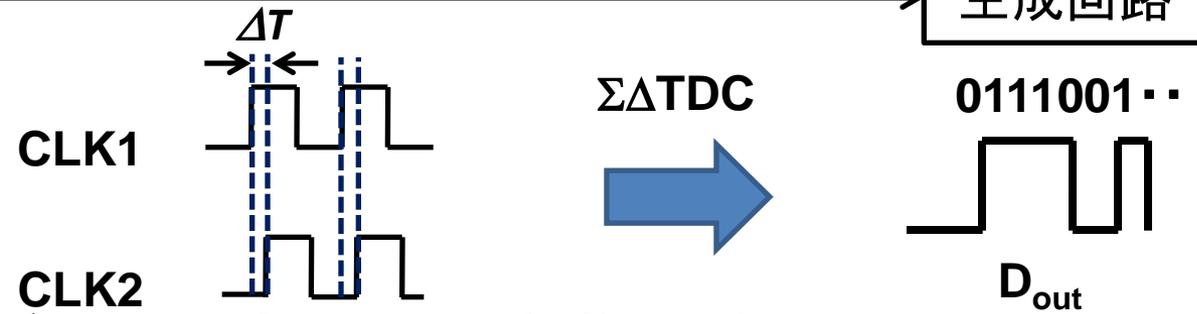
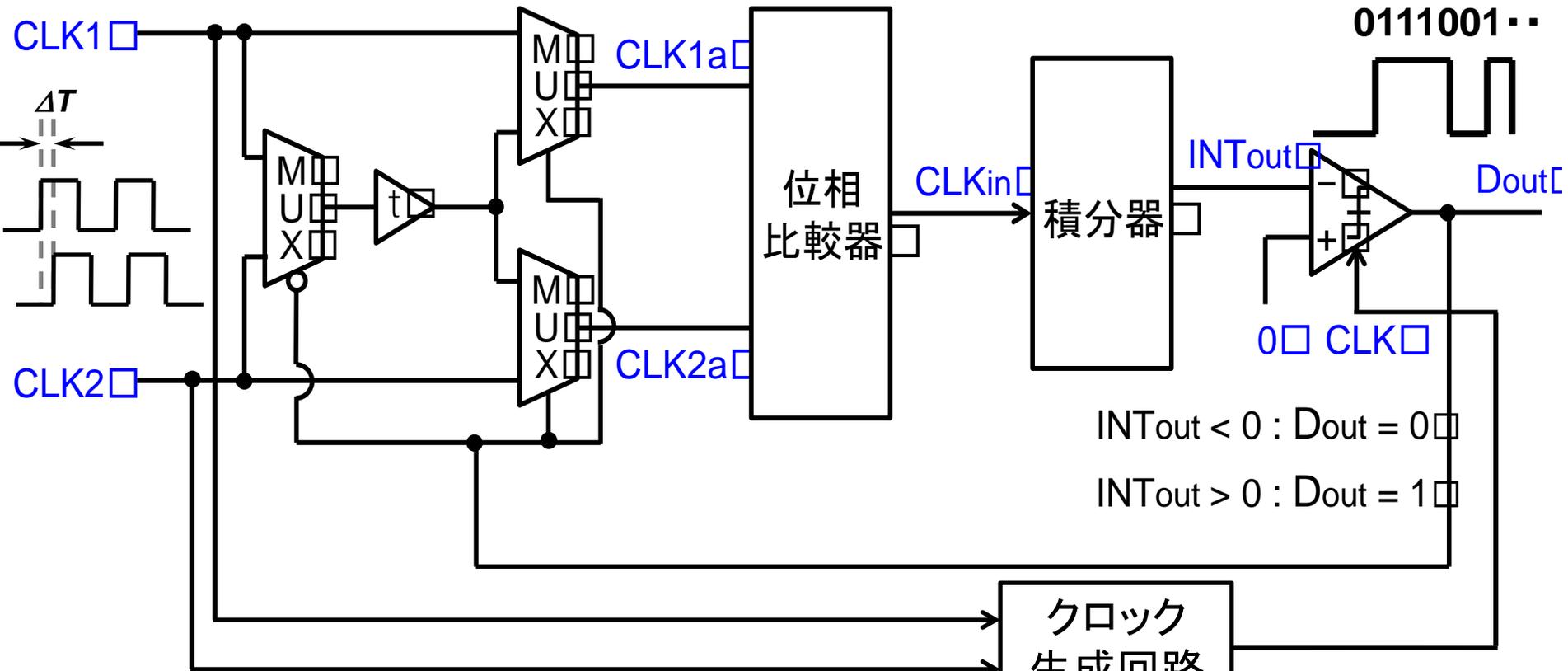


デレイライン, 位相比較器, 積分器, コンパレータによって構成

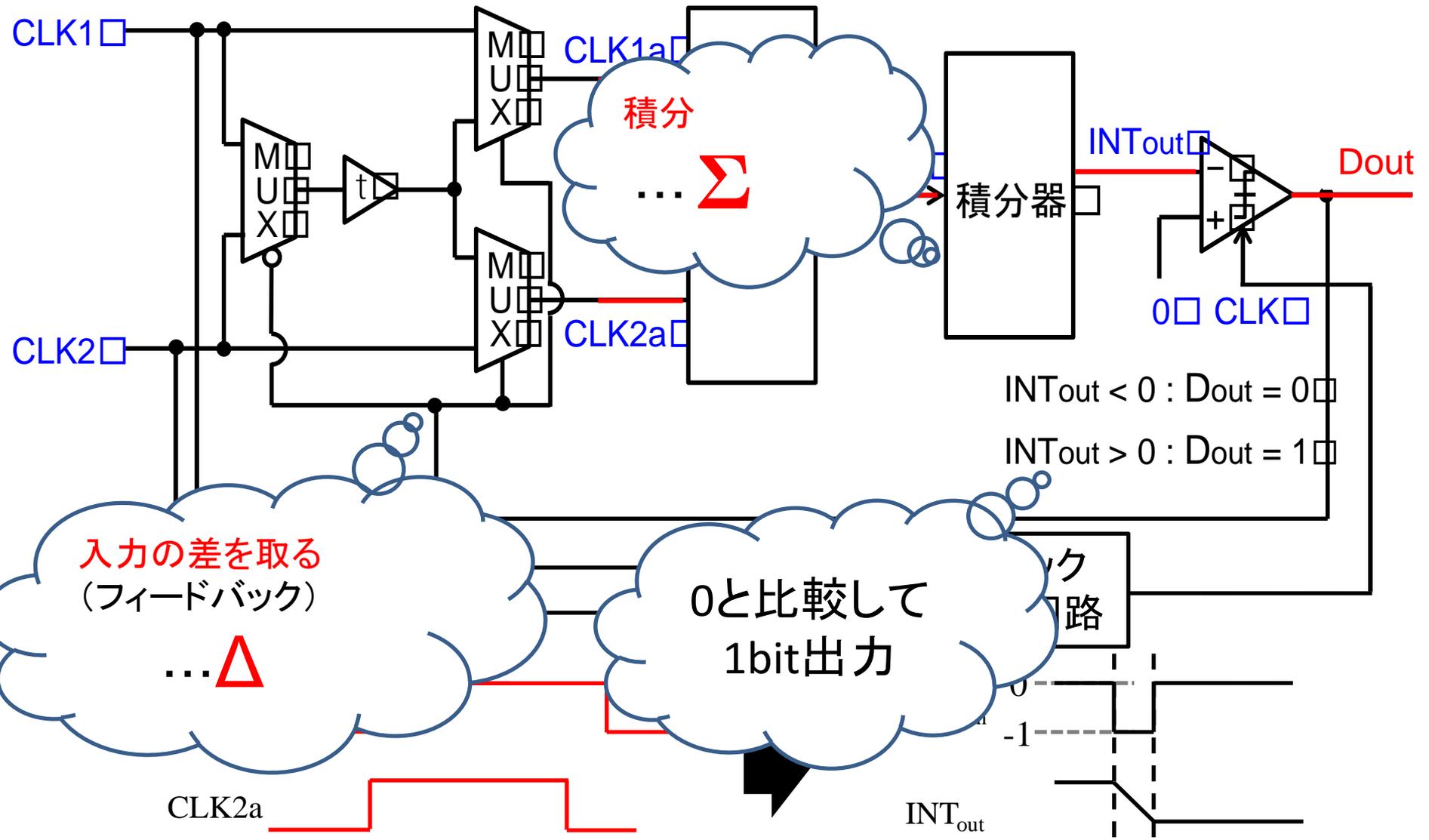
時間分解能 : $\frac{2\tau}{Doutの全体の数N_{DATA} (0と1の合計)}$

測定可能範囲 : $-\tau < \Delta T < +\tau$





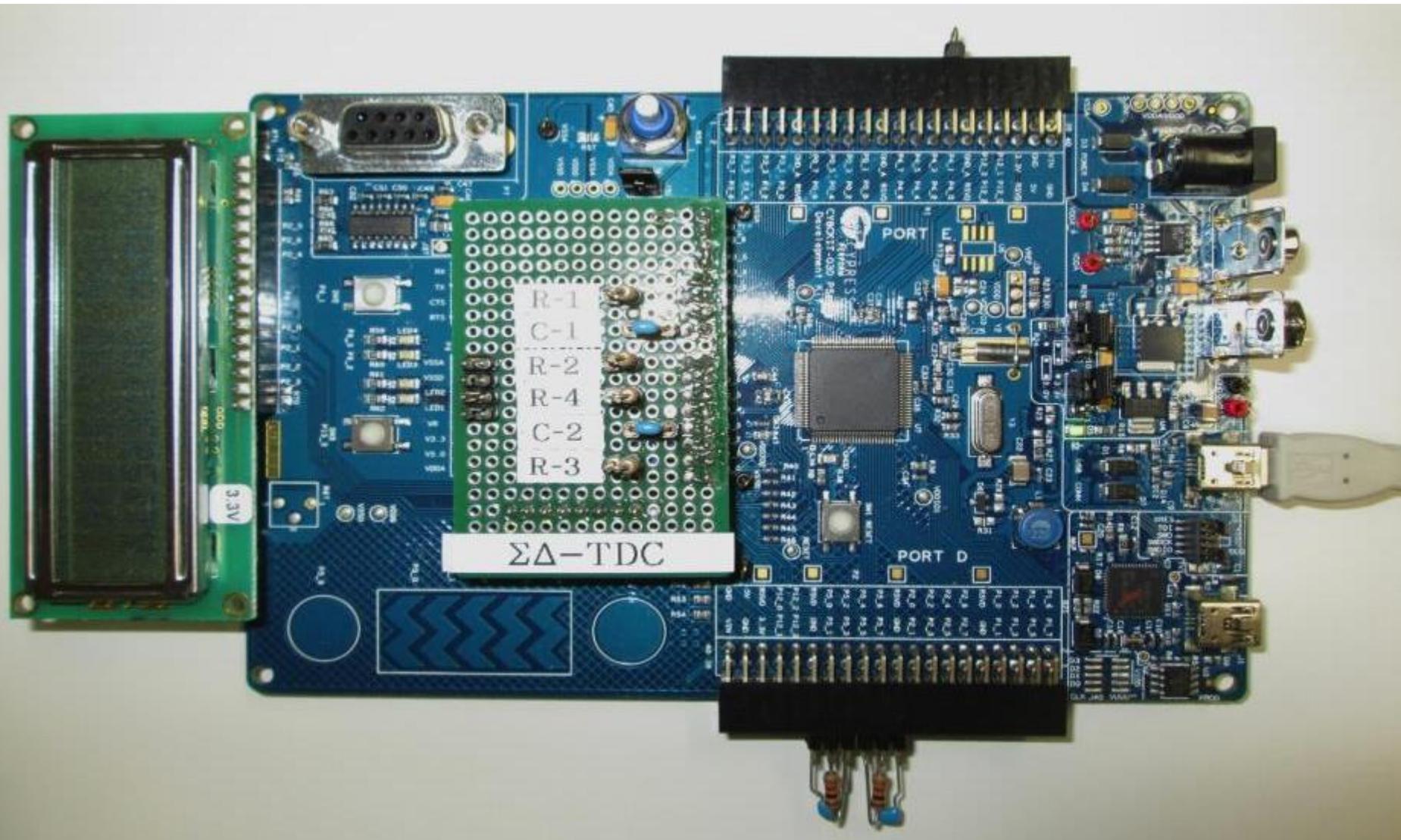
- ΔT がDoutのパルス"1"の個数に比例
- 測定可能範囲 : $-\tau < \Delta T < \tau$



INTout < 0 : Dout = 0
 INTout > 0 : Dout = 1

- 位相差 CLK_{in} を出力
- 比較器で INT_{out} を 0 と比較し、出力 D_{out} を得る → 次のクロックでの経路を制御

$\Delta\Sigma$ TDCを実装したPSoC



発表内容

- 時間デジタイザ回路の研究背景
- 時間デジタイザ回路のLSIテスト技術へ応用
- 研究開発してきた時間デジタイザ回路
 - フラッシュ型
 - Gray code 型
 - 逐次比較近似型
 - デルタシグマ型
- 考察とまとめ

TDCのBOST利用の可能性

- TDC回路はFPGAで実現できる
ADC はFPGA実現できない
- TDCのFPGA実現は
「破壊的イノベーション」になる(?)
集積回路分野の研究者
フルカスタムIC重視
FPGAに関心少ない傾向

Time continues indefinitely.



Time is *GOLD* !!

TDC is a key.

