

# 改良永田穰電流ミラー回路の設計ガイドライン

平野 蘭<sup>†</sup> 築地 伸和 小林 春夫

群馬大学大学院 理工学府 電子情報部門 〒376-8515 群馬県桐生市天神町 1-5-1

E-mail: <sup>†</sup> t12306061@gunma-u.ac.jp <sup>‡</sup> koba@gunma-u.ac.jp

**あらまし** 本論文で提案する改良永田穰電流ミラー回路は、小チップ面積で広い範囲の電源電圧変動によらず一定の電流を供給する、電源チップ等に用いる簡易な基準電流源を目的としている。永田穰氏により提案されたオリジナル永田穰電流ミラー回路を改良し、複数の異なるピークを持つ構成にし、定電流源を電源電圧と抵抗で実現し電源電圧変動によらず一定の出力電流を得る。そのMOS回路による理論解析、SPICEシミュレーション、設計ガイドラインを報告する。

**キーワード** 基準電流源、永田穰電流ミラー回路、ピーキング電流ミラー回路、電源電圧変動、設計ガイドライン

## 1. 永田穰電流ミラー回路

### 1.1. 永田穰電流ミラー回路の構成と特性

永田穰電流ミラー回路 [1,2] の構成を図1に示す。この回路は入力電流 $I_{IN}$ に対して出力電流 $I_{OUT}$ がピークを持つ。その理由は次のようになる。入力電流 $I_{IN}$ が小さな値から増加すると追従して出力電流 $I_{OUT}$ も増加していく。入力電流 $I_{IN}$ がある値以上に増加すると、抵抗 $R$ での電圧降下 $RI_{IN}$ が発生する。これにより $M_1$ のゲート-ソース間電圧 $V_{GS1}$ よりも $M_2$ のゲート-ソース間電圧 $V_{GS2}$ が減少して、 $M_2$ のドレイン電流 $I_{OUT}$ が減少していく。

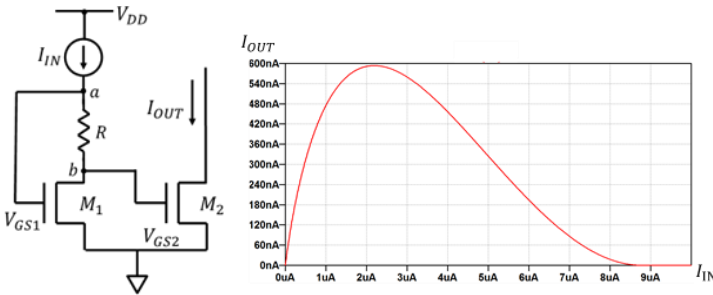
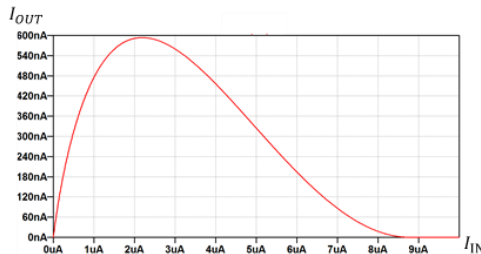


図1 永田穰電流ミラー回路

図2 図1の $I_{IN} - I_{OUT}$ 特性



### 1.2. 永田穰電流ミラー回路の動作解析

図1でノードa $\rightarrow V_{GS1} \rightarrow V_{GS2} \rightarrow$ ノードb $\rightarrow$ 抵抗 $R \rightarrow$ ノードaの経路で考えると、キルヒホッフの電圧則より次が得られる。

$$V_{GS1} - RI_{IN} - V_{GS2} = 0 \quad (1)$$

図1の $M_1$ 、 $M_2$ のドレイン電流 $I_{IN}$ 、 $I_{OUT}$ はMOSFETの飽和領域での電流式より以下の(2)、(3)のように表せる。

$$I_{IN} = K_1(V_{GS1} - V_{TH})^2(1 + \lambda V_{DS1}) \quad (2)$$

$$I_{OUT} = K_2(V_{GS2} - V_{TH})^2(1 + \lambda V_{DS2}) \quad (3)$$

このときの $K_1$ 、 $K_2$ は以下のように表せる。

$$K_1 = \frac{1}{2} \mu C_{OX} \left( \frac{W}{L} \right)_1 \quad (4)$$

$$K_2 = \frac{1}{2} \mu C_{OX} \left( \frac{W}{L} \right)_2 \quad (5)$$

$\mu$  : 電子の移動度,  $C_{ox}$  : ゲート酸化膜の容量,

$W$  : MOSFETの幅,  $L$  : MOSFETのゲート長

(2), (3)式より $V_{GS1}$ 、 $V_{GS2}$ はそれぞれ次式で表せる。

$$V_{GS1} = \sqrt{\frac{I_{IN}}{K_1(1 + \lambda V_{DS1})}} + V_{TH} \quad (6)$$

$$V_{GS2} = \sqrt{\frac{I_{OUT}}{K_2(1 + \lambda V_{DS2})}} + V_{TH} \quad (7)$$

(1), (6)式を(3)式に代入し、 $I_{OUT}$ について解く。

$$I_{OUT} = K_2(V_{GS1} - RI_{IN} - V_{TH})^2(1 + \lambda V_{DS2})$$

$$= K_2 \left( \sqrt{\frac{I_{IN}}{K_1(1 + \lambda V_{DS1})}} - RI_{IN} \right)^2 (1 + \lambda V_{DS2})$$

$$= K_2 I_{IN} R^2 \left[ \sqrt{I_{IN}} - \frac{1}{R \sqrt{K_1(1 + \lambda V_{DS1})}} \right]^2 (1 + \lambda V_{DS2})$$

次に、永田穰電流ミラー回路の入出力電流特性の極値を求める。(8)式の $I_{IN}$ に対する一階微分は次のようになる。

$$\frac{dI_{OUT}}{dI_{IN}} = K_2 R^2 (1 + \lambda V_{DS2}) \left( \sqrt{I_{IN}} - \frac{1}{R \sqrt{K_1(1 + \lambda V_{DS1})}} \right) \times \left( 2\sqrt{I_{IN}} - \frac{1}{R \sqrt{K_1(1 + \lambda V_{DS1})}} \right) \quad (9)$$

$I_{OUT}$ を最大とする $I_{IN}$ を求めるため $\frac{dI_{OUT}}{dI_{IN}} = 0$ を解く。

$$I_{IN} = \frac{1}{R^2 K_1 (1 + \lambda V_{DS1})}, \quad \frac{1}{4R^2 K_1 (1 + \lambda V_{DS1})} \quad (10)$$

$I_{IN} = \frac{1}{R^2 K_1 (1 + \lambda V_{DS1})}$ を(8)式に代入すると、 $I_{OUT} = 0$ となり、この解は $I_{OUT}$ を最大値とする $I_{IN}$ として適切である。したがって、

$I_{IN} = \frac{1}{4R^2 K_1 (1 + \lambda V_{DS1})}$ で $I_{OUT}$ は最大値(ピーク)をもつ。

$I_{IN} = \frac{1}{4R^2 K_1 (1 + \lambda V_{DS1})}$ を(8)式に代入し、ピークの出力電流の大きさを求めると、次のようになる。

$$I_{OUT} = \frac{(W/L)_2}{4(W/L)_1} \frac{1}{4R^2 K_1} \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} \quad (11)$$

永田穰電流ミラー回路の特性は図2のようになる。この特性からわかるように、永田穰電流ミラー回路は入力電流に対して出力電流がピークを持つ構成となっている。入力電流を電源電圧と抵抗で実現すると電源電圧（すなわち入力電流）の変動に対する出力電流の変動が一定となる範囲が狭い。

## 2. 改良永田穰電流ミラー回路

文献[3, 4, 5]に永田穰電流ミラー回路の改良回路が提案されているが、筆者らはそれらをベースにさらに改良し[6,7], この論文ではその設計ガイドラインを記す。

### 2.1. 改良回路と動作原理

図3にMOS永田穰電流ミラー回路を改良した基準電流源を示す[6,7]。この回路は複数のMOS永田穰電流ミラー回路を用いて異なるピークを持ちその電流の和をとる構成で、電源電圧（入力電流 $I_{IN}$ ）が変動しても一定電流 $I_{OUT\_total}$ を出力できる。

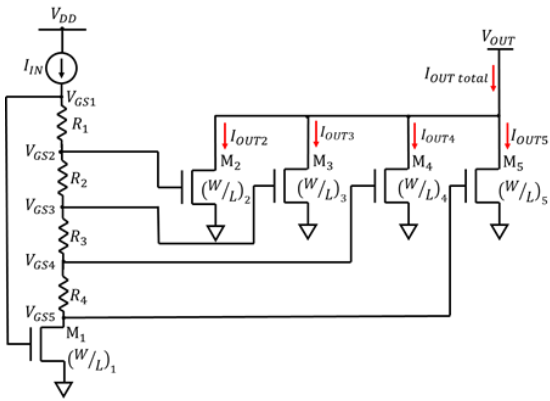


図3 改良永田穰電流ミラー回路

ここで、図3の回路の動作原理を示す。1.2節で説明した永田穰電流ミラー回路と同様に、キルヒホッフの電圧則より、次の関係が得られる。

$$V_{GSn} = V_{GS1} - R'_{n-1} I_{IN} \quad (12)$$

$$(n=2,3,4,5, \quad R'_{n-1} = R_1 + R_2 + \dots + R_{n-1})$$

図3の $M_1$ とその他のMOSに流れる電流 $I_{IN}$ ,  $I_{OUTn}$ はMOSの飽和領域での電流式より、以下の(13), (14)式のように表せる。

$$I_{IN} = K_1 (V_{GS1} - V_{TH})^2 (1 + \lambda V_{DS1}) \quad (13)$$

$$I_{OUTn} = K_n (V_{GSn} - V_{TH})^2 (1 + \lambda V_{DSn}) \quad (14)$$

(13), (14)式より、 $V_{GS1}$ ,  $V_{GSn}$ は次のようになる。

$$V_{GS1} = \sqrt{\frac{I_{IN}}{K_1 (1 + \lambda V_{DS1})}} + V_{TH} \quad (15)$$

$$V_{GSn} = \sqrt{\frac{I_{OUTn}}{K_n (1 + \lambda V_{DSn})}} + V_{TH} \quad (16)$$

以下、1.2節と同様に解析していく。その結果、提案回路でのピークの位置は(17)式、ピークの出力電流の大きさは(18)式となる。

$$I_{IN} = \frac{1}{4R'^2_{n-1} K_1 (1 + \lambda V_{DS1})} \quad (17)$$

$$I_{OUTn} = \frac{(W/L)_n}{4(W/L)_1} \frac{1}{4R'^2_{n-1} K_1} \frac{(1 + \lambda V_{DSn})}{(1 + \lambda V_{DS1})} \quad (18)$$

以上のことから、抵抗値の大きさ、MOSの幅、長さを変更することにより $I_{OUTn}$ のピークをとる $I_{IN}$ の値と、そのときの出力電流 $I_{OUTn}$ の大きさを変更できる。

MOS永田穰電流ミラー回路を用いた基準電流源の入出力特性は図4のようになる。(TSMC 0.18 $\mu$ mパラメータを用いたLTSpiceシミュレーション結果である。)複数のピークを足し合わせることで、広い入力電流範囲に対して総出力電流 $I_{OUT\_total}$ をほぼ一定とすることができる。

今回のシミュレーション回路では、4つのピークを用いて出力電流を一定としたが、ピークの数に4つに限定されない。ピークの数や抵抗値、L、Wの値は設計の自由度になる。

また実際の回路では定電流源 $I_{IN}$ は電源 $V_{DD}$ に接続した抵抗等で実現する。

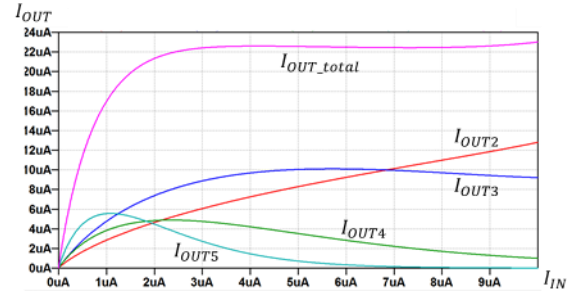


図4 MOS改良永田穰電流ミラー回路の $I_{IN}$ - $I_{OUT}$ 特性

## 3. 設計ガイドライン

この章では提案回路でMOSを用いた場合、出力電流の入力電流に対するピークの傾き、立上り点・ピーク点・終着点の比に着目し、並列のMOSの個数、抵抗値、各MOSのサイズ(W/L)の設計指針を記述する。ここではチャネル長変調効果を考慮していない基本的なもので検討した。この設計指針にしたがって各パラメータの値を最適値近くに設定した後、高精度MOSモデルを使用してSPICEシミュレーションでパラメータ値を微調整する[8]。

チャネル長変調効果を考慮しないと、(17)(18)式よりピークの位置 $I_{INm}$ ・ピークの出力電流の大きさ $I_{Om}$ は、以下の式で表せる。(m=1,2,3,4=第mピーク=n-1)

$$I_{INm} = \frac{1}{4R'^2_{n-1} K_1} \quad (19)$$

$$I_{Om} = \frac{(W/L)_n}{4(W/L)_1} \frac{1}{4R'^2_{n-1} K_1} = \frac{(W/L)_n}{4(W/L)_1} \cdot I_{INm} \quad (20)$$

### 3.1 ピークを中心とした出力電流の比

まず、図1の回路を用いて考える。図1の $I_{IN}$ - $I_{OUT}$ 特性は図5となる。図1の回路は第1節で示したように、入

力電流  $I_{IN}$  がある値以上に増加すると、抵抗  $R$  での電圧降下  $RI_{IN}$  が発生する。これにより  $M_1$  のゲート-ソース間電圧  $V_{GS1}$  よりも  $M_2$  のゲート-ソース間電圧  $V_{GS2}$  が減少して、 $M_2$  のドレイン電流  $I_{OUT}$  が減少していく。従って  $V_{GS2}$  の増減が出力電流の増減となる。

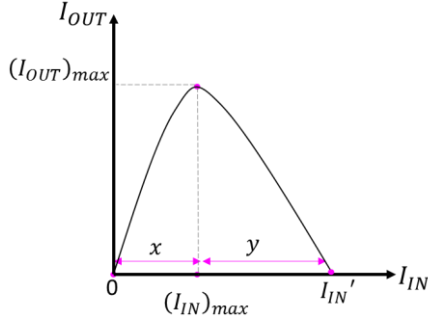


図 5 出力電流特性における  $x$  と  $y$  の関係

ここで図 5 より、出力電流の立上り点からピーク  $(I_{IN})_{max}$  までの横軸  $I_{IN}$  を  $x$ 、ピークの位置から出力電流がほぼゼロになる点  $I_{IN}'$  までを  $y$  とすると比  $x:y$  は下記のように求めることができる。

(1)(6)式より次が得られる。

$$V_{GS2} = \sqrt{\frac{I_{IN}}{K_1(1 + \lambda V_{DS1})}} + V_{TH} - I_{IN}R \quad (21)$$

ここでは、チャンネル長変調効果を考慮せずに検討すると  $\lambda = 0$  より (21) 式は下記のように表せる。

$$V_{GS2} = \sqrt{\frac{I_{IN}}{K_1}} + V_{TH} - I_{IN}R \quad (22)$$

$V_{GS2}$  が  $V_{TH}$  より小さくなると  $M_2$  には電流が流れなくなるため  $I_{OUT} \approx 0$  となり、 $I_{IN}'$  は以下のように表せる。

$$V_{GS2} = \sqrt{\frac{I_{IN}}{K_1}} + V_{TH} - I_{IN}R = V_{TH}$$

$$I_{IN} = I_{IN}' = \frac{1}{R^2 K_1} \quad (23)$$

(10) 式よりピークの位置  $I_{IN}$  は次のようになる。

$$I_{IN} = \frac{1}{4R^2 K_1} \quad (24)$$

(23)(24) 式より  $x \cdot y$  は以下のように表せる。

$$x = I_{IN} - 0 = \frac{1}{4R^2 K_1} \quad (25)$$

$$y = I_{IN}' - I_{IN} = \frac{1}{4R^2 K_1} - \frac{1}{R^2 K_1} = \frac{3}{4R^2 K_1} \quad (26)$$

したがって次の関係式が得られる。

$$x:y = 1:3 \quad (27)$$

## 3.2 設計ガイドライン

3.1 節で示した比を用いて設計ガイドラインを確立する。

図 3 の提案回路は複数のピークを足し合わせた構成である。そこで総出力電流を一定にするために着目する点は、総電流増加量と総電流減少量を一定にすることである。図 5 のような放物線の出力電流特性を直線近似して考察する。今回ピークの数  $n$  は 4 個とする。ピークの位置  $I_{INm}$ 、ピークの出力電流の大きさ  $I_{Om}$  とすると、( $m=1,2,3,4$ ) Final Peak (第四ピーク) の出力電流の大きさ  $I_{O4} = A$ 、位置を  $I_{IN4} = B$  とすると 1:3 の関係より図 6 となる。ここで増加する電流量を一定にするには、Final Peak の減少量と同じ増加量が必要となる。したがって、Final Peak の出力電流がゼロになる位置  $I_{IN3} = 4B$  にピークでの出力電流の大きさ  $I_{O3} = A$  の Third Peak を作る。しかし、ピークの立上り点は同じであるため完全にキャンセルすることはできない。したがって第三ピークは図 7 のようになり、総出力電流は次のようになる。

$$I_{OUT-total} = \left(\frac{1}{3^0} + \frac{1}{3^1} + \frac{1}{3^2} + \frac{1}{3^3}\right)A$$

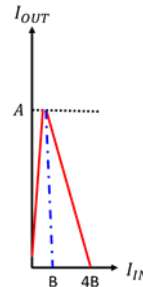


図 6 Final Peak

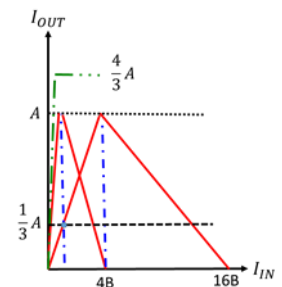


図 7 Third Peak

同様に Second Peak は  $I_{IN2} = 16B, I_{O2} = A$ 、First Peak は  $I_{IN1} = 64B, I_{O1} = A$  となる (図 8)。以上のように、ピークの位置とそのときの出力電流の大きさを決定でき、この結果より (19)(20) 式を用いると、MOS のサイズ比  $W/L$  を求めることができる。

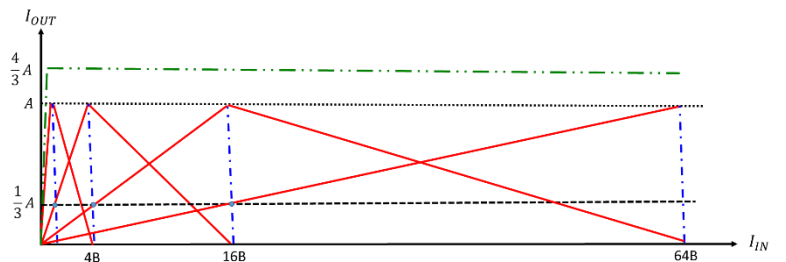


図 8 ピークの位置と出力電流

本論文では MOS は飽和領域で動作すると考えている。そこで提案回路の MOS が飽和領域で動作する条件について考える。図 3 の  $M_1$  のドレイン・ソース電圧を  $V_{DS1}$  とすると、次が得られる。

$$V_{DS1} > V_{GS1} - V_{TH}$$

$$V_{GSn} > V_{GS1} - V_{TH} \quad (28)$$

(2.2 節より,  $n=2,3,4,5$  ,  $R'_{n-1} = R_1 + R_2 + \dots + R_{n-1}$ )

ここで  $n$  は最大値を用いる。(図 3 では  $V_{GS5}$ )

(28)式は MOS が飽和領域で動作するための条件である。(28)式に(12)式を代入すると(29)式が求められ、これが提案回路の MOS が飽和領域で動作するための抵抗 R の条件式である。

$$R'_{n-1} < \frac{V_{TH}}{I_{IN}} \quad (29)$$

(29)式より総出力電流が一定となる範囲  $I_{IN}$ (総出力電流一定範囲)も求めることができる。

### 3.3 パラメータの設定

3.2 節で示したガイドラインに沿って設計を行う。今回はピークの数 は 4 個とする。

1.  $A=9\mu A, B=1\mu A$  とすると、それぞれのピークの位置と出口電流の大きさは以下ようになる。

First Peak	$I_{IN1}=64\mu A$	$I_{O1}=9\mu A$
Second Peak	$I_{IN2}=16\mu A$	$I_{O2}=9\mu A$
Third Peak	$I_{IN3}=4\mu A$	$I_{O3}=9\mu A$
Final Peak	$I_{IN3}=1\mu A$	$I_{O4}=9\mu A$

2. 1 で求めたピークの位置と出力電流の大きさを、各抵抗を求める。

$$R_1 = 5.5k\Omega, R_2 = 5.5k\Omega, R_3 = 11k\Omega, R_4 = 23k\Omega$$

(※  $K_1 = 1.25 \times 10^{-4}$ )

3. 1・2 を用いて、MOS サイズ  $(W/L)_n$  を決定する。

First Peak	$(W/L)_2=2.8$
Second Peak	$(W/L)_3=11.25$
Third Peak	$(W/L)_4=45$
Final Peak	$(W/L)_5=180$

4. (29)式より MOS が飽和領域で動作する範囲、つまり総出力電流一定範囲  $I_{IN}$  は

$$I_{IN} > \frac{V_{TH}}{R'_{n-1}} = \frac{0.4}{(5.5 + 5.5 + 11 + 23) \times 10^3} = 8.9\mu A$$

### 3.4 シミュレーション結果

今回 LTspice で LEVEL1 のモデルを用いる。図 9 にシミュレーション回路図、その結果を図 10 に示す。図 10 より総出力電流  $I_{OUT\_total}$  は少し変動が見られる。これは、3.1 節で述べたように、ピーキング特性を直線近似したためである。

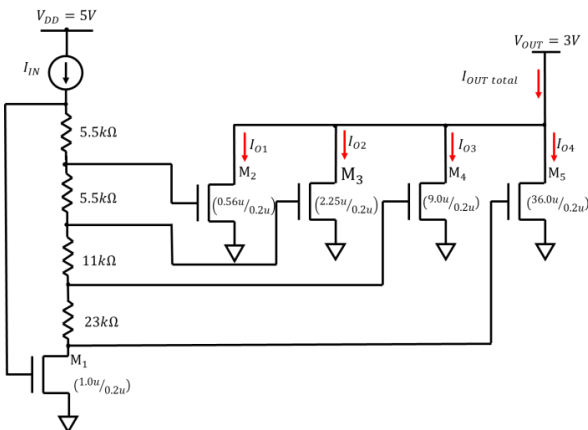


図 9 シミュレーション回路図

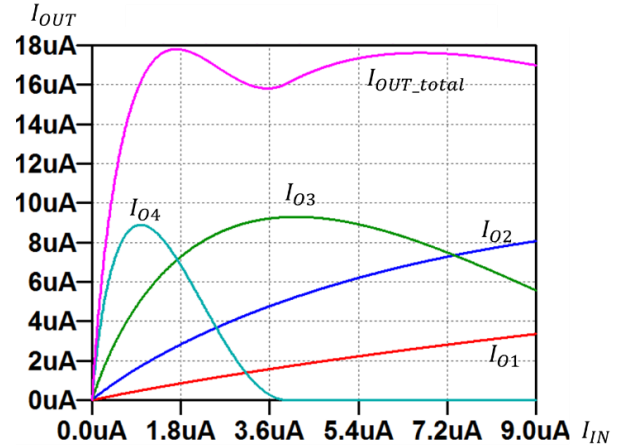


図 10 図 9 のシミュレーション結果

## 4. まとめ

本論文では、MOS 回路で、複数の永田稯電流ミラー回路を用いて、いくつかの異なるピークを持つ構成をとることで、電源電圧（入力電流）が変動しても一定の電流を出力する基準電流源回路の構成を提案した。式による提案回路の理論解析を行い、LTspice でのシミュレーション結果を用いた。さらに、ピークの特性を解析し、出力電流が一定となるようなパラメータ設定の方法を示した。

さらなる改良のためにピーキング電流源を縦続接続する構成を検討している。

## 文 献

- [1] 特許広報 発明者 永田稯 出願日 昭和 41 年 12 月 12 日
- [2] P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer (著) “システム LSI のためのアナログ集積回路設計技術 (上)”, 浅田邦博, 永田稯 (監訳), pp. 252-256, 培風館 (2003).
- [3] 志喜屋孝倫 “MOS 永田電流源の改良” 北見工業大学 電気電子工学科 2003 年卒業論文
- [4] 真砂秀基, “電源電圧に対する出力電流の変動を抑えた永田カレントミラーとその OPamp への応用” 北見工業大学 電気電子工学科 2001 年卒業論文
- [5] Zachary Zehner Nosker, “System and Method for Providing an Input Voltage Invariant Current Source”, US7436242B1, US Patent (Oct. 14, 2008).
- [6] 平野繭, 小林春夫 “基準電流源生成のための永田稯電流ミラー回路の改良” 電気学会 電子回路研究会, ECT-15-104 (2015 年 12 月)
- [7] M. Hirano, N. Tsukiji, H. Kobayashi, "Simple Reference Current Source Insensitive to Power Supply Voltage Variation - Improved Minoru Nagata Current Source", IEEE 13th International Conference on Solid-State and Integrated Circuit Technology, Hangzhou, China (Oct. 2016).
- [8] 青木均, 嵩末政憲, 川原康雄, CMOS モデリング技術 - SPICE 用コンパクトモデリングの理論と実践, 丸善 (2006).