

高速入出力インターフェース回路試験用 デジタル制御ジッタ生成

小澤 祐喜^{†*} 小林 春夫[†] 塩田 良治[‡]

[†]群馬大学 理工学府電子情報部門 〒376-8515 群馬県桐生市天神町 1-5-1

[‡]株式会社ソシオネクスト 〒601-8413 京都府南区西九条春日町 19

E-mail: * t13304037@gunma-u.ac.jp

あらまし この論文では、高速入出力インターフェース回路のジッタ耐性試験を低コスト・高品質で行うために簡易なジッタ生成回路を検討した。ここではデジタル信号間に生ずる符号間干渉を積極的に利用する。デジタルの「0」「1」のデータ系列を制御することでジッタ量を制御する。すなわちそのデジタル信号をアナログローパスフィルターを通すことによりジッタ生成できることを示す。今回は1次アナログRCローパスフィルターとCMOSインバータ回路により、その発生メカニズムをシミュレーションと理論解析で示した。

キーワード ジッタ生成回路, ジッタ耐性試験, 高速入出力インターフェース回路, 符号間干渉

Study of Jitter Generator with Digital Control for High-Speed I/O Interface Circuit

Yuki Ozawa[†] Haruo Kobayashi[†] Shiota Ryoji[‡]

[†] Division of Electronics and Informatics, Graduate School of Science and Technology, Gunma University, 1-5-1 Tenjin-cho, Kiryu 376-8515, Japan

[‡] Socionext Inc., 19 Nishikujo-Kasuga-cho, Minami-ku, Kyoto, 601-8413, Japan

Abstract This paper proposes a low-cost jitter generator using inter-symbol interference positively with digital control, targeted for jitter tolerant testing of high-speed I/O interface circuits. The proposed circuit consists of mostly digital circuits with small amount of analog circuits (simple RC low-pass filter), and the digital part can be realized using FPGA or high-speed digital unit of automated test equipment (ATE). Its principle, theoretical analysis and simulation results are presented.

Keywords Jitter Generation, Jitter Tolerance Testing, High-Speed I/O Interface, Inter-Symbol Interference

1. はじめに

近年半導体の微細化および信号の高速・高周波化に伴い、わずかなジッタが回路性能に大きな影響を与えてしまう。そのため、ジッタ耐性テストの高精度化は重要になってきている。一方、半導体試験のコスト削減も要求される。情報通信分野で用いる高速入出力インターフェース回路のテストでジッタ耐性試験は必須であるが、高精度化になるにつれ、そのままではテストコストが高くなってしまふ[1-6]。

本論文では高速入出力インターフェース回路のジッタ耐性テストのためのジッタ生成回路を提案する。デジタル的にジッタ生成を制御し簡易・低コストの試験回路(BOST: Built-Out Self-Test)を実現する。高速デジタル信号は符号間干渉によりジッタが生じる。これを逆に積極的に利用することでデジタル信号制御によりジッタを生成する回路を検討した。これにより高速入出力インターフェース回路のジッタ耐性を低コスト試験できることが期待される。今回、回路シミュレーションと理論解析を行い動作原理を確認した。

2. クロックとジッタ

デジタル(クロック)信号における振幅方向のノイズと同様に、図1のように時間軸方向のノイズ(ジッタ)が生じる。半導体の微細化に伴い、クロック周波数が高速化している近年では、時間方向の精度がますます厳しくなっている。ジッタにより、ビット誤りが生じる可能性が以前にも増して高くなっている。

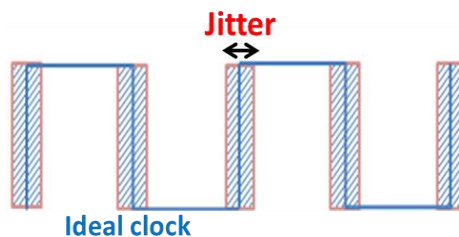


図1 ジッタと理想的なクロック

Fig. 1 Jitter and ideal clock

ジッタは、図 2 のようにジッタを引き起こす原因毎に種類分けされている。タイミング・ジッタは、信号エッジ・タイミングのばらつきであり、位相雑音を信号エッジでサンプリングしたものに等しい。

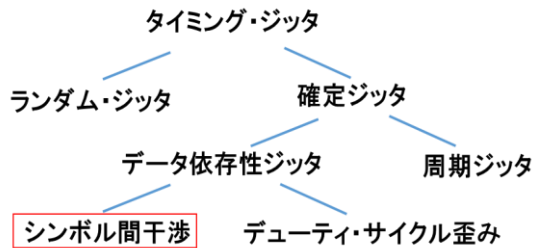


図 2 ジッタの分類と対象とするシンボル間干渉
Fig. 2 Jitter classification and inter-symbol interference

特に、シンボル間干渉は信号パターンの 0 または 1 の続く長さのばらつきに影響を受ける。[3] これは伝送線路の寄生容量等による過渡特性が影響を及ぼすことから生ずる。

具体的には、例えば図 3 に示すように 010101010 より 010101110 のデジタル信号の方が閾電圧値を跨ぐ時間が長くなる。

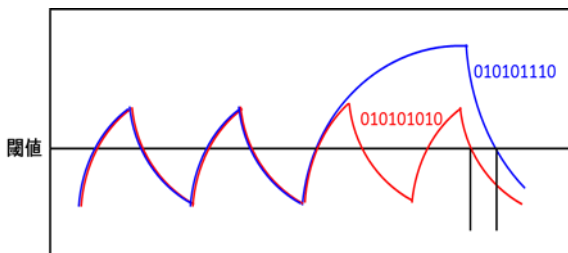


図 3. 異なるデジタル信号間におけるシンボル間干渉の影響度の比較

Fig 3 Inter-symbol interference for different digital input streams.

前段のデジタル信号値とジッタに符号間干渉のため相関性があることより、デジタル信号から定量的にジッタ量を見積もることができる。

3. 提案するジッタ生成回路

3.1. 回路構成

提案回路の構成を図 4 に示す。デジタル制御信号生成回路は DSP、専用デジタル回路またはメモリで構成する。2 段インターリーブ構成になっている理由は、次の「3.2.動作原理」で示す図 6 のように、一相のチャンネルでジッタを生成する前に準備としての信号(状態安定化信号、ジッタ制御信号)を入力し、その間にもう一相のチャンネルでジッタを出力するためである。

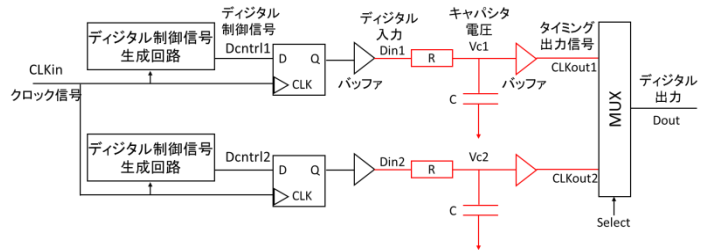


図 4 デジタル信号制御によるジッタ生成回路構成
Fig .4 Proposed jitter generator

また、バッファは CMOS インバータを 2 段で実現する。

3.2. 動作原理

デジタル入力から矩形波(クロック信号)が入ると、RC ローパスフィルターの過渡現象により、キャパシタ電圧がバッファを構成するインバータの閾電圧値を跨ぐ時間に遅れが生ずる(図 5 参照)。

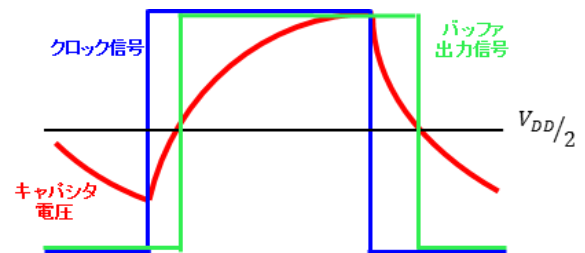


図 5 RC フィルターとバッファの電圧波形
Fig. 5 Voltage waveforms of the RC filter and buffer

バッファがこの信号遅れに対応したジッタを含んだ信号を出力する。ジッタ量は抵抗値 R 、キャパシタ容量 C で決定される時定数 τ と、前段のデジタル信号パターン系列(0 または 1 が続く長さ)によって決まる。

図 6 に示すように提案回路は、初めにキャパシタ電圧を定常状態にするため、0 と 1 を交互に入力する。

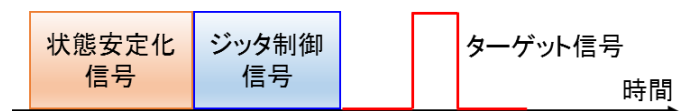


図 6 提案回路の入力信号

Fig.6 Input signals of the proposed circuit

そして次にターゲット信号をシンボル間干渉によって制御するデジタル信号を入力し、ターゲットのクロックを任意のジッタを含む信号に変化させる。

4. 過渡特性式の導出

図 4 に示した提案回路では理想的な(寄生効果がない)場合、ジッタ量は抵抗値 R とキャパシタ容量 C で

決定される時定数 τ 、そしてシンボル間干渉による前段のクロック信号の影響のみで定量的に得られる。

クロック半周期を1回とカウントすれば、同じ信号が続くクロックの時間をそれぞれ t_n 、クロック電圧信号を $V(t_n)$ と定義できる。そして n 番目のタイミングエッジのキャパシタ電圧を $v_c(t_n)$ とする。具体的には図7に示す。

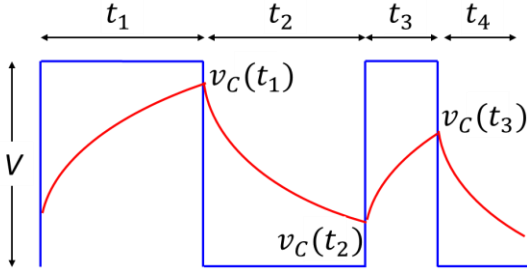


図7 時間に対応したクロックとキャパシタ電圧
Fig. 7 Clock and capacitor voltage

以上より、前段の信号のみを考慮すれば、

$$V(t_n) = V \text{ のとき } v_c(t_n) = V + (v_c(t_{n-1}) - V) \exp\left(-\frac{t_n}{RC}\right)$$

$$V(t_n) = 0 \text{ のとき } v_c(t_n) = v_c(t_{n-1}) \exp\left(-\frac{t_n}{RC}\right)$$

となる。そして前段の信号も、さらに前段の信号に影響を受けることから前々段の信号も考慮すると、

$$V(t_n) = V \text{ のとき } v_c(t_n) = \left\{ V + (v_c(t_{n-2}) - V) \exp\left(-\frac{t_{n-2}}{RC}\right) \right\} \exp\left(-\frac{t_n}{RC}\right)$$

$$V(t_n) = 0 \text{ のとき } v_c(t_n) = V + (v_c(t_{n-2}) \exp\left(-\frac{t_{n-2}}{RC}\right) - V) \exp\left(-\frac{t_n}{RC}\right)$$

となる。以下同様に前段にあるクロック信号の履歴に影響を受け、ジッタ量が決まる。

5. シミュレーションによる検証

デジタル信号制御によるジッタ生成回路を LTspice を用いてシミュレーションを行い検証した..

下記の条件でシミュレーションを行った.

- モデルパラメータ : TSMC180nm
- MOS 素子値
pMOS1, pMOS2 : $W_p = 0.75\mu\text{m}$, $L_p = 0.20\mu\text{m}$
nMOS1, nMOS2 : $W_n = 0.20\mu\text{m}$, $L_n = 0.20\mu\text{m}$
- クロック
周波数 : 0.50GHz
電圧振幅 : 3.0V
- 電源電圧 V_{DD} : 3.0V

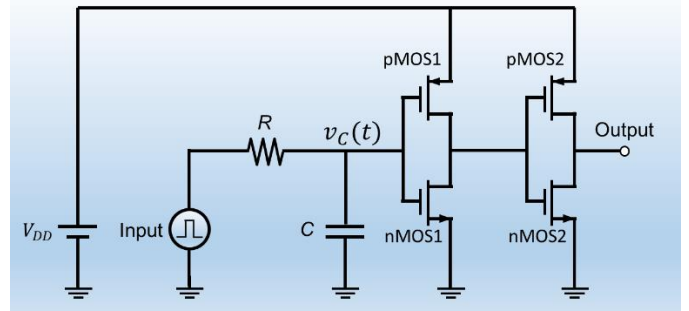


図8 シミュレーションの回路構成
Fig. 8 Simulation circuit

MOS の寸法は、ゲート・ソース間の寄生容量による影響をできる限り排除しながら、インバータの閾値が約 $V_{DD}/2$ になるように設定した。

5.1. 数値解析

導出した式を元に、キャパシタ電圧 $v_c(t)$ の変化を数値解析し、回路シミュレーション結果と整合が取れているか Scilab を用いて確認した。一例を以下に示す。ただし、 $R=7\text{k}\Omega$, $C=0.1\text{pF}$ とした。

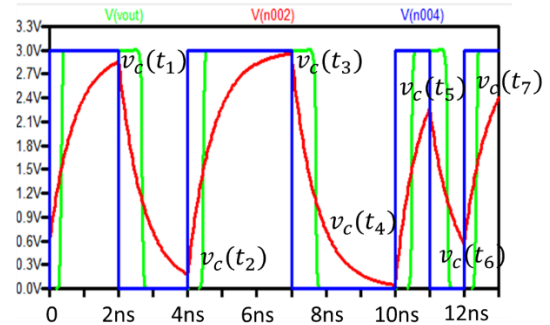


図9 LTspice による回路シミュレーション結果
Fig.9 LTspice simulated results

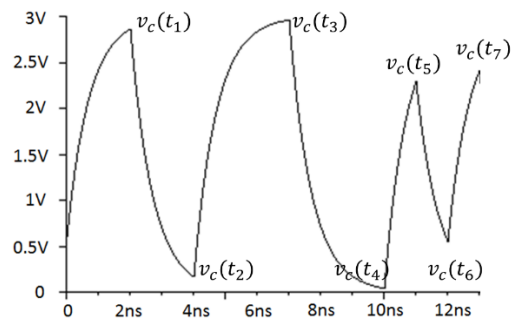


図10 Scilab による数値解析結果
Fig.10 Numerical calculation results with Scilab

図9, 図10より得られた値を比較すると、図11のようになる。

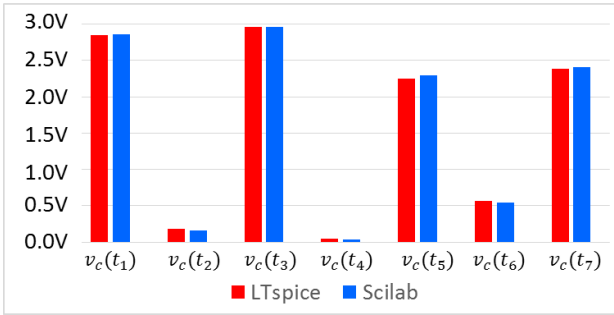


図 11 回路シミュレーションと数値解析の結果
(図 8 の回路に対して)

Fig.11 Comparison of SPICE simulation and numerical calculation results for the circuit in Fig.8

平均約 4.2%の誤差が認められたが、これは回路シミュレーションにおける MOS の寄生容量等による影響と考えられる。導出式の回路シミュレーションとの整合性が確認できた。

5.2.シミュレーション結果

R=7kΩ固定とし、キャパシタ容量を C=0.11~0.15pF まで変化させた。ジッタである遅延時間の定義を図 12 に示す。

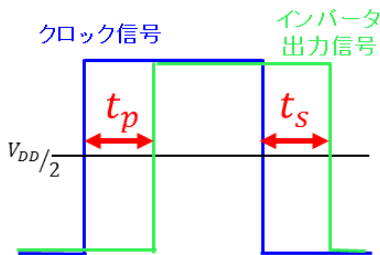


図 12 ターゲット信号と遅延時間

Fig.12. Target signal and delay time from clock edge

状態安定化信号を入力した後、ジッタ制御信号を印加する。これに対するターゲット信号(010)の遅延量を図 13、14 に示した。

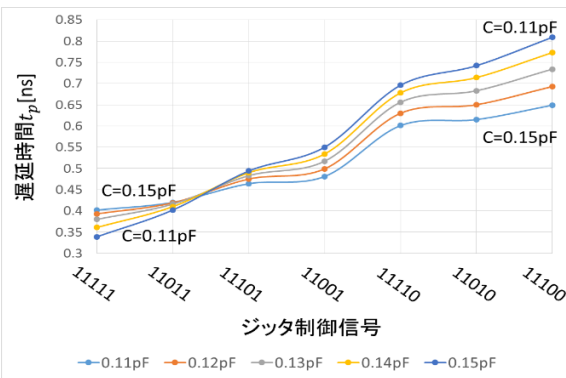


図 13 ジッタ制御信号に対する遅延時間 t_p

Fig .13 Delay time t_p with respect to jitter control signal

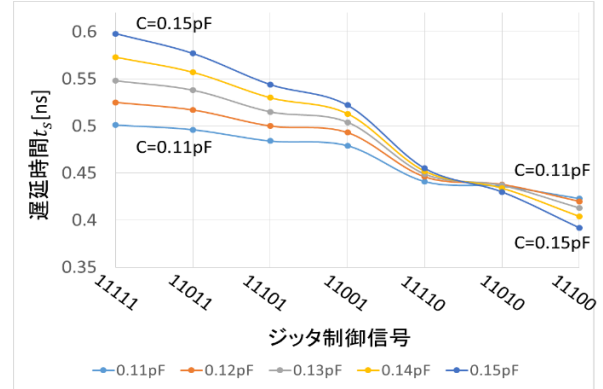


図 14 ジッタ制御信号に対する遅延時間 t_s

Fig .14 Delay time t_s with respect to jitter control signal

図 13、14 より、デジタルの制御信号に RC ローパスフィルターを通すことによって、離散値的ではあるがジッタ量を制御することができることが分かった。

6.まとめ

本論文では、符号間干渉を利用したデジタル信号制御によるジッタ生成回路を提案した。従来では高価な信号発生器を使用してジッタを発生させているが、提案手法では非常に簡単な回路かつデジタル制御でジッタを生成する可能性がある。高速入出力インターフェース回路のジッタ耐性の低コスト試験への応用が期待される。今後 全体の回路設計・検証を進めていく。

7.謝辞

有意義なご議論をいただきました。群馬大学 中谷隆之先生、畠山一実先生に深く感謝いたします。

文 献

- [1] G. Robert, F. Taenzler, M. Burns, *An Introduction to Mixed-Signal IC Test & Measurement*, Oxford University Press (2012)
- [2] J. Moreira, H. Werkmann, *An Engineer's Guide to Automated Testing of High-Speed Interfaces*, Artech House (2010).
- [3] M. P. Li, *Jitter, Noise, and Signal Integrity at High-Speed*, Prentice Hall (2008).
- [4] S. Aouini, Kun Chuai, Gordon W. Roberts, "A Low-Cost ATE Phase Signal Generation Technique for Test Applications", IEEE International Test Conference (Dec. 2010)
- [5] 荒船拓也, 塩田良治, 畠山一実, 小林春夫, 「高速入出力インターフェース回路ジッタ耐性試験用のジッタ生成回路の検討」電気学会 電子回路研究会, ECT-16-096, 東京 (2016年12月)
- [6] 大澤優介, 村上正紘, 小林春夫, "高速入出力インターフェース受信回路のジッタ耐性試験用ジッタ発生回路の検討", 電気学会東京支部栃木・群馬支所合同研究発表会, 群馬 (2015年3月)